

修士学位論文

LHC-ATLAS 実験 RUN3 に向けた新しいミューオントリガー装置の
FPGA 読み出し開発とその性能評価

東京大学大学院理学系研究科 物理学専攻
素粒子物理国際研究センター 坂本研究室
徳永 孝之

平成 27 年 1 月 5 日

概要

2008年にCERNはLHC加速器を完成させ、陽子同士を周回させて衝突させる事に成功し、2012年から本格的に稼働を始めた。2008年のヘリウム漏れの事故があったものの、2009年の11月から再稼働して、2011年12月にはHiggs粒子の兆候を発表し、さらに2012年7月にはLHCにおけるATLAS実験及びCMS実験はともに 5σ の精度でHiggsとみられる新粒子を発見した。Higgs粒子は、素粒子の振る舞いを説明する理論的モデルの標準理論にて存在が予想されてきていたが唯一発見されていなかった粒子である。この発見により我々の素粒子実験の歴史に1つの区切りをもたらした。

しかしこれで物理が終わったわけではない。このHiggs粒子の性質の解明や超対称性粒子(SUSY)等の重い粒子の探索、さらに素粒子標準模型の精密検証等を通して、まだ解明されていない新しい物理を我々は知る必要がある。そのため重心系エネルギーやルミノシティを段階的に上げていき、それに伴い加速器及び検出器はアップグレードを重ねていく必要がある。

2020年以降の稼働(RUN3)ではトリガー精度を上昇させるためNSW(New Small Wheel)と呼ばれる新しいミュオン検出器を使用する事が予定されている。しかし、現在のTGCミュオンスペクトロメータのレベル1トリガーはNSWに対応していないため、NSWを考慮に入れた新しいTGCエレクトロニクストリガーシステムにアップグレードする必要がある。本研究ではミュオントリガー装置と呼ばれるエレクトロニクスをアップグレードした新しいミュオントリガー装置の研究開発を行い、汎用VMEモジュールを用いてFPGA読み出し開発とその性能評価を行った。具体的には次の2点である。1点目は、NSWの入力で提案されている新しい高速シリアル通信のGTX Transceiverにかかるレイテンシは、トリガーからくる要求値75 nsに対し57 nsである事が判明し、GTX Transceiverを実際に用いる事が可能である事が判明した点である。2点目は新しいミュオントリガー装置のFPGA読み出し開発を進め、実際に後段のモジュールとの接続試験を行った結果、60 GByte(約400 M イベント)ほど正しく読み出す事に成功した点である。

これらの結果により新しいミュオントリガー装置設計に必要な技術選択を完了し、RUN3に向けたFPGA読み出し開発を進める事が出来た。

目次

第1章	序論	4
第2章	LHCにおけるATLAS実験	6
2.1	LHC加速器	6
2.1.1	LHC概要	6
2.1.2	LHCアップグレード計画	7
2.1.3	LHCで行われている実験	9
2.2	ATLAS検出器	11
2.2.1	内部飛跡検出器	12
2.2.2	カロリメータ	14
2.2.3	ミュオンスペクトロメータ	15
2.2.4	マグネットシステム	16
2.2.5	トリガーとデータ収集	18
2.2.6	ATLAS検出器アップグレード計画	21
第3章	レベル1エンドキャップミュオントリガーシステム	22
3.1	Thin Gap Chamber (TGC)	22
3.1.1	TGCの動作原理	22
3.1.2	TGCの分類	23
3.1.3	TGCの配置	23
3.1.4	TGCセクター	24
3.2	TGCにおけるトリガースキーム	26
3.2.1	p_T 算出の概要	26
3.2.2	段階的なコインシデンス	26
3.3	TGCのトリガーエレクトロニクス	27
3.3.1	トリガー系TGCデータ処理	28
3.3.2	リードアウト系TGCデータ処理	29
3.3.3	ASDボード	30
3.3.4	PP ASIC	31
3.3.5	SLB ASIC	31
3.3.6	HPT	32
3.3.7	ミュオントリガー装置 (Sector Logic)	32
3.3.8	SSW	33
3.3.9	ROD	34
3.3.10	TTC	35
3.4	レベル1ミュオントリガーのアップグレード	35

3.4.1	トリガーレート	36
3.4.2	フェイクミュオンの原因	36
3.4.3	LHC アップグレード後のトリガー	37
3.4.4	phase-1 アップグレードに伴う SL のアップグレード	40
第 4 章	ミュオントリガー装置	41
4.1	SL 概要	41
4.2	SL ボード	42
4.2.1	VME access CPLD	42
4.2.2	G-link Monitor FPGA	42
4.2.3	SL FPGA	42
4.2.4	SLB ASIC	42
4.3	SL への入力信号	43
4.3.1	TGC-BW から SL への信号	43
4.4	SL 内信号処理	44
4.4.1	コインシデンス部	45
4.4.2	読み出し部	45
4.5	新 SL の概要	46
4.5.1	SL 読み出し系の独自ラインの確立	46
4.5.2	新 SL への追加入力	46
4.5.3	新 SL 読み出し方式	48
第 5 章	新ミュオントリガー装置 FPGA 読み出し開発・評価	51
5.1	新 SL に求められる新技術	51
5.1.1	SiTCP	51
5.1.2	GTX Transceiver	51
5.2	新技術検証用汎用 VME モジュール (PT7)	54
5.2.1	FPGA	54
5.2.2	CPLD	54
5.2.3	Ethernet PHY	54
5.2.4	クロック	55
5.2.5	MGT	55
5.2.6	TTCrq コネクタ	56
5.2.7	NIM	56
5.2.8	JTAG ピン	56
5.2.9	テストピン	56
5.3	GTX 試験	57
5.3.1	ループバック試験	57
5.3.2	レイテンシ測定	57
5.4	新 SL FPGA 読み出し開発	59
5.4.1	新 SL FPGA 読み出しロジック	59
5.4.2	データサイズカウントロジック	61
5.4.3	ゼロサプレスロジック	61

5.4.4	データフォーマット整形ロジック	69
5.4.5	新 SL FPGA 読み出し性能評価	69
5.4.6	L1A 試験	70
5.4.7	新 SL, 新 TTC Readout - 新 ROD 接続試験	74
5.5	今後の課題	74
第 6 章	まとめ	76

第1章 序論

Large Hadron Collider (LHC) は欧州合同原子核研究所 (CERN) に建設された, 世界最高エネルギーの陽子・陽子衝突型加速器である. LHC は 2012 年にバンチ¹衝突頻度 20 MHz, 重心系エネルギー 8 TeV, 瞬間ルミノシティ $0.7 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ での衝突を達成し, 2013 年から 2015 年春までアップグレードのために長期シャットダウン中である. アップグレード後の RUN2 では, 最初はバンチ衝突頻度は 20 MHz のままで重心系エネルギーを 13 TeV, 瞬間ルミノシティを $1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ で運転を再開し, その後バンチ衝突頻度を 40 MHz まで上げ, バンチカレントを増やして瞬間ルミノシティを上げていく計画である. 瞬間ルミノシティは最大で $2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ まで上がる可能性がある. さらに RUN2 のアップグレード後の RUN3 では, 瞬間ルミノシティを最大で $3 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ まで上げる計画である.

ATLAS 実験は LHC の衝突点に設置される大型汎用検出器を用いた実験である. Higgs 粒子の性質の解明, 超対称性粒子及び高エネルギー領域での物理現象の精密測定などをターゲットを目的にしている. LHC では陽子同士を約 40 MHz という高頻度で衝突させるため, ATLAS では高速かつ正確に処理出来るシステムが要求され, 大量の情報の中から物理解析に有用なデータを効率よく選び出すため次の 3 段階のトリガーシステムが用いられている. それらはハードウェアで処理するレベル 1 トリガー, ソフトウェアで処理を行うレベル 2 トリガーとイベントフィルタの 3 つである. 本研究では特にエンドキャップと呼ばれる領域の, レベル 1 トリガーでのミューオントリガーのアップグレードに携わった. レベル 1 トリガーではハードウェアでトリガー判定が行われ, $2.5 \mu\text{sec}$ のレイテンシが許されており, 全体で約 75 kHz までレートを落としている.

エンドキャップミューオントリガーは Multi Wire Proportional Chamber (MWPC) をホイール上に配置し, 多層並べた Thin Gap Chamber (TGC) という検出器のヒット情報が利用される. レベル 1 エンドキャップミューオントリガーシステムでは, 各層でのミューオンのヒット情報を算出することでミューオンのトラックを再構成する. さらにそのトラックがトロイド磁場によってどの程度曲がったかでミューオン横運動量 (p_T) を算出し, p_T が予め決めていた閾値を超えていたらトリガーを発行する.

RUN1 において, レベル 1 エンドキャップミューオントリガーのトリガーレートは約 4.5 kHz であったが, これは正味の衝突点由来のミューオンのレートに比べて 2-3 倍高くなっている. これは TGC のトリガーに衝突点由来ではないバックグラウンドが含まれているからである. さらに LHC のアップグレード計画によりルミノシティ及び重心系エネルギーが高くなるとトリガーレートも上昇する. TGC が発行するトリガーレートに関して, ルミノシティが $3 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ の時には約 60 kHz のトリガーレートとなり, 現行のトリガー回路では他のレベル 1 トリガーを圧迫してしまい, 効果的に物理データを取得する事ができなくなる. この問題を解決するため, バックグラウンドによって発行されるトリガーの削減が必要となってくる.

そのため, 2020 年以降の RUN3 に向けてトリガーレートの削減を目的に NSW (New Small Wheel) と呼ばれる新しい検出器を導入するよう計画されている. この NSW の導入により, TGC ミューオ

¹数十 cm の長さを持ち, それぞれ数千億個以上の陽子が入っている.

ンスペクトロメータのレベル1トリガーのアップグレードも必要となり,新しいエレクトロニクスを開発する必要がある.

本研究ではNSWに導入によるトリガーシステムのアップグレードのうち,ミューオントリガー装置 **Secto Logic (SL)** と呼ばれるエレクトロニクスの研究開発を行った. アップグレードした **SL** である新 **SL** は **Big Wheel (BW)** からくる情報と **NSW** からくる情報を組み合わせ統合する処理を行いフェイクを落とす役割と, データをバッファしレベル1トリガーが来たらデータを読み出す役割を担っている. この要求が来たら送信するロジックなどの読み出し系のロジックを開発し, それらのロジックを実装した **FPGA**²を用いて動作検証を試みた.

本論文では, 第2章に **LHC** における **ATLAS** 実験とアップグレードについて, 第3章に現行のレベル1エンドキャップミューオントリガーとアップグレードについて, 第4章に **SL** について, 第5章に新 **SL** の開発・評価について, 第6章に全体のまとめについてを述べる.

²FPGA: Field-Programmable Gate Array は, 製造後に購入者や設計者が構成を設定できる集積回路の事.

第2章 LHCにおけるATLAS実験

本研究では, LHC 加速器を用いた ATLAS 実験における, NSW のためのトリガー装置の研究開発を行った. 本章ではその LHC 加速器及び ATLAS 実験の前提知識を述べる.

2.1 LHC 加速器

2.1.1 LHC 概要

LHC は大型ハドロン衝突型加速器で, スイス・ジュネーブ郊外の CERN の地下約 100 m に建設された世界最高エネルギーの陽子・陽子衝突型加速器である. 図 2.1 に LHC の概要を示し, 表 2.1 には LHC の設計値を示す. LHC は全周が約 27 km という JR 山手線程の巨大な加速器で, 加速した陽子同士を高エネルギーで正面衝突させている. 2009 年 11 月に初めて陽子同士を衝突させる事に成功し, 2010 年から 3.5 TeV まで加速した陽子を衝突させる実験が開始された.

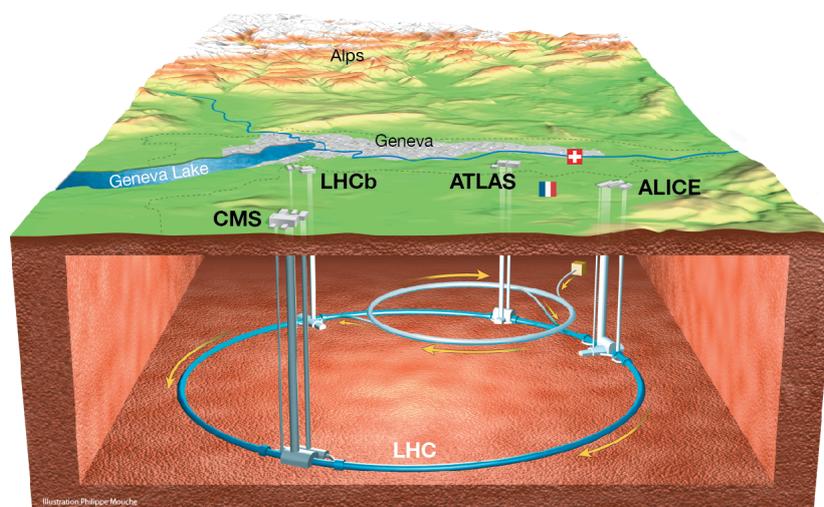


図 2.1: LHC 概要 [1]. スイス・ジュネーブ郊外の CERN 研究所の地下約 100 m に位置する.

LHC では複数個の加速器を用いて段階的に陽子を加速させている. まず陽子イオン源から出てきた陽子イオンが Linac2 によって加速される. 次に PS Booster と呼ばれるシンクロトロンで 1.4 GeV までエネルギーを引き上げて, PS (Proton Synchrotron) に入れ, SPS (Super Proton Synchrotron) でエネルギーを 450 GeV まで上昇させ, 最後に LHC に入射させる. この様子を図 2.2 に示す.

表 2.1: LHC デザイン値 [2]. 2014 年現在はまだ重心系エネルギーやルミノシティなどデザイン値に達しておらずアップグレードを行う必要がある.

パラメータ	値	パラメータ	値
リング周長	26.7 km	偏向磁場	8.33 T
重心系エネルギー	14 TeV	瞬間ルミノシティ	$10^{34} \text{ cm}^{-2}\text{s}^{-1}$
バンチ間隔	24.95 ns	バンチあたり陽子数	1.15×10^{11}
バンチ ID 総数	3564	使用バンチ数	2808

CERN's Accelerator Complex

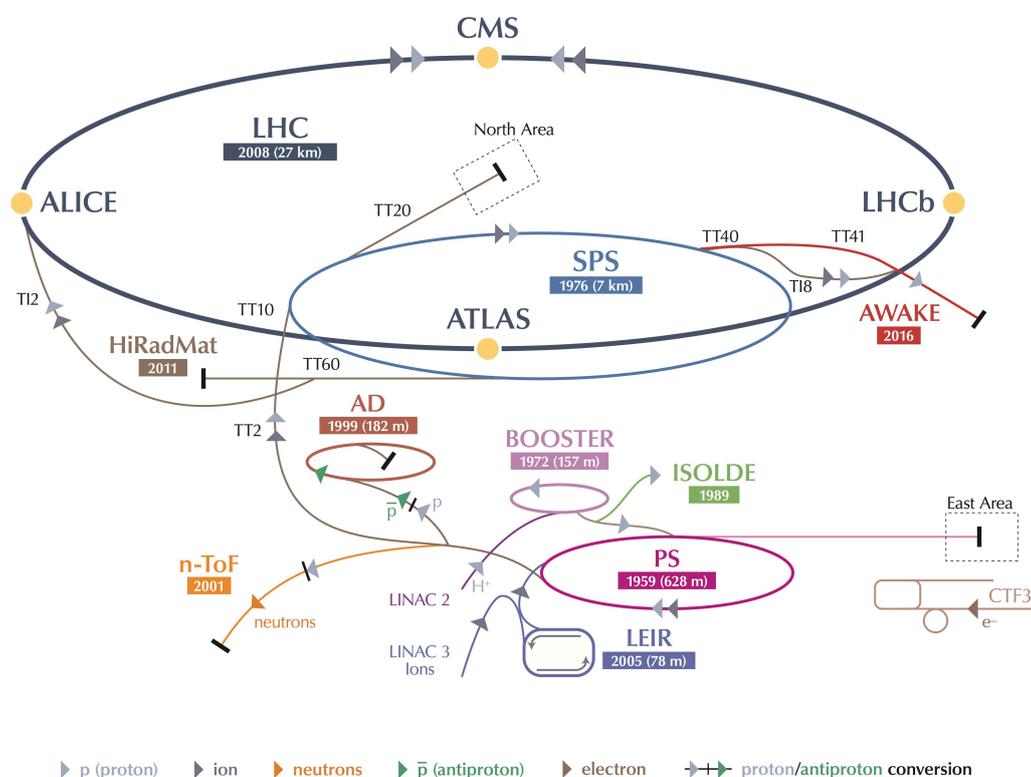


図 2.2: LHC と前段加速器の様子 [3]. 陽子イオンが陽子イオン源, Linac2, PS Booster, SP, SPS, LHC と徐々に加速されている.

2.1.2 LHC アップグレード計画

LHC では段階的なアップグレード計画が立てられている. 2009 年の 0.9 TeV ランから始まり, 2010, 2011 年の 7 TeV ラン, 2012 年の 12 TeV ランと徐々に重心系エネルギーを上げてきた. 2012 年が終わると, 一旦物理ランを止め, Long Shutdown (LS) に入った. この物理ランが止まっている LS 中に LHC の補強作業や, アップグレードを行っている. 2015 年からは再び物理ランが開始され

る予定である. この LS は, 今後約 10 年間で今回の LS を含めると合計で 3 回行われる予定となっている. その都度物理ランを中止し, LHC の補強作業, 並びにアップグレードが行われる予定である. こうした LS と物理ランを交互に行う事で, 少しずつ LHC のアップグレードを行い, 重心系エネルギーやルミノシティを増強していく. ここでは 2013 年~2014 年春を LS1, 2018 年夏~2019 を LS2, 2022 年を LS3 と呼ぶ. また, 2011~12 を RUN1, 2015~18 を RUN2, 2020~21 を RUN3 と呼んでいる. 最後の LS3 をもって瞬間ルミノシティが $5 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$ の HL-LHC (High Luminosity-LHC) となる. 表 2.2 に, HL-LHC アップグレード計画を示す.

表 2.2: HL-LHC アップグレード計画 [4]. 段階的にアップグレードを行う計画である.

期間	重心系エネルギー [TeV]	瞬間ルミノシティ [$\text{cm}^{-2}\text{s}^{-1}$]
2011~12 (RUN1)	8	0.77×10^{34}
2013~15 春		LS1
2015 春~18 (RUN2)	13~14	$1.5 \sim 2.0 \times 10^{34}$
2018 夏~19		LS2
2020~21 (RUN3)	14	$2.0 \sim 3.0 \times 10^{34}$
2022		LS3
2023~	14	5×10^{34}

以下に, 各々の LS で何が行われるかを簡単にまとめる.

Long Shutdwon 1 (2013-14)

LS1 では重心系エネルギーを 8 TeV から 13, 14 TeV に上げる準備をすることが主な目的である. 重心系エネルギーを引き上げるために, 加速管同士の結合を強化し, 弱くなった磁石を交換したり, さらには放射線対策のためにエレクトロニクスを移動するなどがある.

Long Shutdwon 2 (2018)

LS2 ではルミノシティを約 2 倍の $2 \sim 3 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$ に引き上げる予定である. LIU (LHC Injectors Upgrade) が予定され, Linac2 から Linac4 へ以降, さらに日本の大きな寄与である J-PARC の金属磁性合金を用いた高周波加速空洞を使用する事で, PS Booster のエネルギー増加などが計画されている.

Long Shutdwon 3 (2023-)

LS3 では, ルミノシティを最終的な $5 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$ まで引き上げる予定である. 超電導クラブ空洞の導入や Interaction Region (IR) の磁石の強化が考えられている. このクラブ空洞は, ビームのバンチを回転させる事でルミノシティをより高く保つ事を目的とした特殊な超伝導空洞で, 高エネルギー加速器研究機構 (KEK) が所有する KEKB 加速器で使用されている. 図 2.3 にクラブ衝突の概念図を示す.

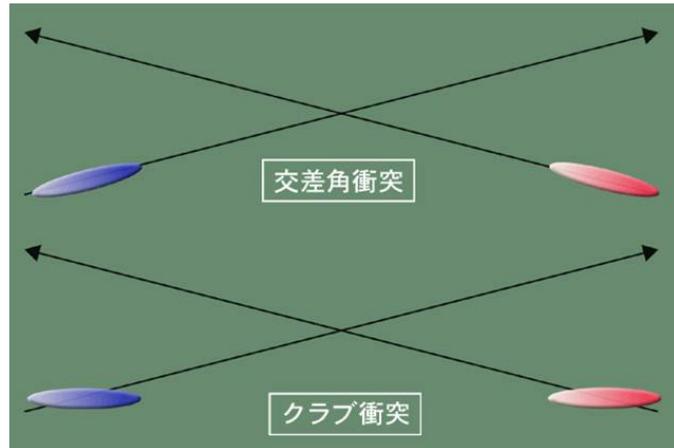


図 2.3: クラブ衝突の概念図 [5]. 交差角衝突では角度を持って衝突しているが, クラブ衝突では実質的に正面衝突しているのが分かる.

2.1.3 LHC で行われている実験

LHC で行われている実験は主に 4 つ存在する. それは ATLAS 実験, CMS 実験, LHCb 実験, ALICE 実験の 4 つである. 以下では各々の実験について簡単に説明する.

ATLAS 実験

ATLAS (A Toroidal LHC ApparatuS) 実験は, LHC の実験の中で最も大きな汎用検出器を用いる実験で, Higgs 粒子の性質の解明だけでなく, 超対称性粒子や高エネルギー領域での物理現象の精密測定などの実験を行っている. 長さ 44 m, 直径 25 m, 質量は 7000 トンである円筒形の検出器を用いており, ソレノイド磁石だけではなく巨大な超電導トロイド磁石を持っている事が特徴として挙げられる. 図 2.4 に ATLAS 検出器の概略図を示す.

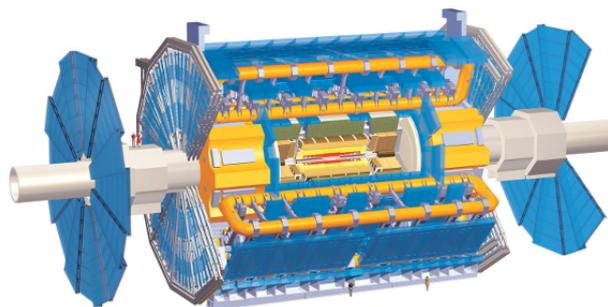


図 2.4: ATLAS 検出器の概略図 [6]. 長さ 44 m, 直径 25 m, 質量は 7000 トンである円筒形の検出器を用いており, ソレノイド磁石だけではなく巨大な超電導トロイド磁石を持っている事が特徴である.

CMS 実験

CMS (Compact Muon Solenoid) 実験も、大きな汎用検出器を用いる実験であり、ATLAS 検出器と LHC リングの真反対に位置し、ATLAS 実験とお互い成果を競い合っている。検出器は長さ 31 m、直径 15 m、質量は 12500 トンである円筒形の検出器を用いており、ATLAS 検出器と比べコンパクトであるものの、質量は 5500 トン程重い。図 2.5 に CMS 検出器の概略図を示す。

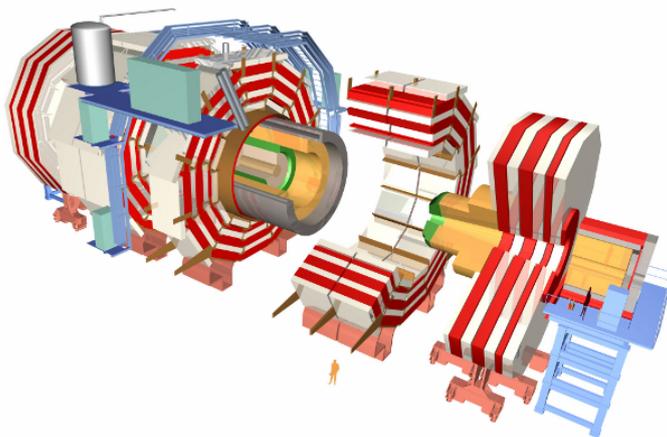


図 2.5: CMS 検出器の概略図 [7]. ATLAS 検出器とリングの反対に位置する大型汎用検出器である。

LHCb 実験

LHCb (Large Hadron Collider beauty) 実験は、 b クォークの物理に特化した実験で、 b クォークを含む B ハドロン粒子の対称性の破れを測定することで、物質と反物質の性質の違いを調べる事を主として目的としている。長さ 21 m、高さ 10 m、幅 13 m、質量 5600 トンである検出器を用いている。図 2.6 に LHCb 検出器の概略図を示す。

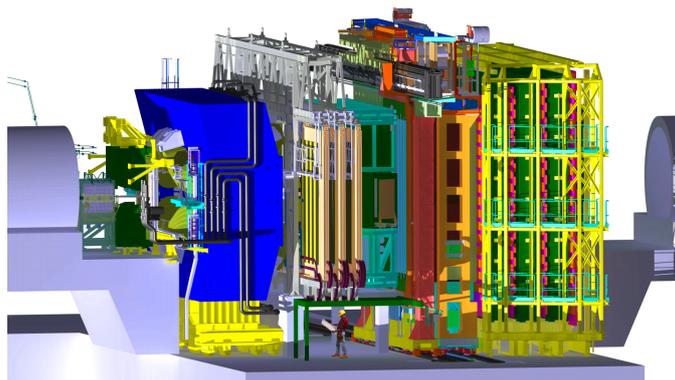


図 2.6: LHCb 検出器の概略図 [8]. B ハドロン粒子の対称性の破れなどの検証を行うための検出器である。

ALICE 実験

ALICE (A Large Ion Collider Experiment) 実験では, 重イオンを加速・衝突させ, ビッグバン直後の宇宙初期の存在していたとされるクォーク・グルーオンプラズマ (QCD) を再現し, その性質の解明することを目的としている. 検出器の大きさは, 長さ 26 m, 直径 16 m, 質量 10,000 トンであり, 図 2.7 に ALICE 検出器の概略図を示す.



図 2.7: ALICE 検出器の概略図 [9]. QGP の検証などを行うための重イオン検出器.

2.2 ATLAS 検出器

ATLAS 検出器は, 内側から内部飛跡検出器, カロリメーター, ミューオンスペクトロメータで構成され, 2 種類の超電導マグネットを持つ. 図 2.8 に ATLAS 検出器における上記の構成概略図を示す. 本節ではこれら ATLAS 検出器を構成する検出器の詳しい説明をする.

ATLAS 座標系

ATLAS では通常の xyz 座標, $r\phi z$ 座標に加え, 擬ラピディティ η を用いた座標系がよく使用される. xyz 座標は一般的によく使用される座標で, 一般的な三次元直交座標系である. LHC リング中心方向を x 軸, それらと垂直な方向を y 軸, ビーム方向を z 軸としている. ここで $z > 0$ 側を A-side, $z < 0$ 側を C-side と呼ぶ. $r\phi z$ 座標も一般的によく使用される座標系で, r 方向を円筒の動径方向, ϕ 方向を方位角方向, ビームパイプ方向を z 軸とし, ATLAS 検出器の各要素の位置を示す際によく使用される. 最後に擬ラピディティ η を使用した座標系だが, η は衝突点からの天頂角 θ を用いて次の式で定義される.

$$\eta = -\ln \left\{ \tan \left(\frac{\theta}{2} \right) \right\}$$

擬ラピディティはエネルギー E , 運動量 P の粒子のラピディティ $y = \frac{1}{2} \ln \frac{E+P \cos \theta}{E-P \cos \theta}$ の高エネルギー極限と一致し, η, ϕ で表すと生成粒子の分布が一様になる事から, 粒子のヒット位置を示す時によく使用される. 図 2.9 に ATLAS で使用される座標系の概略図を示す.

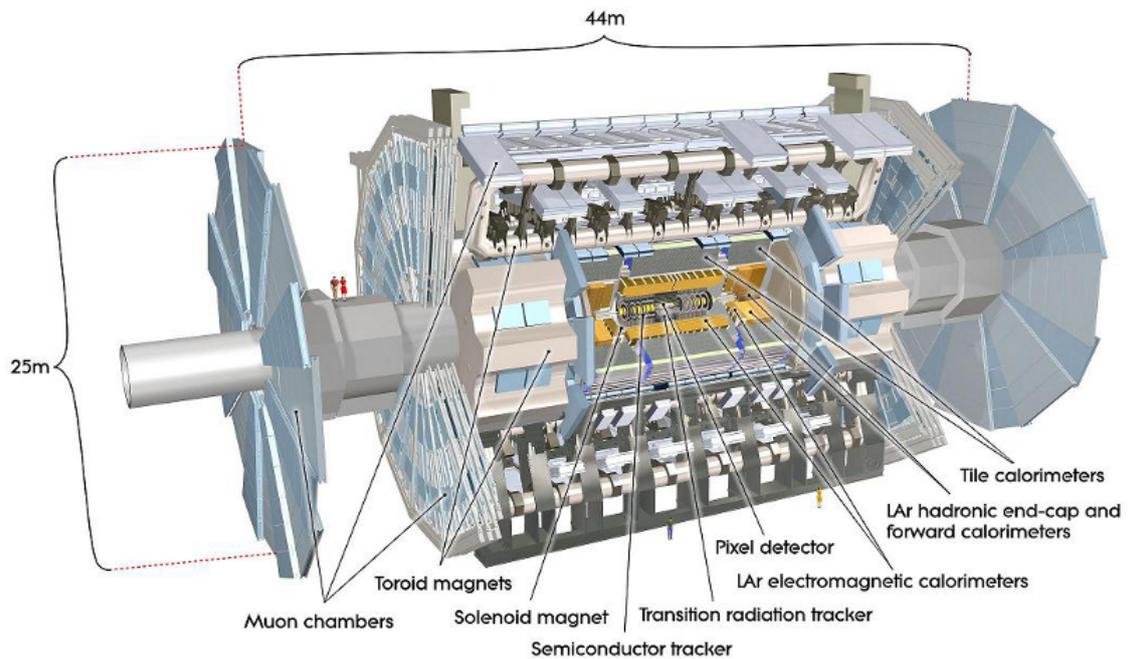


図 2.8: ATLAS 検出器全体像 [10]. 内側から内部飛跡検出器, カロリメーター, ミューオンスペクトロメータで構成され 2 種類の超電導マグネットを持つ。

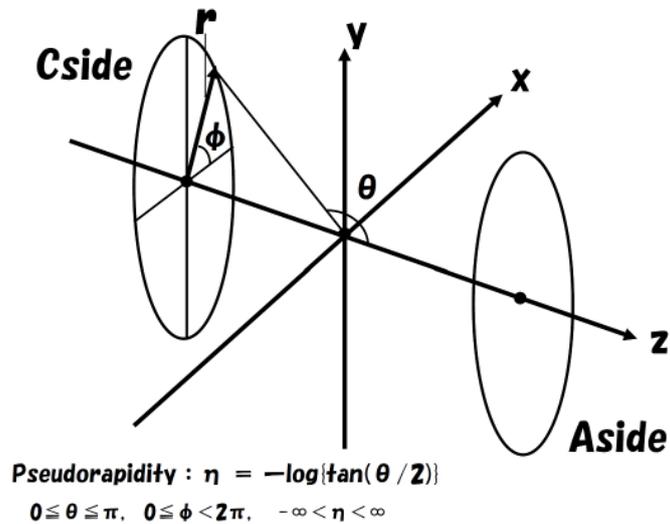


図 2.9: ATLAS における座標系 [11]. $r\phi z$ 座標は ATLAS 検出器の各要素の位置を示す際によく使用され, 擬ラピディティ η を使用する座標系は粒子のヒット位置を示す時によく使われる。

2.2.1 内部飛跡検出器

内部飛跡検出器 (Inner Detector, ID) とは ATLAS 検出器の最内部に設置される検出器で, 磁場中で粒子の軌跡を再構成し粒子の電荷と横運動量 (p_T) を算出する事で, 粒子の軌跡から vertex を再

構成をする役割を持つ。内部飛跡検出器はピクセル半導体検出器 (Pixel), シリコンストリップ検出器 (Semi Conductor Tracker, SCT), 遷移放射飛跡検出器 (Transition Radiation Tracker, TRT) の3つの検出器から構成される。図 2.10 に内部飛跡検出器の図を示す。

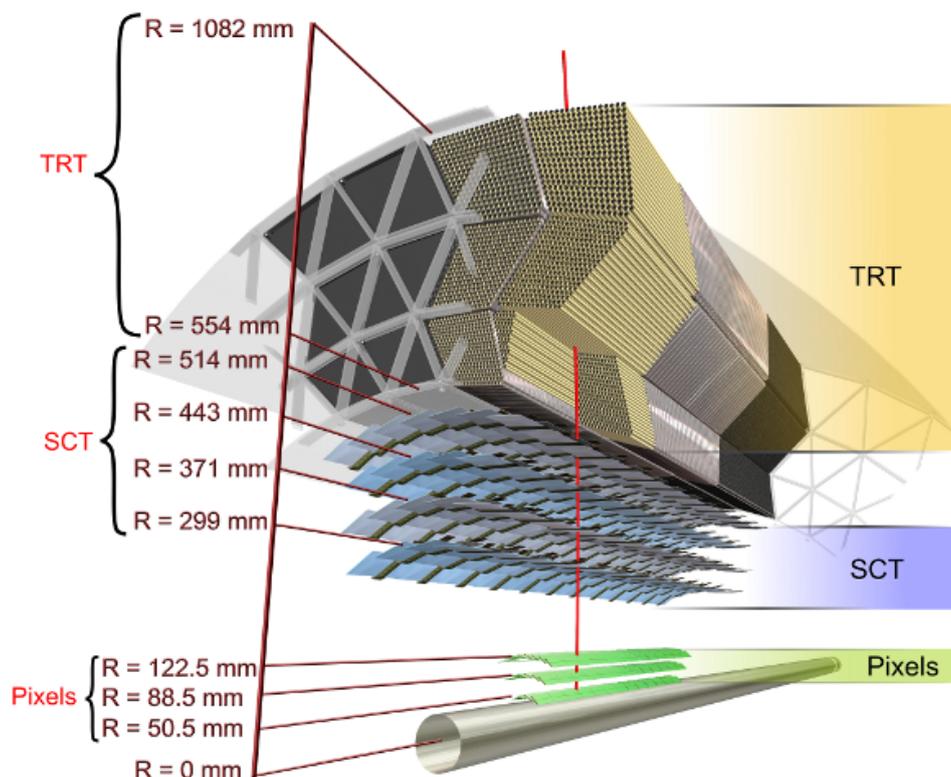


図 2.10: ATLAS 内部飛跡検出器 [12]. ピクセル半導体, シリコンストリップ検出器, 遷移放射飛跡検出器から構成される。

ピクセル半導体検出器 (Pixel)

Pixel はシリコンピクセルを用いた高分解能の位置検出器で, 衝突点から最も近い領域に配置される検出器である。バレル部に3層, 全後方部両サイド3層ずつで構成され, 位置分解能は $r-\phi$ 方向で $10\mu\text{m}$, z 方向で $115\mu\text{m}$ である。

シリコンストリップ検出器 (SCT)

Pixel と共に分解能に優れたシリコン検出器で, シリコンマイクロストリップを用いた位置検出器である。ソレノイド磁場により荷電粒子が曲げられ, その軌跡を捉える事で, p_T の測定を可能にする。位置分解能は $r-\phi$ 方向で $17\mu\text{m}$, z 方向で $580\mu\text{m}$ である。

遷移放射飛跡検出器 (TRT)

TRT は $|\eta| < 2.0$ の領域を遷移放射を利用した検出器で SCT の外の領域のトラッキングを行い、ストローチューブ検出器を重ねその隙間をポリプロピレンファイバーで埋めている構造を持つ。電子からは比較的エネルギーの大きな X 線が放射されるため、ポリプロピレンからの X 線をストローチューブ検出器が捉え選別している。

2.2.2 カロリメータ

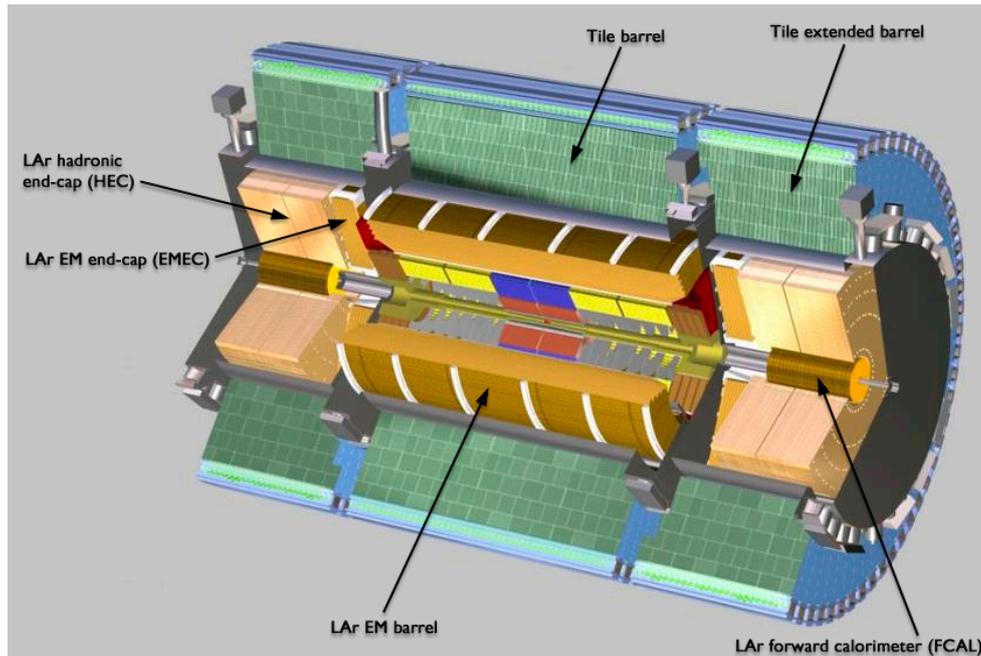


図 2.11: カロリメータの断面図 [13]. 内部飛跡検出器の外側に電磁カロリメータが設置され、それを更にハドロンカロリメータで覆っている。

カロリメータとは電子、光子、ジェット等のエネルギーと位置を測定する検出器で、内部飛跡検出器の外側に位置する。カロリメータには電磁カロリメータとハドロンカロリメータの2種類存在し、前者は電子と光子を検出し、後者はジェットを検出する。ATLAS 検出器におけるカロリメータは、Liquid Argon (LAr) 電磁カロリメータ (EM)、バレル部タイルカロリメータ (Tile)、エンドキャップ部 LAr ハドロンカロリメータ (HEC)、フォワード部 LAr ハドロンカロリメータ (FCal) の4種類から構成される。図 2.11 にカロリメータ全体図を示す。以下各々のカロリメータについて述べる。

LAr 電磁カロリメータ (EM)

EM は、電子・光子のエネルギーと位置を測定するカロリメータで、内部飛跡検出器のすぐ外側に配置されている。EM は $|\eta| < 1.48$ をカバーするバレル部と、 $1.38 < |\eta| < 3.2$ をカバーするエンドキャップ部に分かれ、 $|\phi|$ 方向の不感領域を無くすためにアコーディオン型の形状をとっている。

バレル部タイルカロリメータ (Tile)

Tile は $|\eta| < 1.7$ のバレル部をカバーするハドロンカロリメータで, 厚さ 3 mm の鉄と厚さ 5 mm のタイル状のシンチレータを交互に重ねあわせた構造となっている.

エンドキャップ部 LAr ハドロンカロリメータ (HEC)

HEC は $1.5 < |\eta| < 3.2$ のエンドキャップ部分をカバーするハドロンカロリメータで, 銅の吸収体と LAr で構成されている.

フォワード部 LAr カロリメータ (FCal)

FCal は $3.1 < |\eta| < 4.9$ のフォワード領域をカバーするカロリメータである. FCal はビーム軸方向に 3 層に分かれており, 第 1 層 (FCal1) は銅の吸収体と LAr の電磁カロリメータが採用され, 第 2 層 (FCal2), 第 3 層 (FCal3) はタングステンの吸収体と LAr のハドロンカロリメータを用いている.

2.2.3 ミューオンスペクトロメータ

ミューオンスペクトロメータは ATLAS 検出器の最も外側に配置され, ミューオンの位置測定等を行う一連の検出器の事である. 図 2.12 にミューオンスペクトロメータを示す. ミューオンスペクトロメータは, Precision Chamber である Monitored Drift Tube (MDT), Cathode Strip Chamber (CSC) と, Trigger Chamber である Resistive Plate Chamber (RPC), Thin Gap Chamber (TGC) の合計 4 種類の検出器で構成される. Precision Chamber はミューオンの運動量測定を行い, Trigger Chamber はイベントトリガーの発行を行う.

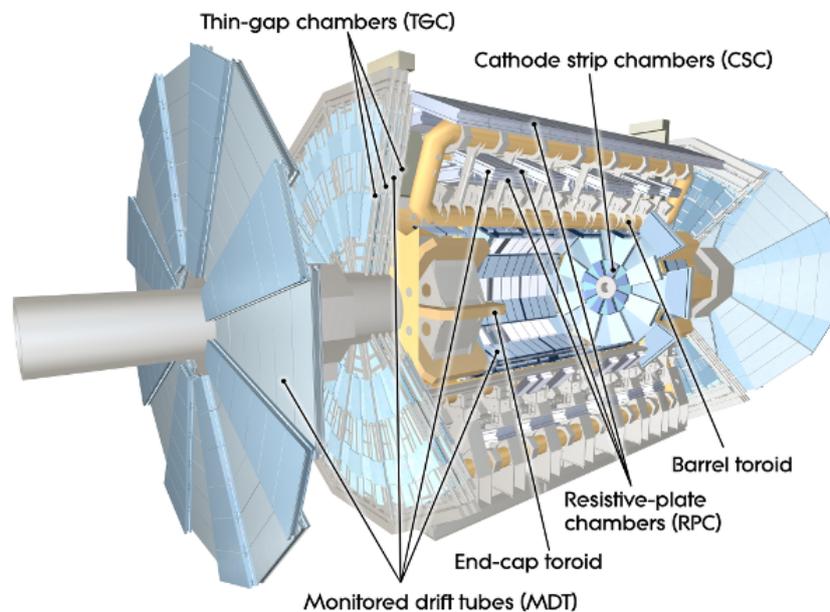


図 2.12: ミューオンスペクトロメータ [10]. ミューオンの位置測定等を行う一連の検出器で ATLAS 検出器の最も外側に配置される.

Precision Chamber

高精度位置測定のため, Monitored Drift Tube (MDT) を用いる. ただしフォワード領域 ($2.1 < |\eta| < 2.7$) では高カウントレートに耐えられないため, Cathod Strip Chamber (CSC) を用いる.

- MDT

MDT はバレル部, エンドキャップ部のうち $|\eta| < 2.7$ の領域を担当し, ミューオンの位置を精度 $100\mu\text{m}$ 以下で測定する. 位置分解能は約 $50\mu\text{m}$ で, カウントレートの上限は $150\text{Hz}/\text{cm}^2$ である.

- CSC

エンドキャップ MDT は 3 層存在するが, このうち最も衝突点に近い層 (Inner Station) に関しては η が高い領域 ($|\eta| > 2.0$) でカウントレートが上限の $150\text{Hz}/\text{cm}^2$ を超えてしまう. それを考慮して, Inner Station のうち $2.0 < |\eta| < 2.7$ 部分は MDT の代わりにカウントレート上限が $1\text{kHz}/\text{cm}^2$ である CSC を用いている.

Trigger Chamber

ミューオントリガーはバレル部を Resistive Plate Chamber (RPC), エンドキャップ部を Thin Gap Chamber (TGC) がカバーする. なお TGC の詳しい説明は第 4 章に譲る.

- RPC

高抵抗板を電極として用いるガス検出器. $|\eta| < 1.05$ のバレル部のイベントトリガーを主な目的としていて, 互いに直交するストリップを用いて $z-\phi$ 二次元情報を取得する.

- TGC

$1 < |\eta| < 2.4$ の前後方部イベントトリガーを主な目的としていて, R 方向をアノードワイヤから, ϕ 方向をカソードストリップから $R-\phi$ の二次元読み出しを可能にしている.

ここで図 2.13 に, ミューオンスペクトロメータの断面図を示す.

配置

ミューオンスペクトロメータの配置場所により, ステーションという単位を使用して区別することがある. バレル部には 3 つのシリンダー状のステーション (Inner, Middle, Outer), エンドキャップ部では 4 つのディスク状のステーション (I, M, O, Extra) が存在している. それらを, エンドキャップならば E, フォワードならば F を用いて, EM などと表す. さらには, EM ステーション, EI ステーションをそれぞれ, Big Wheel (BW), Small Wheel (SW) と呼ぶこともある. 表 2.3 に, それらステーションの内訳をまとめる.

2.2.4 マグネットシステム

ATLAS 検出器には超電導ソレノイド磁石と ATLAS の名前の由来にもなっている超電導トロイド磁石の 2 種類の超電導磁石が使用されている. 図 2.14 にその 2 種類の磁石を示す.

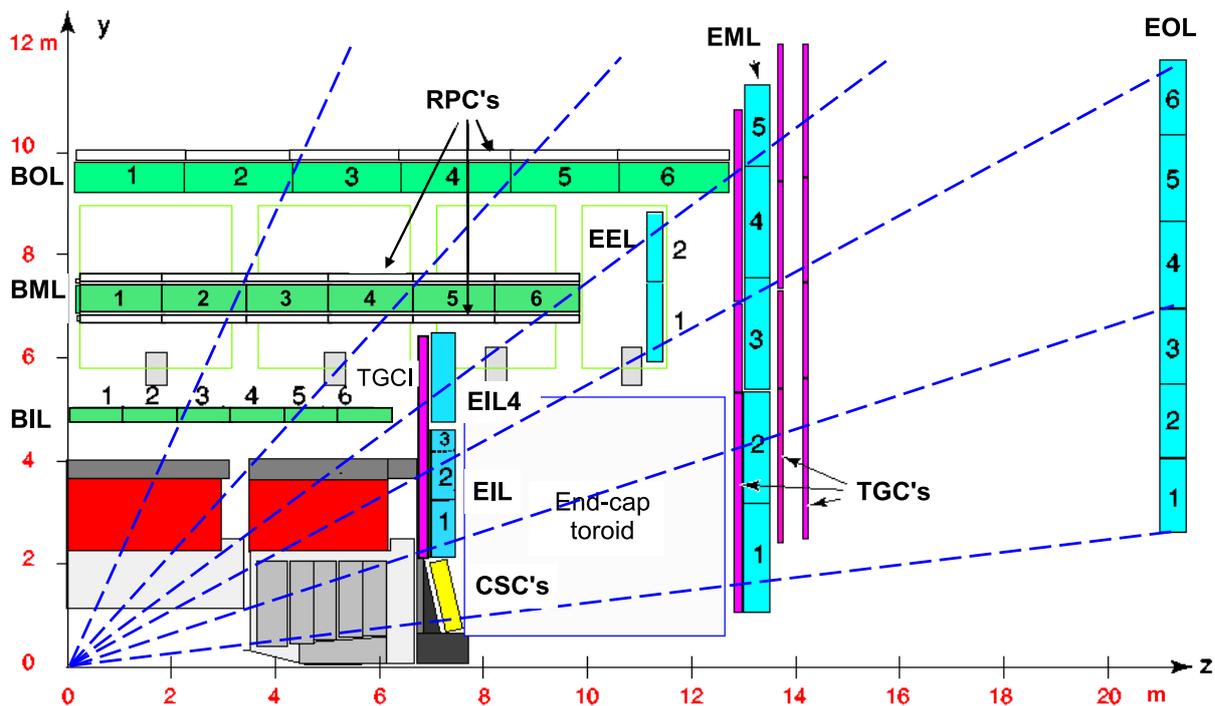


図 2.13: ミューオンスペクトロメータの断面図 [10]. MDT, CSC, RPC, TGC の配置を示す.

表 2.3: 各ステーションの構成 (Large sector)[14].

ステーション	検出領域 ($ \eta $)	トラッキング	トリガー	第二座標測定
BI	-1.0	MDT		
BM	-1.0	MDT	RPC	RPC
BO	-1.0	MDT	RPC	RPC
EI	1.0 - 2.0	MDT		TGC
	2.0 - 2.7	CSC		CSC
EM	1.0 - 2.4	MDT	TGC	TGC
	2.4 - 2.7	MDT		TGC
EO	1.4 - 2.7	MDT		
EE	1.0 - 1.4	MDT		

超電導ソレノイド磁石

内部飛跡検出器の外側に、ビーム軸に沿ったソレノイド磁場発生させる超電導ソレノイド磁石 (以下、ソレノイド磁石) は、内部飛跡検出器での荷電粒子の運動量測定に用いられる。このソレノイド磁石で発生させることが可能な磁束密度は 2 T 程度である。

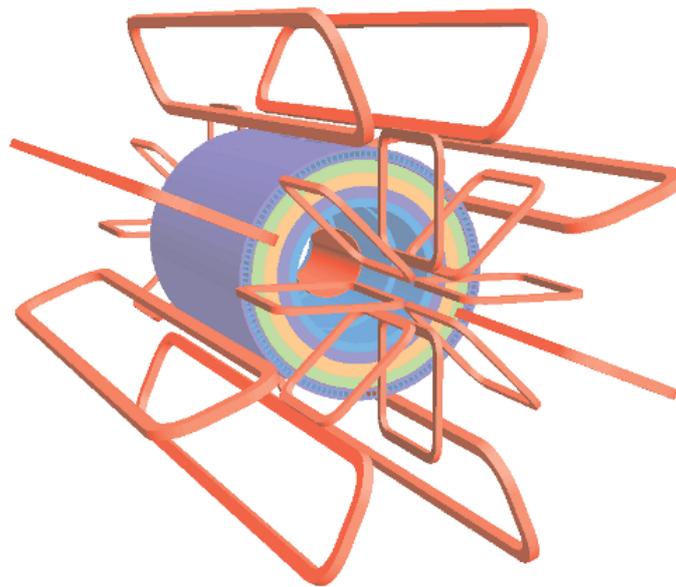


図 2.14: 超電導ソレノイド磁石と超電導トロイド磁石の絵 [10]. 中央にソレノイド, その周りに 8 回対称のバレルトロイド, エンドキャップ部両端に 8 回対称のエンドキャップトロイドが配置されている.

バレル部超電導トロイド磁石

バレル部超電導トロイド磁石 (以下, バレル部トロイド磁石) とは, ハドロンカロリメータ及びエンドキャップ部トロイド磁石を囲むように配置され, 方位角 (ϕ) 方向のトロイド磁場をバレル部ミュオン検出器の領域に発生させる事が可能な磁石である. バレル部トロイド磁石は ϕ 方向に 8 回対称になるよう設置され, 作られる磁場も ϕ 方向に 8 回対称である. 作られる磁場は約 0.5 T である.

エンドキャップ部超電導トロイド磁石

最も内側のエンドキャップミュオン検出器の外側に設置される, エンドキャップ部超電導トロイド磁石 (以下, エンドキャップ部トロイド磁石) は, ϕ 方向のトロイド磁場を A-side, C-side 共に作る. このエンドキャップ部トロイド磁石もバレル部トロイド磁石と同様に ϕ 方向に 8 回対称に設置され, ϕ 方向に 8 回対称の磁場を作る. 作られる磁場の大きさは約 1.0 T である.

2.2.5 トリガーとデータ収集

LHC では陽子ビームを 40.079 MHz という高頻度衝突, つまり 25 nsec の間隔で陽子ビームがすれ違っている. さらに 1 バンチ衝突当たり平均数十個の陽子同士が衝突イベントが発生する. 1 バンチ衝突当たり数 MB のデータ量が保存されるため, 毎秒数 10~数 100 TB の情報量が保存されていく. これを全て記憶装置に保存することは今の科学技術では困難であるため, どのデータが物理的に興味があり, それをいかに効率よく選び出すかというトリガーが重要になってくる. したがって, ATLAS 実験にかかわらず高エネルギー実験において, トリガーとデータ収集 (Data Acquisition, DAQ) は非常に重要である.

ATLAS トリガーでは、約 40 MHz の高頻度衝突データを最終的に 200 Hz までレートを落とすようにしている。そこで ATLAS では 3 段階のトリガーを採用し、物理的に重要なイベントを効率よく選別し、記録する事を可能にしている。

3 段階のトリガーを順にレベル 1 トリガー、レベル 2 トリガー、イベントフィルターと呼ぶ。3 段階のトリガーの流れを図 2.15 に示す。

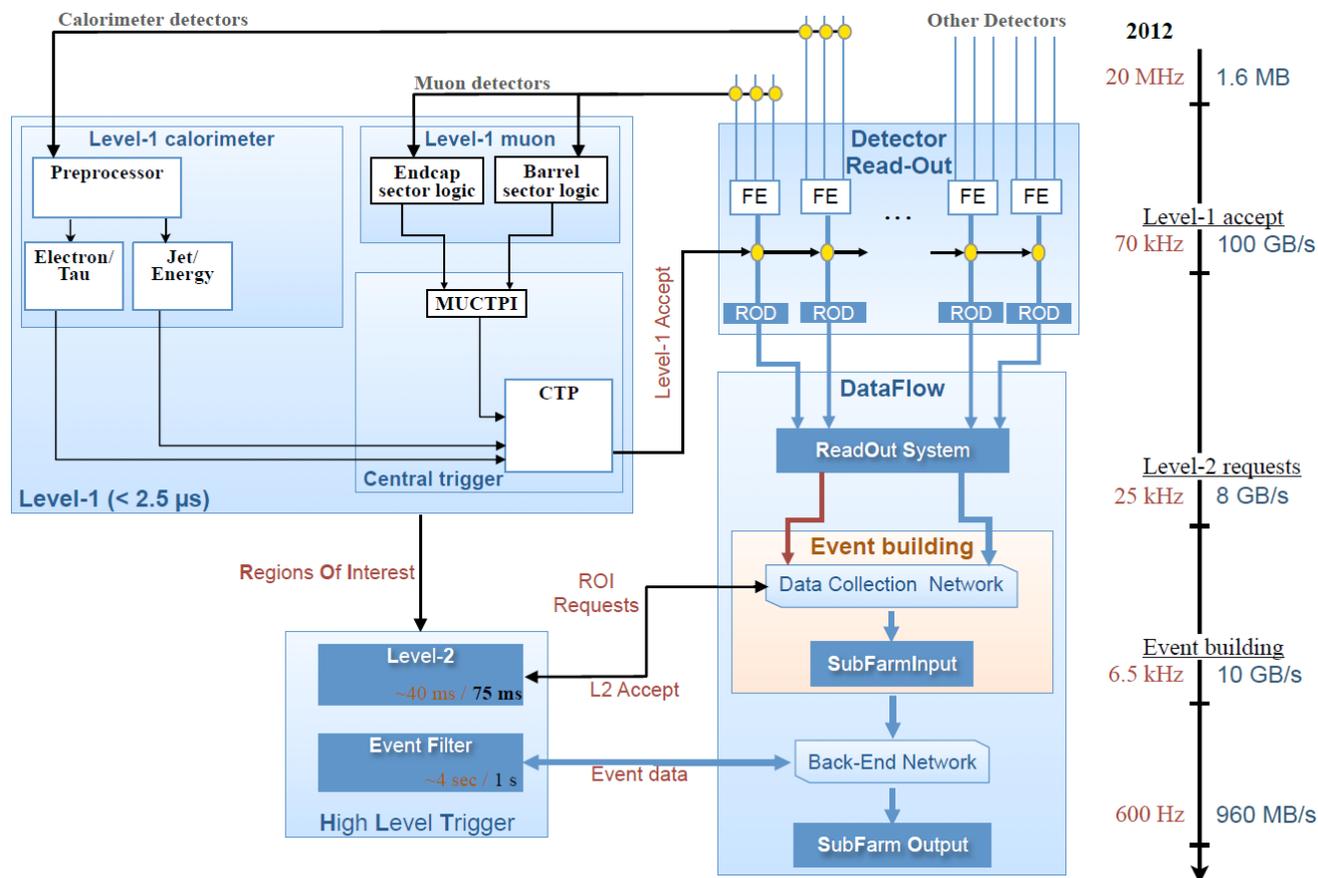


図 2.15: トリガーの流れの模式図 [15]. 2012 年度の環境 (重心系エネルギー 8 TeV, ルミノシティ $0.7 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$) の元, バンチ衝突 (20 MHz) → レベル 1 トリガー (70 kHz) → レベル 2 トリガー (25 kHz) → イベントフィルター (600 Hz) とレートを落とし、イベントを記録した。

レベル 1 トリガーでは $2.5 \mu\text{sec}$ という厳しいレイテンシ条件からハードウェア処理により行われ、レベル 2 トリガー及びイベントフィルターのソフトウェア処理とは異なる。したがってここから、レベル 2 トリガーとイベントフィルターをまとめて High Level Trigger (HLT) と呼ばれる事もある。

レベル 1 トリガー

レベル 1 トリガースキームの模式図を図 2.16 に示す。レベル 1 トリガーはミューオンの p_T 情報及び電子、光子、ジェット等の情報を用いてかけるトリガーで、レートを 75-100 kHz まで落とす。レベル 1 トリガーは、カロリメータやミューオン検出器 (TGC, RPC) の検出器と、これら検出器のシステムと情報を統合してトリガー判定を行う Muon Trigger to CTP Interface (MuCTPI) や Central

Trigger Processor (CTP), トリガーを分配する Timing Trigger and Control distribution system (TTC) とで構成され, ミューオン検出器の情報を用いたレベル1 ミューオントリガーと, カロリメータの情報を用いたレベル1 カロリメータ (L1 Calo) が存在する.

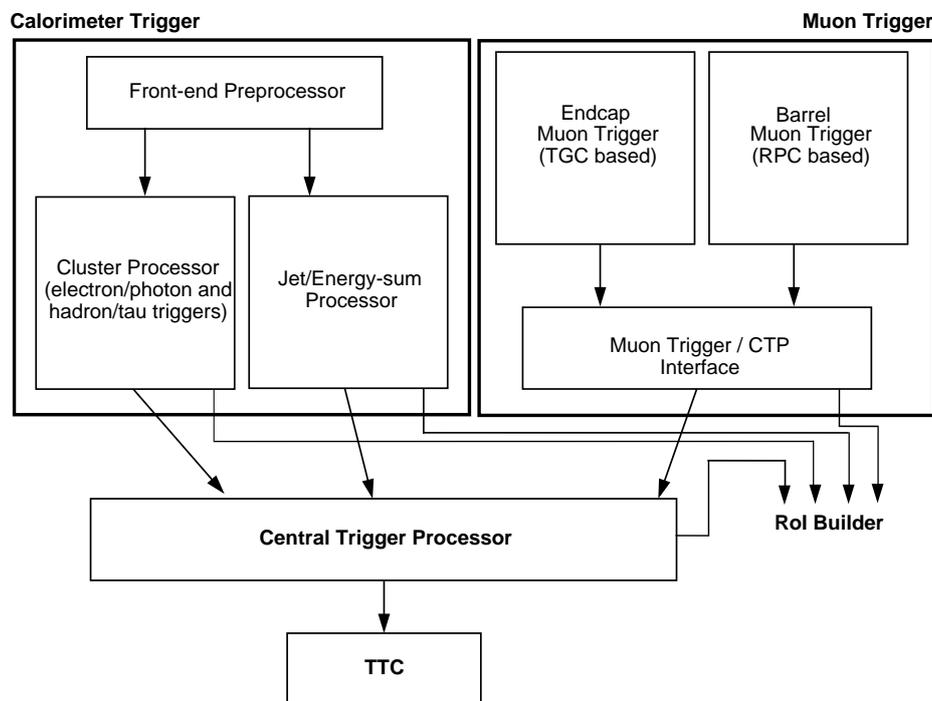


図 2.16: レベル1 トリガースキームの模式図 [10]. レベル1 トリガーはレベル1 ミューオントリガーとレベル1 カロリメータに分けられる.

ミューオン検出器では, 衝突点から飛来したミューオントラックの p_T を測定する. 予め TGC, RPC にそれぞれ 6 段階の p_T の閾値が決められており, その閾値を超える p_T のミューオントラックを検出したら, そのトラック情報を MuCTPI に送る. そこで各々の p_T 閾値で検出されたトラック数に基づき, レベル1 判定が行われる.

カロリメータは, τ レプトンの崩壊によって発生したハドロン, 電子, 光子, ジェット等から得られる横方向エネルギー (E_T) と, イベントの横方向消失エネルギー (E_T^{miss}) を測定する. E_T において各々の対象に対し, 4-8 段階の E_T 閾値が決められ, E_T^{miss} に関しては 8 段階の閾値が決められている. これらの閾値を超えたイベントのトリガー情報は CTP に送信され, レベル1 カロリメータのレベル1 判定は各閾値で検出されたイベント数に基づき行われる.

CTP でレベル1 判定が通ると, Level1 Accept (L1A) 信号が発行される. L1A 信号は TTC を通じて, 衝突から $2.5 \mu\text{sec}$ 以内に各検出器に送られる. したがって読み出しデータはレベル1 に与えられた $2.5 \mu\text{sec}$ のレイテンシの間は保持する必要があるため, 少なくとも 100 段のパイプラインメモリ (レベル1 バッファ) を準備することで, $25 \text{ nsec} \times 100 = 2.5 \mu\text{sec}$ の間全ての情報を保持して, トリガーの発行を待つ事が可能となっている.

レベル2トリガー(レベル2)

レベル2トリガーではイベントレートを数十 kHz 程度に落としている。カロリメータ, MDT からの情報と, 内部飛跡検出器からの完全な位置情報に基づき, さらにレベル1の情報により選定された Region of Interest (ROI) と呼ばれる領域のみの情報を用いてトリガー判定を行う。レベル2では1イベントに対し約十 msec のレイテンシ制約が存在する。

イベントフィルター

イベントフィルターによって, 最終段階のトリガー判定を行い, イベントレートを数 kHz まで落とす。イベントフィルターでは複数の PC を用いて並列処理を行っており, 1 イベントに約 1 秒のレイテンシ制約が存在する。

2.2.6 ATLAS 検出器アップグレード計画

LHC のアップグレードに伴って, ATLAS 検出器のアップグレードも必要となってくる。主な理由として, 放射線損傷による測定器及び加速器の部品の寿命や, LHC のアップグレードに伴った高ルミノシティに対応する測定器への改善などが挙げられる。前者に関しては, 加速器のパーツや核実験の検出器の一部, 特にシリコントラッカーや Inner Triplet Magnet など, 数 100 fb^{-1} 程度で放射線損傷による劣化が出てくる為, 交換が必要である。後者に関しては, 高ルミノシティによる 1 回の衝突によって起こるイベント数が増える事で, 単位時間当たりに処理する情報量が増え, 従来のエレクトロニクスでは処理できなくなる可能性が多いにある。そのためエレクトロニクスやトリガースキームを新たに開発及びアップグレードする必要があり, LHC の 3 回の LS に合わせて部分的に行う計画となっている。LHC の LS1, LS2, LS3 に合わせて, Phase-0 アップグレード, Phase-1 アップグレード, Phase-2 アップグレードと呼ぶ。

以上のように ATLAS 検出器全体でエレクトロニクスシステムのアップグレードが必要となっている。本研究では主にミューオントリガーのアップグレードに関する部分に携わった。

第3章 レベル1エンドキャップミュオントリガーシステム

レベル1ミュオントリガーは W や Z の崩壊により出来る高 p_T ミュオンを捉えるためにも非常に重要であり, Higgs の探索等に大きく貢献している. 本章では, このトリガーのエンドキャップ部をカバーする TGC の概要, TGC が発行するトリガーの説明, そのトリガー自体の回路, 読み出し回路について詳しく説明する.

3.1 Thin Gap Chamber (TGC)

3.1.1 TGC の動作原理

TGC は Multi Wire Proportational Chamber (MWPC) の一種であり, 直交するアノードワイヤとストリップにより 2次元読み出しを可能にしている. アノードワイヤには直径 $50\mu\text{m}$ の金メッキタングステンワイヤーが使用され, 3.1 kV の電圧が印加されておりカソードにはストリップ状の銅板が使用されている. ワイヤーが R 方向, ストリップが ϕ 方向の読み出しに使用されている. 時間分解能に優れ, バンチ間隔 25 nsec に対し TGC の時間分解能は 4 nsec である. 図 3.1 に TGC の断面図, 及び TGC の基本的なパラメータをまとめる.

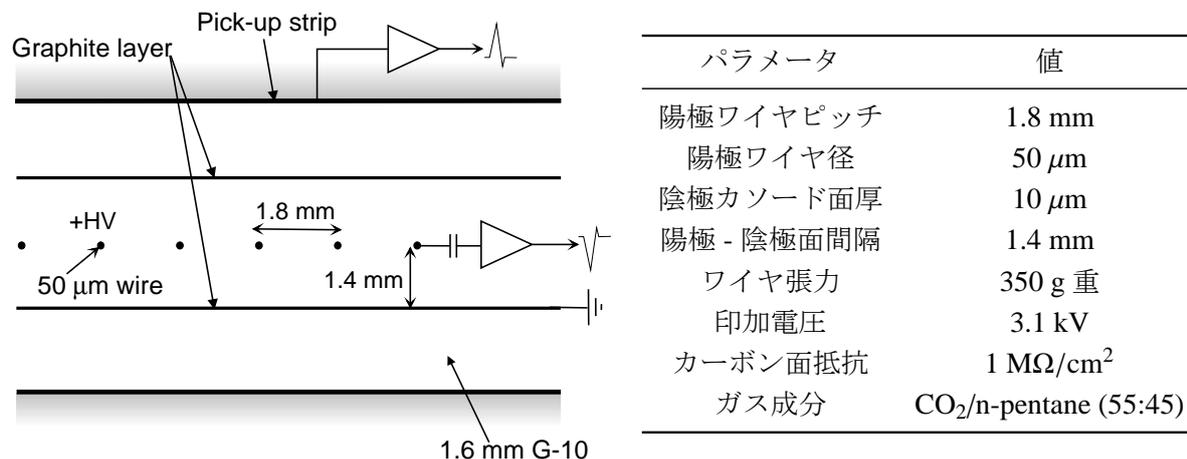


図 3.1: TGC の内部構造 [10]. ワイヤとストリップは直交の関係にあり, それぞれ R, ϕ を読み出す事が可能.

電荷粒子がガス中を通ると, ガス分子が電離されて電子と陽イオンが生じ, その発生した電子はガス中の電場に誘引されてワイヤー側に移動する. そしてワイヤー近傍まで電子が近づくと, ワイヤー近傍の強電場のため, 電子の運動エネルギーが十分に大きくなり, 急激に加速され電子雪崩が

発生する. この発生した電子群がアノードワイヤによって読み出され, 誘起された電荷がカソードストリップによって読み出される.

3.1.2 TGC の分類

TGC チェンバーは図 3.2 に示すように, 2 層の Doublet と 3 層の Triplet のガスギャップを組み合わせた構造となっている.

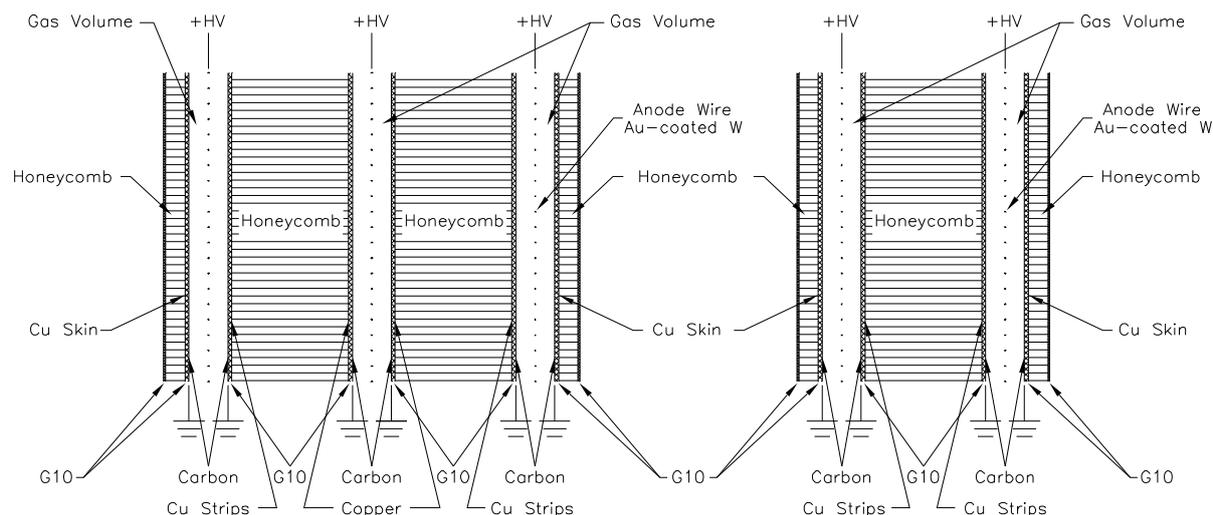


図 3.2: 左 : Triplet 構造の模式図. 右 : Doublet 構造の模式図 [10]. Triplet 構造は 3 組, Doublet 構造は 2 組のワイヤ, ストリップから構成され, 各層の間にはハニカム構造のスペーサーが挿入されている.

3.1.3 TGC の配置

図 3.3 には TGC の配置図を示す. 図 3.3 から分かるように, TGC BW と呼ばれる検出器は 3 つのステーションから構成され, EI/FI は 1 つのステーションからなる. 更に BW に関して, 最も内側の $z \approx 13$ m に配置されているステーションを M1, $z \approx 14$ m に配置されているステーションを M2, $z \approx 14.5$ m に配置されているステーションを M3 と呼ぶ. M1 と M2 の間に 1 m 程間隔があるが, ここには MDT が存在する. M1 は Triplet 構造, M2, M3 は Doublet 構造であるが, M1 の 2 層目のチェンバーにはストリップがない事が特徴として挙げられる. つまり, 衝突点から見るとワイヤ層が 7 層, ストリップ層が 6 層あることになる. また EI/FI は Doublet 構造である.

TGC では $1.05 < |\eta| < 1.92$ の領域をエンドキャップと呼び, $|\eta| > 1.92$ の領域をフォワードという. トリガーや DAQ はこの 2 つの領域毎に処理を行っている. またフォワード領域のうち, $2.40 < |\eta| < 2.70$ の領域に関しては, M1 しかカバーしてしていないため, トリガー情報は生成せず, 位置測定のみ行われる.

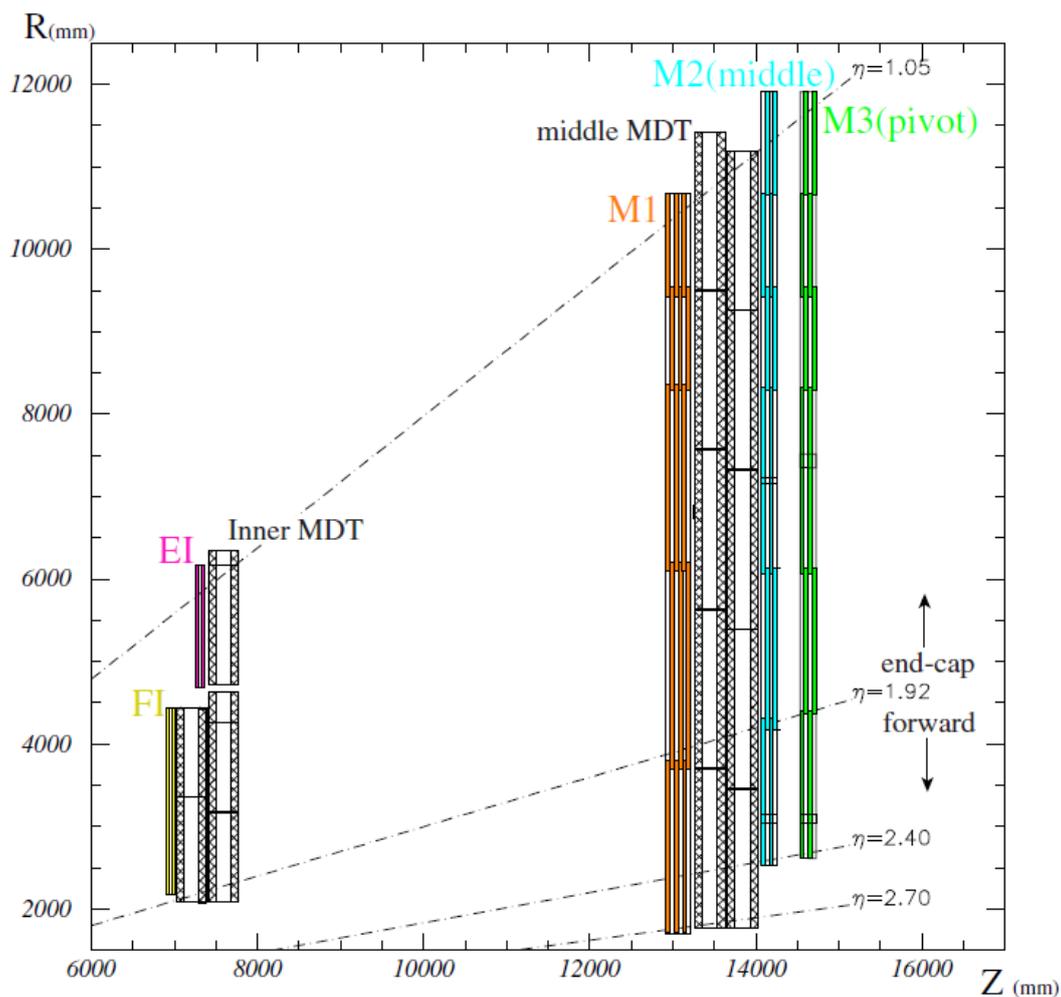


図 3.3: TGC の配置図 [16]. BW は M1, M2, M3 からなるステーションで構成され, EI/FI は 1 つのステーションで構成される. また BW のうち, $1.05 < |\eta| < 1.92$ の領域をエンドキャップと呼び, $|\eta| > 1.92$ の領域をフォワードという.

3.1.4 TGC セクター

TGC の単位として, セクター, トリガーセクター, SSC, ROI がよく使用される. 以下その単位について簡単に定義を行い, 本論文では以下の定義の元, 各々の単位を使用する. そして図 3.4 に TGC のトリガー単位模式図をまとめる.

セクター

セクターとは, TGC の円盤を ϕ 方向に 12 分割したものである. つまり TGC の 1 つの円盤は 12 個のセクターから構成される.

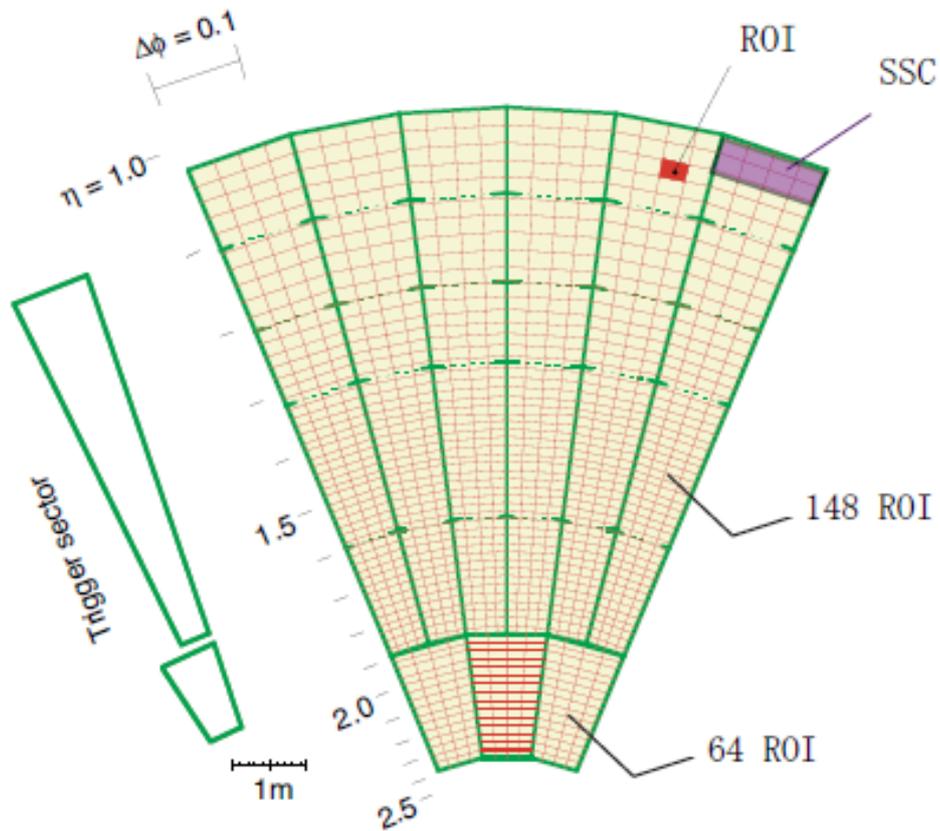


図 3.4: TGC のトリガー単位模式図 [10]. A-side, C-side でそれぞれ 72 トリガーセクターに分かれている. 更にエンドキャップトリガーセクターは 148 ROI, フォワードトリガーセクターは 64 ROI に分けられ, 8 つの ROI をまとめて SSC と呼ぶ.

トリガーセクター

トリガーセクターとは, トリガー処理が行われる単位であるが, エンドキャップ領域 ($1.05 < |\eta| < 1.9$) とフォワード領域 ($1.9 < |\eta| < 2.4$) によって分け方が異なる. エンドキャップ領域では, 1 セクターを ϕ 方向に 4 分割したものを 1 つのトリガーセクターと呼び, フォワード領域では 1 セクターを ϕ 方向に 2 分割したものを 1 つのトリガーセクターとしている.

つまりエンドキャップ領域では, 円盤を ϕ 方向に 48 分割したものを 1 つのトリガーセクターと呼び, フォワード領域では円盤を ϕ 方向に 24 分割したものを 1 つのトリガーセクターとしている.

ROI, SSC

各トリガーセクターは更に ROI (Region of Interest) という単位に分割される. ROI はトリガーにおける最小単位で, これもエンドキャップ領域とフォワード領域で分け方が異なる. エンドキャップ領域では 1 つのトリガーセクターを η 方向に 37 分割, ϕ 方向に 4 分割したものを, フォワード領域では 1 つのトリガーセクターを η 方向に 16 分割, ϕ 方向に 4 分割したものを ROI と呼ぶ. 1 つの ROI は $\Delta\eta \times \Delta\phi = 0.03 \times 0.03$ に相当する.

つまり、1つのエンドキャップトリガーセクターは $37(\eta) \times 4(\phi) = 148$ ROI, 1つのフォワードトリガーセクターは $16(\eta) \times 4(\phi) = 64$ ROI に分けられる。

また、 η 方向に2つ、 ϕ 方向に4つの ROI をまとめて SSC (Sub Sector Cluster) と呼ぶ。1つの SSC には $4 \times 2 = 8$ 個の ROI が含まれる。

3.2 TGCにおけるトリガースキーム

本節ではTGCがレベル1ミューオントリガーをどのように発行するのかについて述べる。

3.2.1 p_T 算出の概要

TGCにおいて p_T 算出の流れは以下のようにになっている。

1. 陽子-陽子の衝突により W や Z の崩壊が発生し、ミューオンが生成される
2. ミューオンはエンドキャップトロイド磁場によって曲げられ BW に到着する
3. 磁場を通過した後、BW の M1, M2, M3 の順にヒットし、そのヒットした点でフロントエンドエレクトロニクスにより2次元情報 (R, ϕ) が生成される。なお、現行のTGCトリガーでは M1, M2, M3 のヒット情報のみ使用していて、EI/FIは使用されていない
4. 無限運動量を持った時の飛跡、つまり M3 のヒット点と衝突点を結ぶ直線と、磁場で曲がった実際の飛跡とのずれ ($\Delta R, \Delta\phi$) を測定する。これらのデータは SL というモジュールに送信される
5. 最後に ($\Delta R, \Delta\phi$) の組と p_T の対応表であるコインシデンスウィンドウ (CW) と照らし合わせることで p_T を推定する事が可能となる

図 3.5 に概略図を載せる。 p_T が高いほど磁場で曲がりにくく $\Delta R, \Delta\phi$ も小さくなる。理想的には磁場は ϕ 方向なので $\Delta\phi = 0$ のはずであるが、磁場の非一様性から ϕ 方向にもずれる。

3.2.2 段階的なコインシデンス

TGCのトリガーでは Low-Pt コインシデンス、High-Pt コインシデンスの2段階のコインシデンスの処理を用いる事でバックグラウンドを抑えている。それらのコインシデンスは段階的に行っており、 p_T 計算に必要な量を揃えていく。図 3.6 に段階的なコインシデンスの様子を示す。

Low-Pt コインシデンス

Low-Pt コインシデンスでは、M2, M3 でのワイヤーチェンバーとストリップチェンバー、それぞれ4層を用いてコインシデンス処理を行っている。4層のチェンバーのうち3層以上のチェンバーにヒットがあるかどうかでコインシデンス判定を行い、これを 3 out of 4 コインシデンスと呼ぶ。また、M1 のワイヤチェンバー3層を用いてコインシデンス処理を行い、これは3層のチェンバーのうち2層以上のチェンバーにヒットがあるかどうかでコインシデンス判定を行っているため、2 out

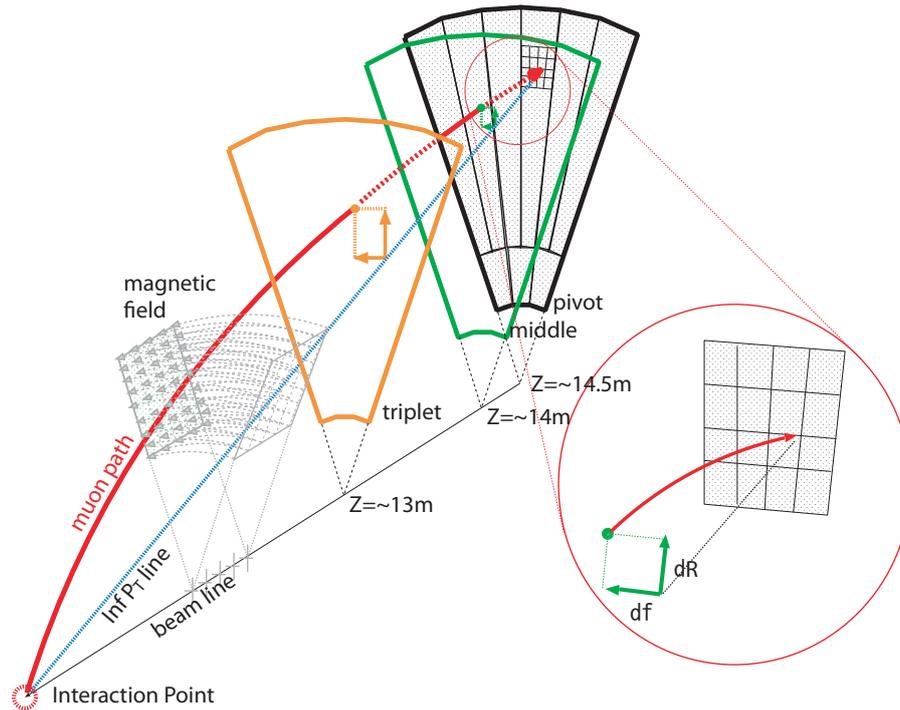


図 3.5: TGC-BW による無限運動量を持った時の飛跡と磁場で曲がった実際の飛跡とのずれの測定の様子 [17].

of 3 コインシデンスと呼んでいる。さらには、M1 のストリップチェンバー 2 層を用いてコインシデンス処理を行い、これは 2 層のチェンバーのうち、1 層以上のチェンバーにヒットがあるかどうかでコインシデンス判定を行っており、これを 1 out of 2 コインシデンスと呼んでいる。

High-Pt コインシデンス

High-Pt コインシデンスでは、2 つの Low-Pt コインシデンス判定の結果を利用したコインシデンス判定である。ワイヤー信号に関しては、M2, M3 を用いた 3 out of 4 コインシデンス、及び M1 を用いた 2 out of 3 コインシデンスの両方にコインシデンスがあるかどうかで判定を行う。ストリップ信号に関しては M2, M3 を用いた 3 out of 4 コインシデンス、及び M1 を用いた 1 out of 2 コインシデンスの両方にコインシデンスがあったかどうかで判定を行う。

ワイヤーとストリップにおけるコインシデンスは独立に判定が行われ、最終的にワイヤー信号、ストリップ信号は統合され p_T の算出に用いられる。

3.3 TGC のトリガーエレクトロニクス

本節では TGC のヒット情報を処理するエレクトロニクスについて述べる。まず、TGC のデータ処理には大きく分けて、トリガー系とリードアウト系に分けられる。前者はレベル 1 ミューオントリガー判定のための情報処理を行い、後者は TGC 各層のミューオンヒット情報の読み出しを行う。TGC エレクトロニクスの全体像を図 3.7 に示す。以下、各データ処理系について説明する。

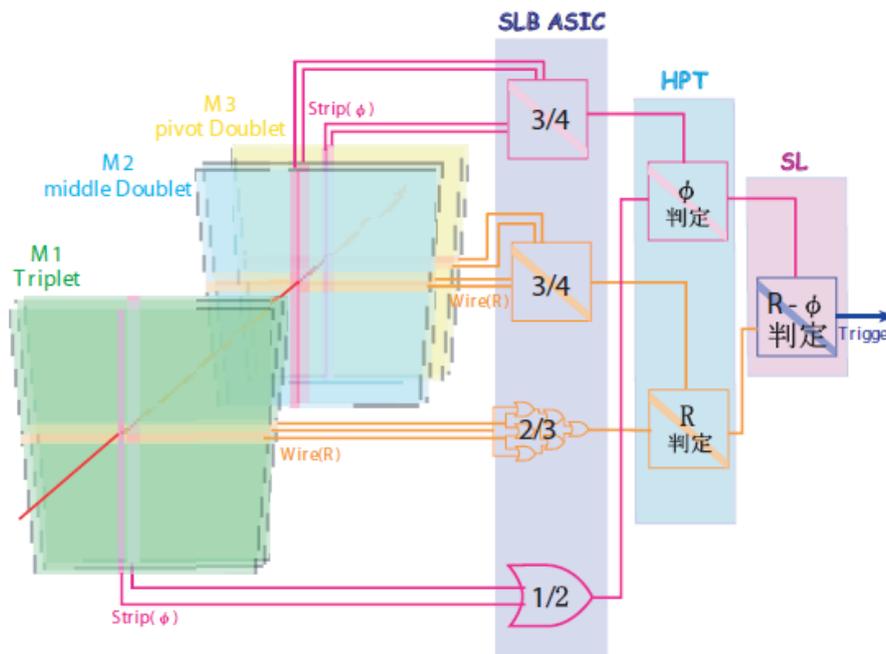


図 3.6: p_T 決定の仕組み [17]. 段階的なコインシデンスを処理する事で, p_T 計算に必要な量を揃えていく.

3.3.1 トリガー系 TGC データ処理

トリガー系データ処理は, TGC の各層のヒット情報を処理してコインシデンス判定を行う. 図 3.7 において赤線がトリガー系信号処理を表している. 図 3.7 にもあるように, トリガー系で使用されるエレクトロニクスとして, ASD (Amplifier Shaper Discriminator), PP ASIC (Patch Panel ASIC), SLB ASIC (Slave Board ASIC), HPT (High-Pt), SL (Sector Logic) がある. この中で PP ASIC¹ と SLB ASIC は PS ボードという共通のボードに搭載されている.

トリガー系での信号の処理フローは以下の通りである.

1. TGC チェンバーのアナログ信号が ASD ボードに送信される
2. ASD ボードは受信した信号を増幅, 整形, デジタル化した後, LVDS 信号²として PP ASIC に送信する
3. PP ASIC は受け取った全てのチャンネルからの信号タイミングを LHC クロックに同期させ, SLB ASIC に送信する
4. SLB ASIC は Low-Pt コインシデンス処理を行い, その結果を HPT に送信する
5. HPT は SLB ASIC の信号から High-Pt コインシデンス処理を行い, その結果を SL に送信する

¹ASIC: Application Specific Integrated Circuit は電子部品の種別の 1 つで, 特定の用途向けに複数機能の回路を 1 つにまとめた集積回路の総称の事

²LVDS: Low Voltage Differential Signaling は短距離用のデジタル有線伝送技術で, 小振幅・低消費電力で比較的高速の作動インターフェースの事

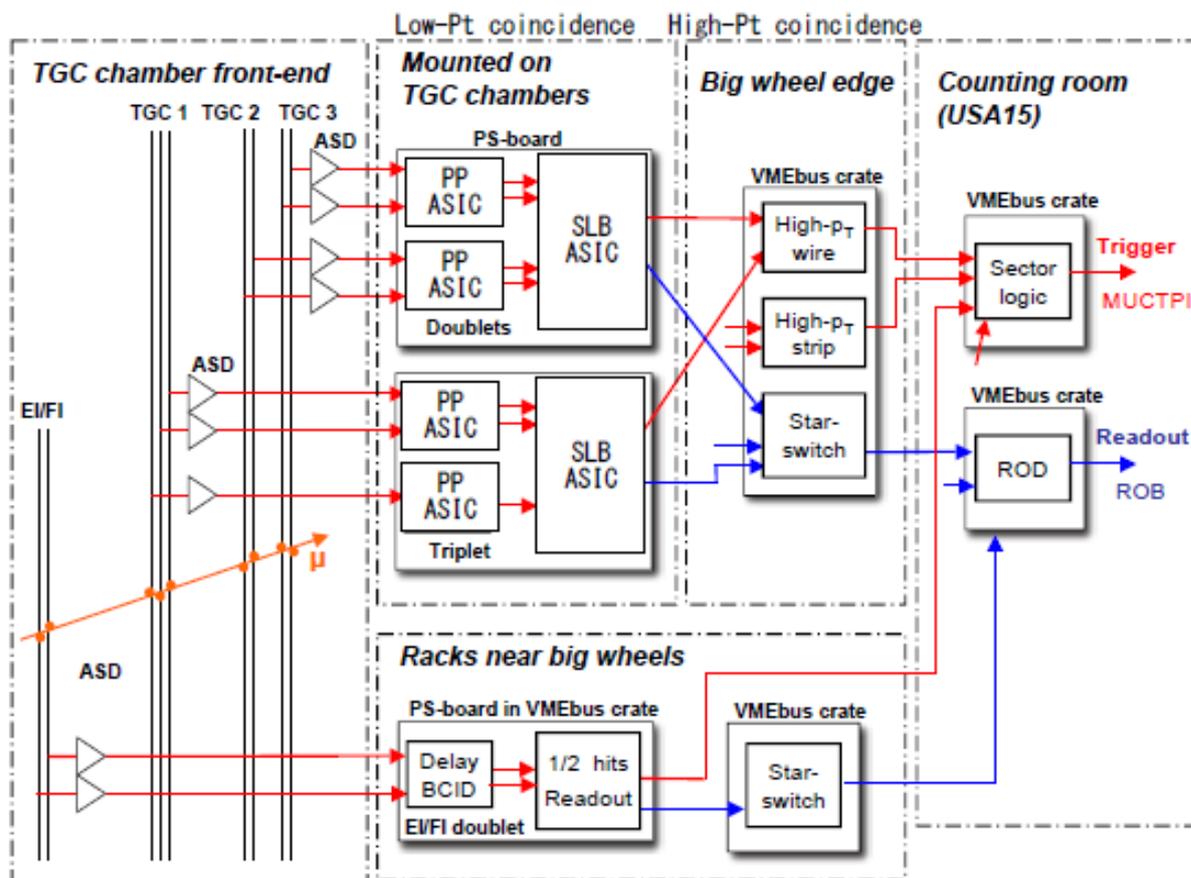


図 3.7: TGC エレクトロニクスの全体像 [10]. 赤線はトリガー系の信号処理を, 青色はリードアウト系の信号処理を示している. PP ASIC と SLB ASIC の処理は PS-Board にまとめられている.

6. SLはワイヤーとストリップのコインシデンス情報を更にコインシデンス処理をする事で, p_T 判定, ROI の決定を行う. その情報を MuCTPI (Muon-to-CTP Interface) に送信する事で, 最終的なレベル 1 ミューオントリガー判定が行われる

3.3.2 リードアウト系 TGC データ処理

リードアウト系データ処理は, TGC の各層のヒット情報と TGC コインシデンス情報を読み出す. 図 3.7 において青線がリードアウト系信号処理を表している. 図 3.7 にもあるように, リードアウト系で使用されるエレクトロニクスとして ASD, PP ASIC, SLB ASIC, SSW (Star SWitch), ROD (ReadOut Driver) がある.

リードアウト系での信号の処理フローは以下の通りである.

1. TGC チェンバーのアナログ信号が ASD ボードに送信される
2. ASD ボードは, 受信した信号を増幅, 整形, デジタル化した後, LVDS 信号として PP ASIC に送信する

3. PP ASIC は受け取った全てのチャンネルからの信号タイミングを LHC クロックに同期させ, SLB ASIC に送信する
4. SLB ASIC は受信したデータをレベル 1 バッファに蓄える. この蓄えられたデータのうち, L1A 信号 (Level 1 Accept 信号: 各検出器に配られるレベル 1 トリガー信号) を受け取ったデータに関しては, デランダマイザと呼ばれるバッファを通して, SSW に送信する
5. SSW は 8 つの SLB ASIC からデータを受信し, そのデータを圧縮 (ゼロサプレス) を行い, ROD に送信する
6. ROD は 10 つの SSW から情報を受信し, データを変換して ROB (ReadOut Buffer) に送信する

さらにリードアウト系では SL 上でのコインシデンス処理情報の読み出しも行う. SL は HPT から受信したコインシデンス情報と SL 上で行ったコインシデンス情報の結果を SL ボード内の SLB ASIC に送る. この SLB ASIC 後のデータフローは, TGC 各層のヒット情報読み出しと同様に行われる.

以下, 各エレクトロニクスの説明を行う. まず最初に, TGC に直接接続された ASD から, PS ボードでまとめられている PP ASIC, SLB ASIC の順番で説明を行う.

3.3.3 ASD ボード

ASD (Amplifier Shaper Discriminator) ASIC は, TGC チェンバーのアナログ信号を増幅, 整形したのち, ある閾値電圧を超えていたら LVDS レベルでデジタルパルスを出力する ASIC である. 増幅は 2 段階で行われ, 1 段階目には 0.8 V/pC のプリアンプ, 2 段階目には増幅率が 7 のオペアンプが用いられる. ASD ボードは TGC の側面に取り付けられ, 1 枚の ASD ボードに 4 つの ASD ASIC が設置され 16 チャンネルを処理している.

図 3.8 に ASD ボードの写真を示す.

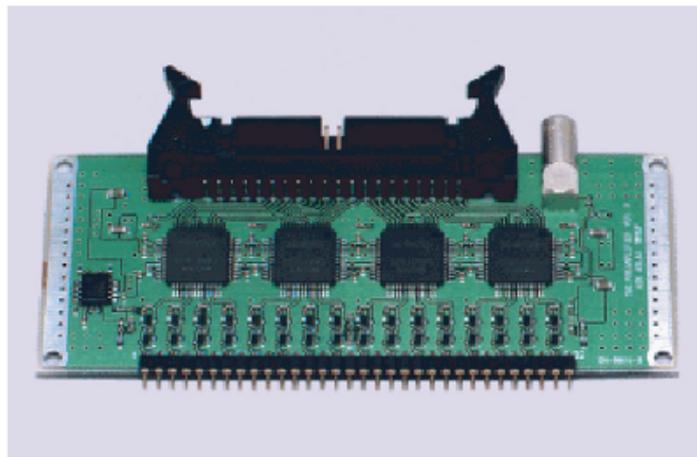


図 3.8: ASD ボードの写真 [17]. 1 枚の ASD ボードに 4 つの ASD ASIC が搭載されている. アナログ信号を増幅, 整形し LVDS レベルでデジタルパルスを出力する.

3.3.4 PP ASIC

PP (Patch Panel) ASIC は ASD ボードから受信した LVDS 信号を処理する。1 枚の PP ASIC で 32 チャンネル、つまり 2 つの ASIC ボードからの処理が出来る。PP ASIC の主な役割としてタイミング調整とバンチ識別がある。

TGC では、粒子が検出器まで到着するのに費やす時間である TOF (Time Of Flight) の差や、ケーブル長の差により各チャンネルの信号到着時間にずれがある。PP ASIC 以降の回路ではコインシデンス処理を行うため、PP ASIC でタイミング調整を行う必要がある。

PP ASIC のもう一つ重要な役割として、バンチ識別が挙げられる。具体的には TTC から配られる LHC クロックと同期する事である。このバンチ識別により、同じバンチクロッシングのデータは同じクロックのエッジに揃う事になる。

3.3.5 SLB ASIC

SLB ASIC は多機能 ASIC で、大きくトリガー部とリードアウト部に分けられる。図 3.9 に SLB ASIC 内の信号処理のブロック図を示す。

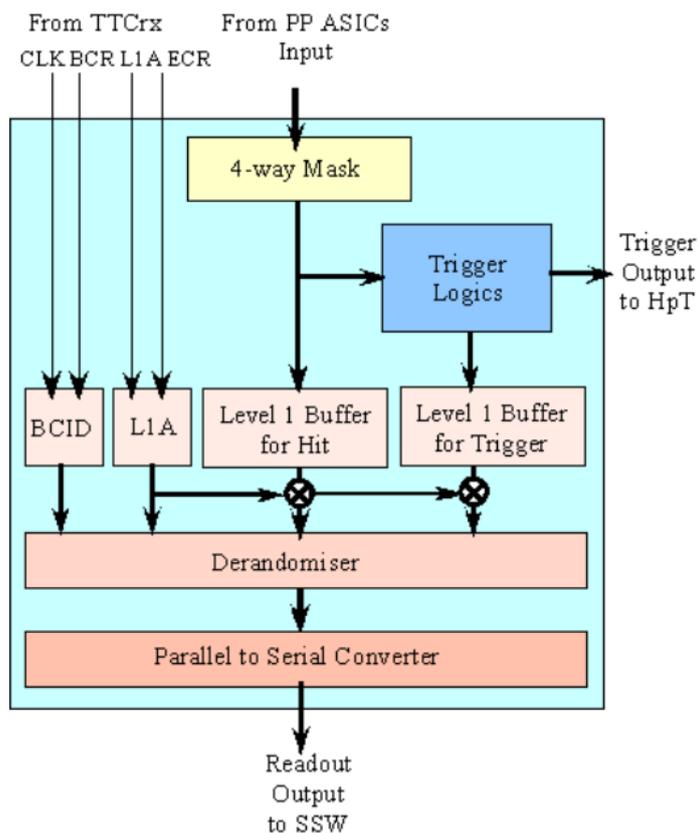


図 3.9: SLB ASIC 内信号処理のブロック図。PP ASIC から受信した信号は ASIC 内でトリガー系とリードアウト系に分けられ、それぞれで処理される。

トリガー系データ処理

トリガー系の処理では、SLB ASICは信号のコインシデンス処理を行う。Doubletではストリップ、ワイヤーともに、M2, M3の信号を用いて3 out of 4 coincidenceを行う。Tripletではワイヤーとストリップで層の数が前者は3層、後者は2層と異なるため、ワイヤーでは2 out of 3 coincidence、ストリップでは1 out of 2 coincidenceを行う。これら4種類のコインシデンスに伴い、1つのASICは4種類のマトリックスを実装しており、レジスタで切り替える事が可能となっている。これらのトリガーデータはシリアル化され、Cat6ケーブルにてHPTに送信される。

リードアウト系データ処理

リードアウト系の処理では、SLB ASICの役割はL1Aを受けたデータを読み出す事である。SLB ASICにはレベル1バッファとデランダムマイザで構成され、PP ASICから受けたデータをそのレベル1バッファに蓄える。このレベル1バッファとは212 bit × 128段シフトレジスタで、最大3.2 μsecの間、データを保持できる。レベル1バッファの212 bitの幅は、入力データ160 bit、トリガーデータの40 bit、バンチカウンタの値(BCID: Bunch Counting ID)の12 bitからなる。L1AがTTCから供給されると、前後1バンチを含めた計3バンチをレベル1バッファから取り出され、デランダムマイザにコピーされる。その際4 bitのイベントカウンタの値(L1ID: Level 1 ID)が付加されデータ長は216 bitとなる。デランダムマイザでタイミングを調整した後、3バンチ分のデータは各々シリアル変換され、4 bitのLVDSの信号としてSSWに送信される。イベントカウンタとバンチカウンタはTTCのECR³、BCR⁴にしたがってSLB内でカウントしており、データの目印になる。

3.3.6 HPT

HPTボードはDoublet, Tripletのコインシデンスをとるためのモジュールである。HPT ASICは1枚のボードで外付けのスイッチを入れ替える事でワイヤとストリップ、両方で使用出来るよう設計されている。HPTボードの写真を図3.11に示す。HPTはまずSLB ASICから送信されてきた情報からDoubletとTripletの情報のコインシデンスを行う。ワイヤのHPTからは ΔR と R を、ストリップのHPTからは $\Delta\phi$ と ϕ をそれぞれ独立に処理され、シリアルライズされる。出力するデータは16 bitもしくは17 bitデータのG-link信号で、SLに送信される。HPTボードは9UというVMEモジュールであり、SSWと共有のVMEクレートに収納されている。

3.3.7 ミューオントリガー装置 (Sector Logic)

本研究に最も関わりのあるモジュール、SLはHPTボードから受信した信号からワイヤヒット情報とストリップヒット情報を統合させ、そこからSLのFPGAによってミューオンの p_T を算出し、トリガーの発行を実行する。このFPGAではCWを用いてSSCごとに6段階の p_T 判定を行う。このために予め6段階の p_T の閾値を設定して、各ROIに対してCWを作成しFPGA内のLook Up Table (LUT)に記録しておき、入力された(ΔR , $\Delta\phi$)をLUTに通すことで p_T を算出する事が出来る。FPGAの使用することでLUTの書き換えが可能となっているため、閾値の変更はLUTを書き換えることで簡単に行う事が出来る。トリガーが発行されると、SLはROI, p_T , BCIDなどの情報

³Event Count Reset: イベントカウントリセット

⁴Bunch Count Reset: バンチカウントリセット

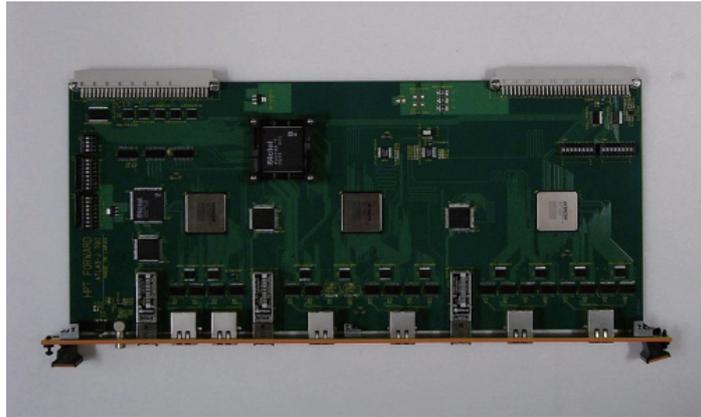


図 3.10: HpT の写真 [17]. HPT ボードは Doublet, Triplet のコインシデンスをとるためのモジュールである。

を 32 bit のパラレルデータとして MuCTPI に送信される。SL への入力には PS ボード中の SLB ASIC で BCID が付加されたデータではないので、SL 中のバンチカウンタの値を付加している。また、SL ボード上の SLB ASIC に渡される、トリガー情報と HPT ボードからの入力情報は、SSW を通じて読み出される。SL の詳しい説明は第 4 章に改めて解説を行う。

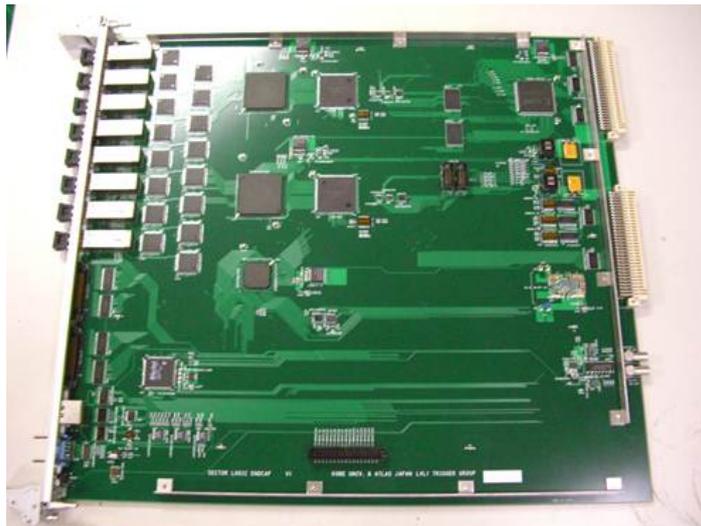


図 3.11: SL の写真 [19]. SL は HPT ボードから受信した信号からワイヤヒット情報とストリップヒット情報を統合させ、そこから SL の FPGA によってミューオンの p_T を算出し、トリガーの発行を実行する役割をもつ。

3.3.8 SSW

SSW (Star SWitch) はスター型のトポロジーで SLB ASIC のリードアウトから送信されるデータを収集し、圧縮する役割がある。SSW のデータ圧縮によって送信されるデータ量を削減する事ができ、データ読み出しを効率よく行う事が出来る。図 3.12 に SSW の写真を示す。全ての SSW ボード

の構成は同一で、放射線耐性をもつ anti-fuse FPGA をデータ受信用 (RX FPGA) に 6 つ、送信用 (TX FPGA) に 1 つ、モジュールコントロール用に 1 つ (Control FPGA) 載せてある。1 つの受信 FPGA につき、最大 4 つの SLB ASIC からのデータを受信可能となっている。具体的な動作は次の通りである。

1. SLB からの LVDS レベルのシリアライズされたデータを受信し、それをパラレルのデータに変換する
2. パラレル化したデータをレシーバーである SSWrx で受信し、データの圧縮を行う
3. 圧縮されたデータはトランスミッターである SSWtx で受信し、フォーマット整形を行う
4. フォーマットしたデータは G-Link 信号 [20] に変換し、約 100 m 離れたカウンティングルーム (USA15) にある ROD に送信する

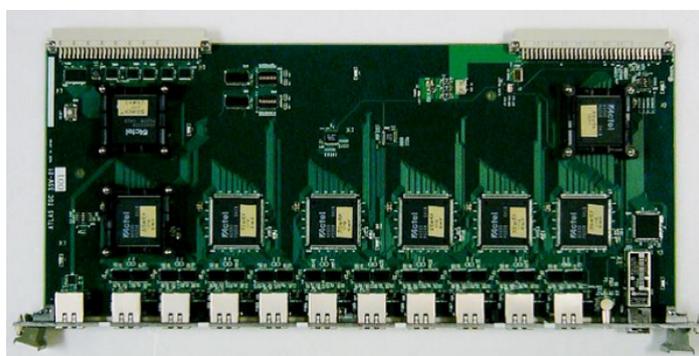


図 3.12: SSW の写真 [17]. SSW は SLB ASIC のリードアウトから送信されるデータを収集し、圧縮する役割をもつハードウェアモジュールである。

データの圧縮には 5.4.3 節で深く解説するゼロサプレスという圧縮方法を用いている。これは全データを 8 bit の cell に分けて、各 cell が全て 0 であるときは、その cell を完全に落とし、8 bit 中 1 bit でも 1 があれば、その cell に何番目の cell であるかというアドレスを付加して送信する方法である。TGC のデータは 0 が連続して送信される事が多く、このゼロサプレスが非常に有効な圧縮方法となっている。しかし逆に 1 が多いデータだと、ゼロサプレスという圧縮方法を使用することでかえってデータサイズが増加してしまう場合がある事に注意する。

3.3.9 ROD

ROD (Read Out Driver) は TGC エレクトロニクスの中で TGC の読み出しデータが最終的に集まるモジュールであり、後段の ROB のためのフォーマットに整形する役割を持つ。イベントの同定やヘッダー、フッターをつけるために TTC からのトリガー情報が必要なため、ROD には TTCrx が載せられたメザニンカードが載せられ、これにより TTC からの信号を入手する事が出来る。SSW から 1 セクター分のシリアライズ化された圧縮データを光ファイバー経由で受け取り、光信号を電気信号に変換した後、パラレルデータに戻し、決められたフォーマットに変換する。この変換の後に S-Link[21] という光の規格で ROS (Read Out System) に送信される。また、何かエラーが起こった時のために、busy 信号を CTP に送信するようになっている。図 3.13 に ROD の写真を示す。



図 3.13: ROD の写真 [11]. ROD は TGC の読み出しデータが最終的に集まるハードウェアモジュールで後段の ROB のためのフォーマットに整形する役割をもつ。

3.3.10 TTC

TTC (Timing, Trigger and Control distribution) システムは、フロントエンドの各エレクトロニクスの同期を取るために、LHC クロックや L1A などの信号を分配するシステムで、Local Trigger Processor (LTP), TTCvi, TTCvx, ROD busy から構成される。図 3.14 に TTC システムを示す。

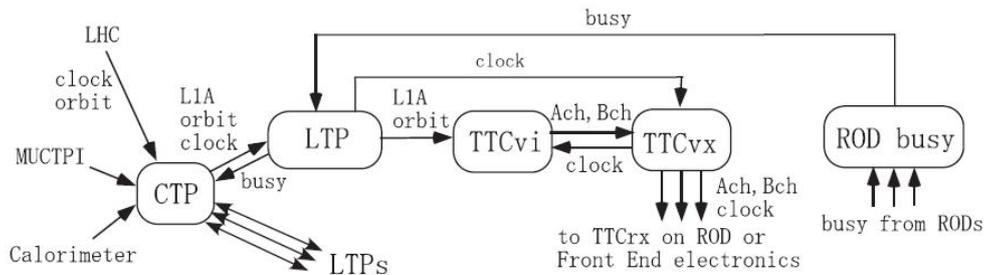


図 3.14: TTC システムを構成するモジュール [17]. LTP, TTCvi, TTCvx, ROD busy から構成される。

LTP は TTC システムの外部からの TTC で扱う全ての信号を受信し、ローカルにおけるマスターの役割を果たしている。CTP から信号を受信し、クロックを TTCvx に、その他の信号を TTCvi に渡す。この時、例えばトリガーに関して L1A をそのまま渡すか、ローカルに生成した擬似 L1A 信号を渡すかを選択する事ができる。

TTCvi は受信した L1A 信号などを TTCvx に送信し、TTCvx は受信したデータを加工した後、オプティカルリンクによってフロントエンドに設置される TTCrx に分配する。TTCvi から TTCvx に渡す信号は、A-Channel, B-Channnel という 2 種類の信号に分配される。前者で扱うデータは L1A 信号のみであるが、後者で扱うデータはその他のデータとなっている。

また、ROD busy モジュールでは、TTC システム内に属する ROD からの busy を集めた結果を LTP に渡す役割を持つ。LTP が受け取った busy は CTP に渡される。

3.4 レベル 1 ミューオントリガーのアップグレード

LHC は HL-LHC を目指し段階的にアップグレードをしている。それに伴い ATLAS エンドキャップミューオントリガーのアップグレードも求められる。本節では物理ランが終了した 2012 年の段階での、TGC トリガーの状況をその問題点を述べ、さらにはそれに対する対策を述べる。

3.4.1 トリガーレート

現状の TGC トリガーでは、低運動量の陽子によるバググラウンドが原因で、実際のミュオンが飛来してくるレートに対しトリガーレートが高くなっている状況である。図 3.15 に、2012 年のランでのミュオンが飛来したイベント数とトリガー発行数との比較を示す。図 3.15 には 3 つの η 分布が示されている。1 つ目は L1_MU11 であり、これは 10 GeV の p_T 閾値でトリガーされたミュオントリガーの数を示している。2 つ目は RoI matched to reconstructed muon で、L1_MU11 のうち、衝突点由来 ($\Delta R < 0.2$) のミュオンがオフライン解析で再構成されたものの数を示している。3 つ目は RoI matched to $p_T > 10$ GeV で、2 つ目のうち、オフラインで再構成されたミュオンの p_T が 10 GeV より大きいものの数を示している。

図 3.15 を見ると $1.0 < |\eta| < 2.4$ での領域では再構成されたミュオンの数に比べて発行されたトリガーの数が非常に多く、再構成されたミュオンの数の数倍のトリガーが発行されている事が分かる。この TGC トリガーレートとミュオンの飛跡レートの差はバググラウンド、つまりフェイクミュオンをミュオンであると判断するトリガーシステムが原因である。 $1.0 < |\eta| < 2.4$ での領域はエンドキャップ部であり、これからエンドキャップ部のトリガー方法を改善する必要がある事が分かる。

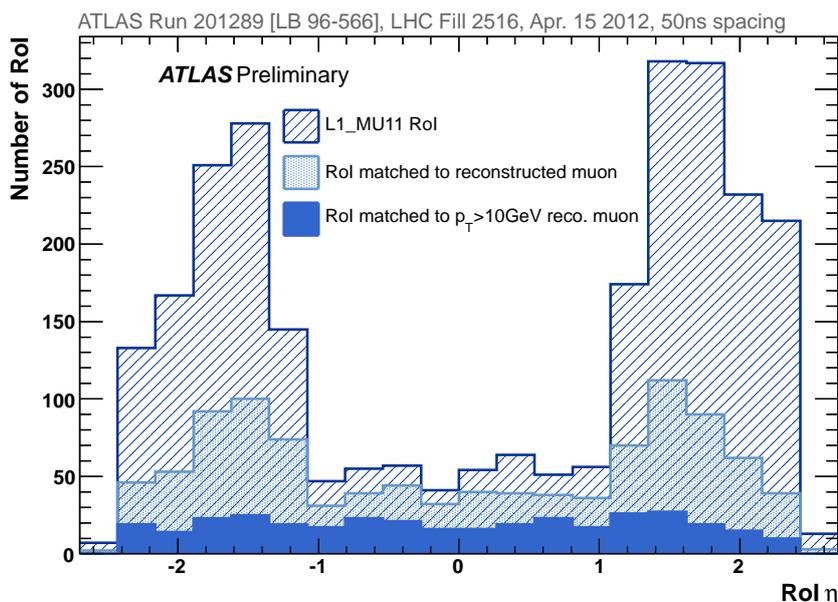


図 3.15: 2012 年のランにおけるレベル 1 ミュオントリガー数とオフラインで再構成されたミュオン数の η 分布 [22]. 実際のミュオンの飛来数に対してトリガー数が多くなっている。

3.4.2 フェイクミュオンの原因

TGC のトリガーレートとミュオンの飛来レートの差の原因として、主に衝突点由来以外から飛来してくる荷電粒子が考えられている。荷電粒子が磁場で軌跡を曲げられ、TGC の BW3 層にヒットする。このヒットが高 p_T のミュオンによるヒットのような信号を残すと、そのヒットが衝突点由来のミュオンと判断される事で、トリガーされバググラウンドとなる。このような荷電粒子

には高エネルギー中性子がビームパイプを叩いて生成される陽子や、ビームハローなどが考えられる。このバググラウンドの模式図を図 3.16 に示す。

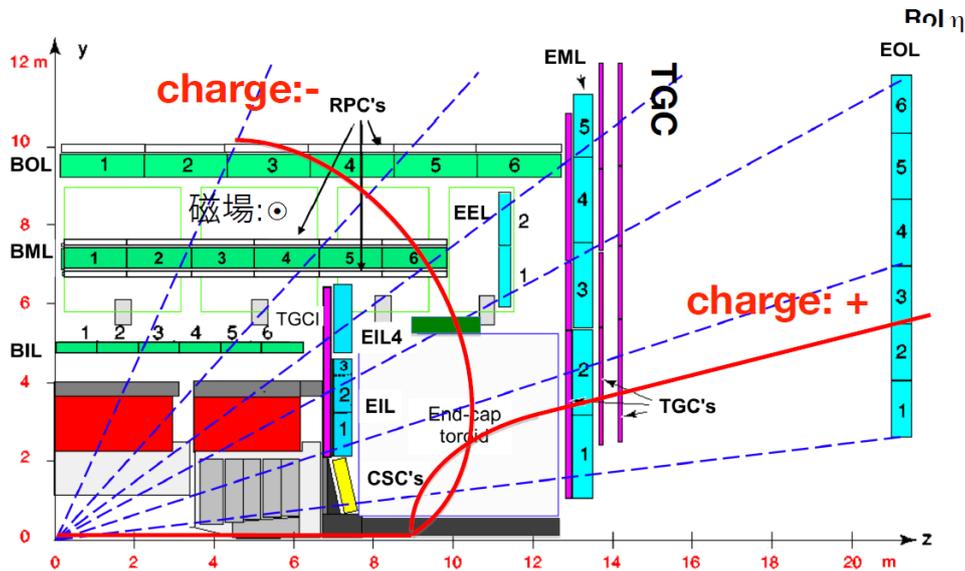


図 3.16: バググラウンドの模式図 [18]. 衝突点以外から飛来する荷電粒子 (赤線) が TGC3 層にヒットし、バググラウンドとなる。

エンドキャプトロイド磁石により約 1 T の磁場が ϕ 方向にかかり、図 3.16 では衝突点由来ではない正電荷の粒子が曲げられ、TGC 3 層にヒットしている。図 3.15 に示されるように、バググラウンドのトリガーレートが A-side 側に多いことから、正電荷の粒子である陽子がこのバググラウンドを作っていると考えられる [23]。

3.4.3 LHC アップグレード後のトリガー

LHC アップグレード後は、重心系エネルギーが 13 TeV に、ルミノシティが $1 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ になり、その後、後者は最大 $2 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ まで引き上げられる。この状況だと、現在のトリガーのロジックをそのまま使用した場合、表 3.1 にまとめたようにミュオンの 20 GeV の p_T 閾値でのレベル 1 トリガーレートは RUN2 だと 34 kHz, RUN3 だと 60 kHz まで上昇する事が予想されている。レベル 1 トリガーのトリガーレートはレベル 2 トリガー以降のために約 15 kHz に制限されているが、アップグレード後の TGC のトリガーはこの制限を超えてしまう事が予想されているので、トリガーレートを抑える必要がある。そこで、この制限を超えないようするために、現在のトリガーロジックを変更しないまま、 p_T 閾値を上げる方法が挙げられる。しかし p_T 閾値を上げて、トリガーレートはあまり下がらず、高すぎる p_T は物理的にも意味がない為、物理解析側の要求としては p_T 閾値は 20 GeV を維持したいと考えられている。表 3.1 に p_T 閾値を 20 GeV に設定した時の RUN1, 2, 3 での環境におけるミュオントリガーレートを示す。

上記の理由により、我々は LHC アップグレード後も、ミュオンの p_T 閾値を 20 GeV を維持しつつ、現在のトリガーイベントに含まれるバググラウンドを取り除いてトリガーレートを下げる、つまり現在のトリガーのロジックを改良すると言う事が必要となる。

表 3.1: RUN1 の条件の元での RUN1, RUN2, RUN3 のミュオントリガーレートの対応表.

	Run-1	Run-2	Run-3
p_T 閾値 [GeV]	15 (20)	20	20
トリガーレート [kHz]	9 (6)	34	60

RUN2 に向けたフェイクミュオンへの対策 (phase-0 アップグレード)

RUN2 では, RUN1 でのトリガーシステムで使用されなかったインナーステーション TGC (EI/FI) の情報を用いる. この情報を用いて EI/FI へのヒットを要求する事で, 図 3.17 の (A) のような衝突点由来ではない荷電粒子によるトリガーを削減する事が出来る.

RUN3 に向けたフェイクミュオンへの対策 (phase-1 アップグレード)

phase-1 では NSW (New Small Wheel) が導入される. NSW とのコインシデンスを取ることで, ビームパイプから発生するフェイクミュオンを完全に除去する事が可能である. さらに, ミューオンの角度と, 衝突点と NSW のヒット点を結ぶ直線の角度の差 $d\theta$ を測定し, それを用いる事で, 衝突点由来ではないミュオンなどを取り除く事が可能である. これを $d\theta$ カットと呼ぶ. さらに $d\theta$ を用いるだけでなく, NSW のセグメント (精密位置検出器におけるトラック) と TGC-BW の ROI における (η, ϕ) の差の $\Delta\eta = \eta_{ROI} - \eta_{Seg}$, $\Delta\phi = \phi_{ROI} - \phi_{Seg}$ を用いて, ある $|\Delta\eta|, |\Delta\phi|$ の閾値を要求する事で, フェイクを落とすよう考えられている. これを $\Delta\eta/\phi$ カットと呼ぶ.

図 3.17 に $d\theta, \Delta\eta/\phi$ カットを行っている模式図を示す.

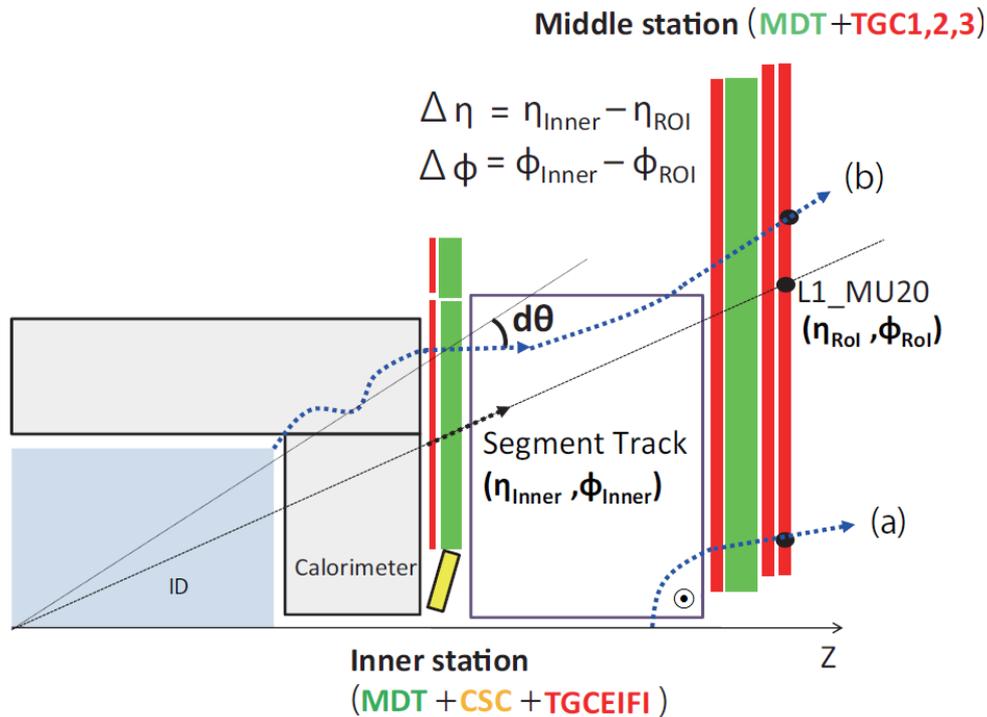


図 3.17: $d\theta, \Delta\eta/\phi$ カット模式図 [24]. $d\theta, \Delta\eta/\phi$ カットをかけることで図中の (a) や (b) などの衝突点由来ではない信号を除去できる.

図 3.18 に L1_MU20 の $d\theta, \Delta\eta/\phi$ カットを用いた ROI の数と η の関係性のグラフを, 図 3.19 に L1_MU20 の $d\theta, \Delta\eta/\phi$ カットを用いた ROI の数と p_T との関係性のグラフを示す. 黒色の線は L1_MU20 の全ての η 分布を, 赤色のヒストグラムはインナーステーションにある MDT の hit の集まりから考える事の出来るトラックの有無によるカットをかけた時の η 分布を, 青色のヒストグラムは赤色のヒストグラムに対して $d\theta$ カットを加えた時の η 分布を, 緑色のヒストグラムは青色のヒストグラムに対し $\Delta\eta/\phi$ カットを加えた時の η 分布を示している. ここで図 3.19 を見ると 3 GeV と 12 GeV にピークを持つ 2 つの山の組み合わせのように見える. 前者の山はフェイク信号で後者はミューオンの山である [23]. さらに各々のカットに対応するリダクションファクターと検出効率の表を表 3.2 に示す.

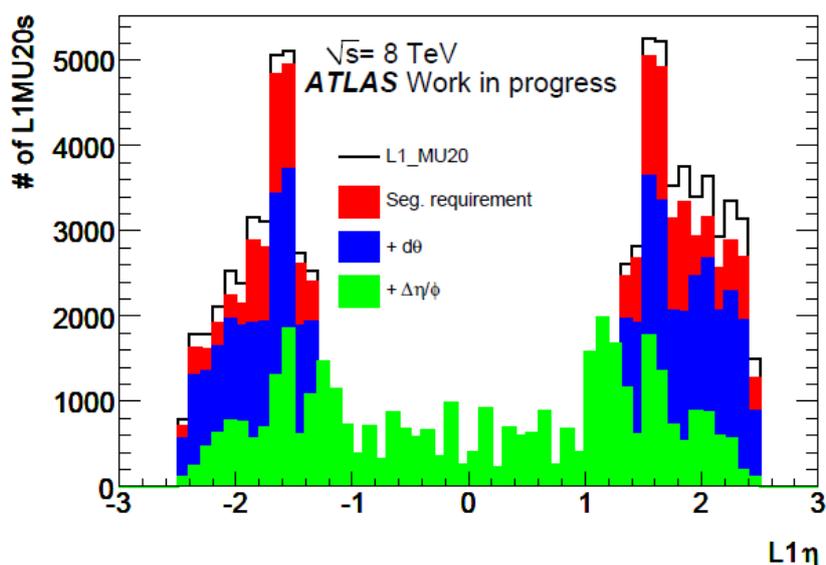


図 3.18: L1_MU20 の $d\theta, \Delta\eta/\phi$ カットを用いたときの RoI の数と η [23].

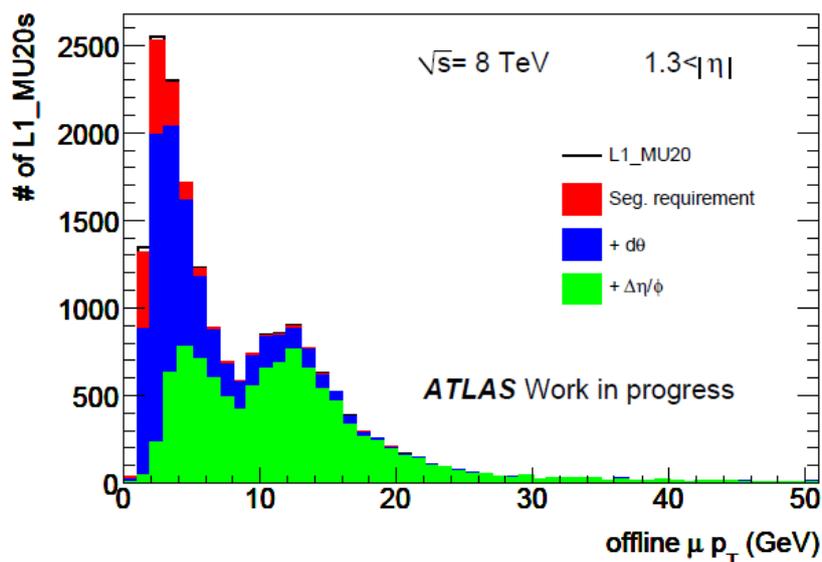


図 3.19: L1_MU20 の $d\theta, \Delta\eta/\phi$ カットを用いたときの RoI の数と p_T [23].

表 3.2: NSW における各カットでのリダクションと検出効率の対応表 [23].

Cut / region	全 L1_MU20 における リダクションファクター		$p_T > 20 \text{ GeV}$ での ミューオン検出効率	
	$ \eta > 1.3$	L1_MU20 の全て	$ \eta > 1.3$	L1_MU20 の全て
Seq. requirement	0.907 ± 0.004	0.925 ± 0.004	0.993 ± 0.030	0.997 ± 0.020
+ $d\theta$ カット	0.660 ± 0.004	0.724 ± 0.003	0.979 ± 0.030	0.991 ± 0.020
+ $\Delta\eta/\phi$ カット	0.226 ± 0.002	0.327 ± 0.002	0.926 ± 0.029	0.967 ± 0.020

図 3.18 をみると, $d\theta, \Delta\eta/\phi$ カットをすることで L1_MU20 の RoI の数を 37% に削減する事ができ, それに伴い表 3.2 からカットにおける L1_MU20 でのリダクションも 23% となる事が分かっている. したがって図 3.19 の結果も考慮すると, 十分な検出効率を持ったまま大きくリダクションを減らせる事から, $d\theta, \Delta\eta/\phi$ カットは有効である事が分かる.

3.4.4 phase-1 アップグレードに伴う SL のアップグレード

RUN3 に向けた phase-1 アップグレードでは新検出器 NSW を挿入する. NSW を挿入することで, 先に述べた $d\theta, \Delta\eta/\phi$ カットを行う事ができ, RUN2 に比べてオフライン $p_T = 25 \text{ GeV}$ を維持したまま 6 割もトリガーレートを削減する事が可能となっている. このカットを行って残ったトラックを BW でのトラック候補とでコインシデンス判定を行うわけであるが, タイミングとしては SL の $R-\phi$ コインシデンスの後に行えば良い. したがって, 新 SL ではこのコインシデンス判定を行うにあたって, HPT ボードから入力に追加して NSW からの入力を追加する必要が発生する. この変更はファームウェアレベルではアップグレードできず, ハードウェアレベルでアップグレードしなければならない. また, 逆に言えば phase-1 アップグレードでは, HPT より前はアップグレードする予定はない.

SL のアップグレード点として, 入力の変更に加えてもう一つ大幅にアップグレードする計画がある. それは SL 内部のリードアウト部分である. 現行の SL ではリードアウト部分は PS ボードの SLB ASIC を流用していることは先に述べた. この流用の結果, SLB ASIC の読み出しのために SSW という SLB ASIC 専用の読み出しハードウェアを使用し, ROD へ送信している状況が発生している. したがって我々はこの SLB ASIC を使用する事なく, 専用の新しい読み出しラインを確立し, SSW というハードウェアを使用する事なく読み出す事を考えている.

次の章では現行 SL と新 SL について詳しくまとめる.

第4章 ミューオントリガー装置

本章では TGC で使用されている SL について述べる. まず SL の概要を述べた後, SL が受ける入力信号, さらに phase-1 アップグレードに向けた SL の問題点, 変更点を詳しくまとめる.

4.1 SL 概要

SL は TGC トリガー系回路の最終段を担当するモジュールである. SL の主な役割は大きく分けて以下の2つある.

- TGC のワイヤーヒット情報とストリップヒット情報から得られた $\Delta R, \Delta\phi$ を用いてミューオントラックの p_T を算出し, さらに各トラックの ROI を決定する役割
- SL が受け取ったデータを, LIA を受けとった瞬間の前後のバンチを含む3バンチ分のみ選別し, L1ID や BCID などの ID を付加して SSW に送信する役割

ここで図 4.1 に, SL のブロック図を示す.

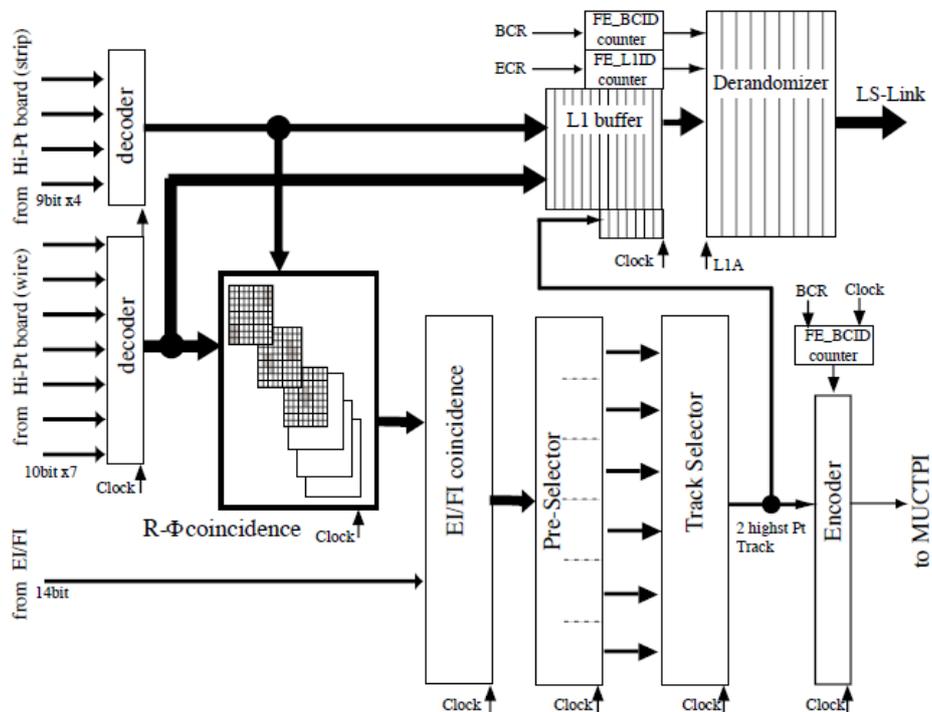


図 4.1: SL のブロック図 [17]. 現行の SL ではコインシデンス部分は FPGA に, 読み出し部分は SLB ASIC に実装されている.

図 4.1 を見てみると分かるように, SL が受け取るワイヤーヒット情報とストリップヒット情報は図 4.1 の右上のレベル 1 バッファーに送られ, さらに図 4.1 での真ん中左のブロックの $R-\phi$ コインシデンス部分に送られている. 前者は読み出し系で後者はトリガー系のデータの流れである. 前者のレベル 1 バッファーやその後のデランダムマイザは, PS ボードにまとめられた SLB ASIC (3.3.5 節) をそのまま流用し, 通常の TGC ヒットデータと同様の処理を行っている. 後者の $R-\phi$ コインシデンス部分以降は SL に乗せている FPGA で処理を行っている.

4.2 SL ボード

SL ボードにはエンドキャップ用とフォワード用の 2 種類が存在し, どちらの SL も 1 枚の SL で 2 トリガーセクターを担当している. SL ボードは現在, カウンティングルーム (USA15) という検出器から 100 m 程離れたところに設置してある. ATLAS では合計 72 枚の SL が使用され, 合計 144 トリガーセクターを処理している.

SL ボードには VME access CPLD, G-link Monitor FPGA, SL FPGA, SLB ASIC などが搭載している. 以下, これらのチップの機能について説明を行う.

4.2.1 VME access CPLD

VME Access CPLD とは, VME 経由での SL ボード上の SLB ASIC のコントロールや, 各々の FPGA の設定を行う役割がある. CPLD には Xilinx 社の XC2C256-6PQ208 を採用している.

4.2.2 G-link Monitor FPGA

G-link とは SL と HPT 間のデータ通信プロトコルの事であるが, G-link Monitor FPGA はその G-link 信号の監視制御を行っている. G-link Monitor FPGA には Xilinx 社の Spartan-II シリーズを採用し, エンドキャップには X2CS150E-FG456 を, フォワードには XC2S50E-PQ208 を使用している.

4.2.3 SL FPGA

SL FPGA とはトリガーのロジックが実装されている FPGA である. 1 つの FPGA は 1 つのトリガーセクターをカバーする. つまり 2 つの SL FPGA を載せている事で, 2 つのトリガーセクターを処理する事が可能となっている. SL FPGA には Xilinx 社の Virtex2 シリーズを採用しており, エンドキャップには XC2V3000-BG728 を, フォワードには XCV1000-BG575 を採用した. 各々の FPGA の資源及び使用率を表 4.1, 表 4.2 にまとめる.

4.2.4 SLB ASIC

SL に載せてある SLB ASIC は, TGC の読み出し系と同じものである SLB ASIC (3.3.5 節) をそのまま流用している. この SLB ASIC を使用して, SSW にデータを送信している. 1 つの SLB ASIC は 1 つの SL FPGA の情報を読みだしている. SL ボードには 2 つの SL FPGA が載せてあるため, それに合わせて SLB ASIC も 2 つ載せてある.

表 4.1: エンドキャップ SL FPGA(XC2V3000-BG728) の搭載資源及びその使用状況

エンドキャップ	搭載リソース	使用量	使用率
メモリ	1728 kb	1656 kb	96%
Flip Flop Slice 数	28, 672	6, 476	22%
LUT 数	28, 672	10, 977	38%
Block RAM 数	96	86	89%

表 4.2: フォワード SL FPGA(XCV1000-BG575) の搭載リソース及びその使用状況

フォワード	搭載リソース	使用量	使用率
メモリ	720 kb	576 kb	80%
Flip Flop Slice 数	10, 240	3, 146	30%
LUT 数	10, 240	5, 327	52%
Block RAM 数	40	34	85%

4.3 SL への入力信号

この節では SL への入力信号を解説する. SL には大きく 2 つの情報が送られてくる. 1 つ目は, HPT ボードから BW High-Pt コインシデンス情報が送信されてくる. 2 つ目に PS ボードから EI/FI 情報が送られてくる. HPT, PS ボードからは G-link という通信プロトコルで送信され, そこでは信号を光信号としてシリアルライズし, 光ケーブルで送信している. このプロトコルでは 1 クロックで標準モードで 16 bit を送信でき, オプション機能として 17 bit の送信も可能となっている. HPT ボード及び PS ボードは TTC クロックに同期して, 約 40 MHz で信号を送っている. この各ケーブルでの信号のスループットは $16(17) \text{ bit} \times 40 \text{ MHz} = 640(680) \text{ Mbps}$ となる.

4.3.1 TGC-BW から SL への信号

TGC-BW から SL への信号をエンドキャップ SL とフォワード SL で分けて説明する.

TGC-BW からエンドキャップ SL への信号

エンドキャップ SL では, 1 つのトリガーセクターにつき 6 本の光ファイバーで HPT からのデータを受け取っている. 6 本のうち 4 本は, ワイヤー HPT 出力の送信に使用され, そのうち 3 本は 17 bit, 1 本は 16 bit で送信し, 合計 $17 \times 3 + 16 = 67 \text{ bit}$ を送信している. 残りの 2 本はストリップ HPT 出力の送信に使用され, 2 本とも 17 bit 送信, つまり 2 本で $17 \times 2 = 34 \text{ bit}$ の送信を行っている. 1 枚の SL ボードには 2 つのトリガーセクターをカバーしているため, $(4 \text{ 本} + 2 \text{ 本}) \times 2 = 12$ 本の光ファイバーで HPT 出力 $(67 \text{ bit} + 34 \text{ bit}) \times 2 = 101 \times 2 = 202 \text{ bit}$ を受信している. これらのデータは LHC クロックの 40 MHz に同期して送信されてくる為, $202 \text{ bit} \times 40 \text{ MHz} = 8.08 \text{ Gbps}$ の入力となる. 図 4.2 に HPT とエンドキャップ SL との信号線の様子を示す.



図 4.2: HPT とエンドキャップ SL との信号線の様子. HPT から 202 bit の入力がある.



図 4.3: HPT とフォワード SL との信号線の様子. HPT から 100 bit の入力がある.

TGC-BW からフォワード SL への信号

フォワード SL では、1つのトリガーセクターにつき3本の光ファイバーで HPT からのデータを受け取っている。3本のうち2本は、ワイヤー HPT 出力の送信に使用され、2本で $17 \times 2 = 34$ bit を送信している。残りの1本の光ファイバーでは、ストリップ HPT 出力の送信に使用され、16 bit を送信している。エンドキャップ SL と同様に、1枚の SL ボードでは2つのトリガーセクターをカバーしているため、 $(2本+1本) \times 2 = 12$ 本の光ファイバーで HPT 出力 $(34 + 16) \times 2 = 100$ bit を受信している。図 4.3 に HPT とフォワード SL との信号線の様子を示す。

EI/FI から SL への信号

EI/FI 情報はエンドキャップ領域の SL ボードのみ入力される。1枚の SL ボードは4つの光ファイバーで 64 bit の EI/FI 情報の入力を受ける。1枚の SL ボードには2つのトリガーセクターをカバーするが、この EI/FI 情報は2つのトリガーセクターで使用されるため、入力信号は SL ボード上で2つに分けられ、2つの FPGA に入力される。

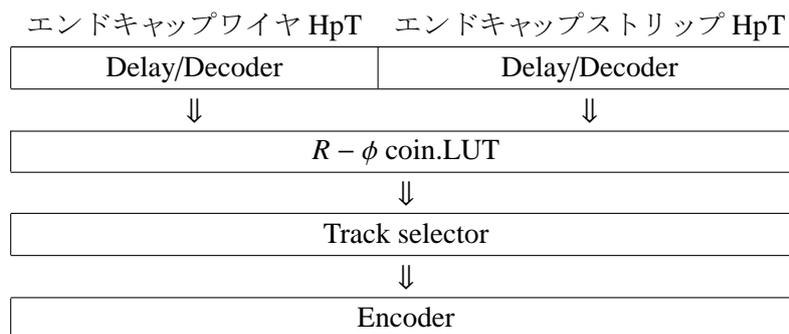
4.4 SL 内信号処理

SL が受信したデータは、ディレイ回路を挟んでタイミング調整された後、フォーマットに則ってデコードされ、後段のコインシデンスロジックに備える。

4.4.1 コインシデンス部

コインシデンス部はトリガーセクター毎に用意される。現状のコインシデンス部の図を表 4.3 に示す。

表 4.3: 現行の SL のコインシデンス部。ディレイ, デコーダー, $R-\phi$ コインシデンス, エンコーダからなる。



ディレイ回路では, 信号の入力時間を遅らせる機能で, 半クロック単位で遅延を作ることができる。遅延設定は SL のコントロールレジスタで行われ, 最大で 15.5 CLK の遅延を発生させる事が可能である。デコーダーでは, HPT 出力からミューオンのヒット位置や $\Delta R, \Delta\phi$ の値を抽出する機能である。

$R-\phi$ コインシデンスでは, デコーダーで得た $\Delta R, \Delta\phi$ 情報から LUT を参照して SSC ごとに p_T を算出する機能である。

Track selector では SSC から受けた情報から最大で 2 つのトラックを PreSelector と FinalSelector という 2 段階の処理で選び出す機能である。

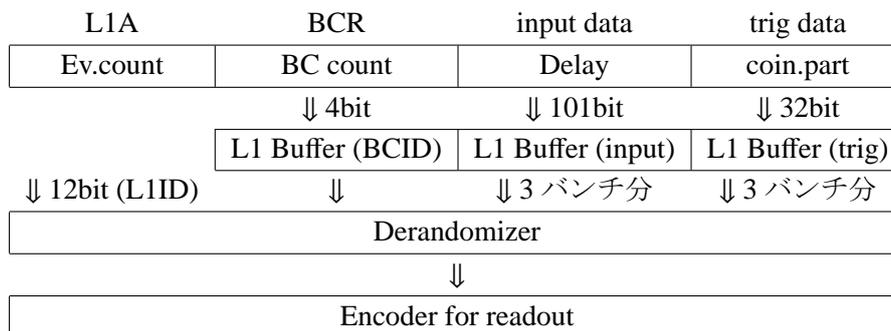
エンコーダは 2 つの役割がある。1 つ目はレベル 1 トリガーを MuCTPI に送信する事で, 2 つ目は HPT ボードからの入力情報やトリガー情報を SLB ASIC に送る事である。エンコーダから MuCTPI に送信するデータは, 最大 2 つのトラック分の p_T や ROI 情報, バンチ識別などで 32 bit のデータとなっている。

4.4.2 読み出し部

現段階で使用している SL の読み出し部分は, SLB ASIC を流用している。この時の読み出し部のブロック図を表 4.4 に示す。

読み出すデータは SL ボードへの入力データ 101 bit と, SL コインシデンス部のエンコーダから出力された 32 bit のトリガーデータである。更にこれらのデータにバンチカウンタから 4 bit の BCID を付加し, レベル 1 バッファに渡す。発行された LIA を TTC から受け取ったら, イベントカウンタから 12 bit の L1ID を付加し, 前後 3 バンチをデランダムマイザに渡し, ROD に渡すためにエンコードする流れになっている。

表 4.4: 現行の SL の読み出し部. この機構, すなわち SLB ASIC が 2 つあることに注意.



4.5 新 SL の概要

本節では, 新 SL に対してどのような変更点があるのかを詳しく解説を行う. 新 SL に求められる機能として先に述べたように大きく分けて 2 つ存在する. 1 つ目は SL の読み出し系の独自ラインの確立. 2 つ目は NSW からの追加入力の対応である. 以下この 2 つの求められる機能について解説を行う.

4.5.1 SL 読み出し系の独自ラインの確立

まず, SL 読み出し系の独自ラインの確立について説明をする. 先に述べたように現行 SL では PS ボードの SLB ASIC を用いて読み出しラインとして使用している. 新 SL ではこの SLB ASIC の使用をやめ, コインシデンスロジックに使用される FPGA にて, この読み出しラインの確立を行う予定である. さらに読み出しには TCP 読み出しを使用する事を予定している. TCP 読み出しを利用することで, 後段の現行の SSW に当たるモジュールを市販の Gigabit Ethernet Switch (以下 GbE Switch) を使用でき, 科学技術の発展に伴って簡単に後段をアップグレードできる利点がある. さらに現行の SSW の後段にあたる ROD に対しても現行ではハードウェアモジュールを用いているが, TCP 読み出しを使用することで, ROD に対してもハードウェアモジュールではなく市販の PC を使用でき, GbE Switch と同様に簡単にアップグレード出来る利点も存在する.

また, 現行の SSW ではデータをゼロサプレスという圧縮方法で圧縮を行い, ROD との間で決められたデータフォーマットに整える役割を持っている. 新 SL では SSW を使用せず, 市販の GbE Switch を使用するため, ゼロサプレスとデータフォーマット整形の 2 つのロジックも新 SL に導入する必要がある.

したがって新 SL の独自の読み出しライン確立のためには, 現状の SLB ASIC のロジックを FPGA 内で構成する事と, さらに加えてゼロサプレスなどの圧縮ロジックや, ROD との間で決められたデータフォーマットに整形する事, さらに GbE Switch を使用するために, TCP 読み出しの機能を追加する事などが必要となっている.

4.5.2 新 SL への追加入力

ここでは新 SL に対してどのような入力信号があるか説明を行う. まずこれまでと同様に HPT から 202 bit の入力がある. 1 つのトリガーセクターで 101 bit の入力があり, SL は 2 つのトリガーセ

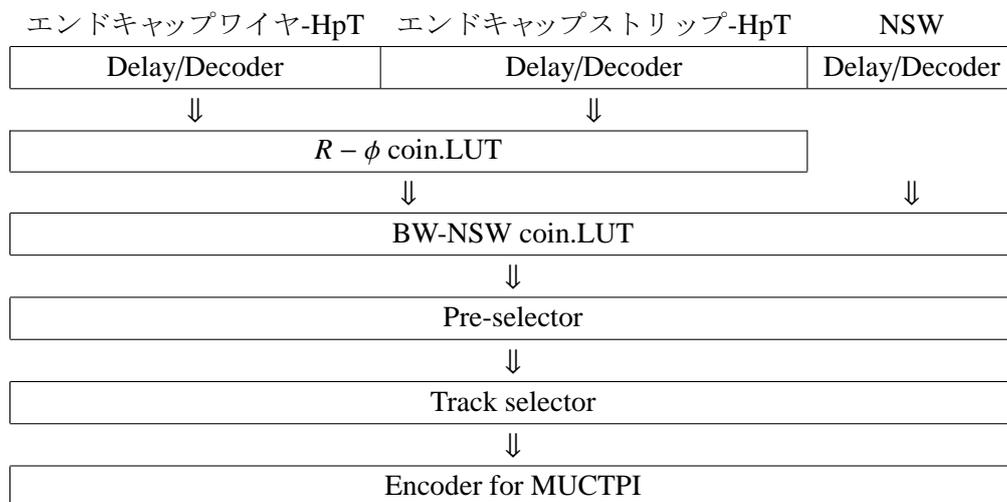
クターをカバーするため $101 \times 2 = 202$ bit の入力となる. この入力に追加して NSW から入力がある. 現状では SL は NSW の $d\theta, \eta, \phi$ を受ける計画である. $d\theta$ については, 分解能 1 mrad で 15 mrad 程度のカットを掛け, 5 bit ほどのデータとなる. 加えて ROI に関しては, R は 8 bit, ϕ は 6 bit で十分と言われている. これらデータに, さらに NSW ヒット情報の 4 bit, 予備の 1 bit の計 24 bit/track のデータが送信されてくると今のところ考えられている. このトラックの合計 24 トラックが入力されて来ると考えられており, 1 fiber あたり 4 track 分送信されてくると計画されているので, 6 fiber でデータを受け取る. さらに, 今後追加のミューオンのデータが追加される可能性を考慮して, さらに 6 fiber 追加し, 最大 12 fiber で新 SL は追加入力出来るよう要求されている. 1 fiber には 4 track の他に 16 bit のカンマ信号, BCID などの ID を 16 bit 付加する事になっているため, 合計で 1 fiber 当たり $24 \text{ bit/track} \times 4 \text{ track} + 16$ (カンマ信号) + 16 (ID) = 128 bit の入力があり, LHC クロックに同期して入力される. 図 4.4 に今考えられている NSW から入力されるデータフォーマットを示す.

Words (16-bit)	first byte	second byte
Word-0	comma	comma
Word-1	track-0	
Word-2		
Word-3	track-1	
Word-4	track-2	
Word-5		
Word-6	track-3	
Word-7	ID (4-bit)	BCID (12-bit)

図 4.4: NSW から送信されるデータフォーマット [25]. comma (,) 信号はアイドルコードと定義され 8b10b エンコーディングでの位置を揃える目的もつ.

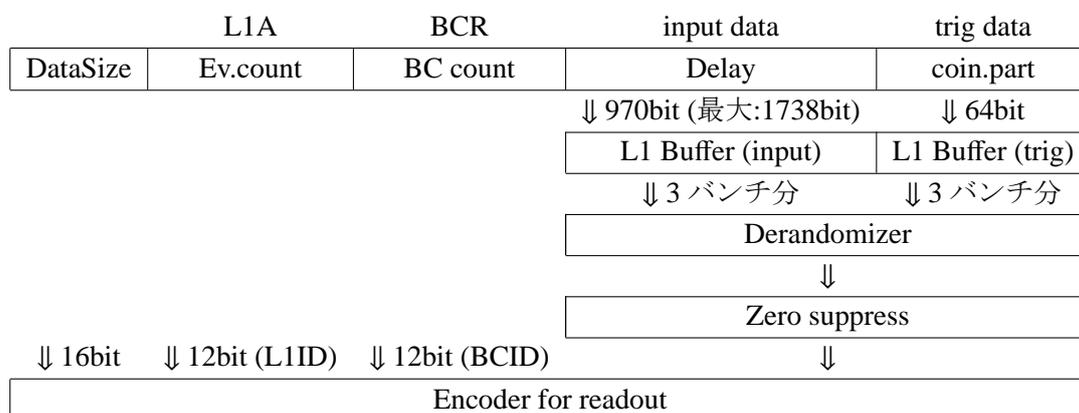
最後に, 新 SL におけるコインシデンス部と読み出し部の図を表 4.5 と表 4.6 にまとめる.

表 4.5: 新 SL のコインシデンス部. 現行 SL のコインシデンス部と比べて, NSW からの追加データとのコインシデンスロジックが新たに挿入されている.



新 SL と SL のコインシデンス部の図で異なるところは、BW と NSW でコインシデンス処理を行っている点である。これにより現行よりフェイクミューオンの削減が期待できる。

表 4.6: 新 SL の読み出し部. 現行 SL の読み出し部と比べて、ゼロサプレスやデータカウンтроロジックなどのロジックなどが追加されている。



新 SL と SL での読み出し部の図で異なるところは、入力データが最大 1536 bit 増加した点と、ゼロサプレス機能が追加された点、さらにデータサイズカウン機能が追加された点、そして L1ID や BCID などの付加情報をゼロサプレスした後に追加している点である。最後のデータサイズカウン機能は新 ROD 側の要求により、新しくロジックを追加している。入力データは 970 bit (最大:1738 bit) で従来の 202 bit に 6 fiber 分の $128 \text{ bit} \times 6 = 768 \text{ bit}$ (最大 12 fiber 分の $128 \text{ bit} \times 12 = 1536 \text{ bit}$) が追加されている。これらは LHC クロックで同期して送られてくるので、スループットは $970 \text{ bit} \times 40 \text{ MHz} = 38.8 \text{ Gbps}$ (最大: $1738 \text{ bit} \times 40 \text{ MHz} = 69.52 \text{ Gbps}$) となり、現行の SL の入力スループットの約 8 Gbps に比べると大入力となっている。

新 SL に求められる入力における要請として、先に述べた現行 SL の約 5 倍 (最大約 9 倍) のスループットの 38.8 Gbps (最大: 69.52 Gbps) を処理できる事と、RUN3 では RUN1 のレイテンシから 3.5 バンチクロッシング分の遅延でトリガーを決定するよう計画されているため、送受信にかかるレイテンシは 75 ns 以下にする事が必要になってくる [25]。これらの要請を満たす通信方式として後述する GTX Transceiver が挙げられる。詳しい説明は第 5 章に譲る。

4.5.3 新 SL 読み出し方式

最後に、この節では新 SL を用いる事でどのような読み出し方式になるのか、現行の読み出し方式と比較しつつ簡単に説明する。

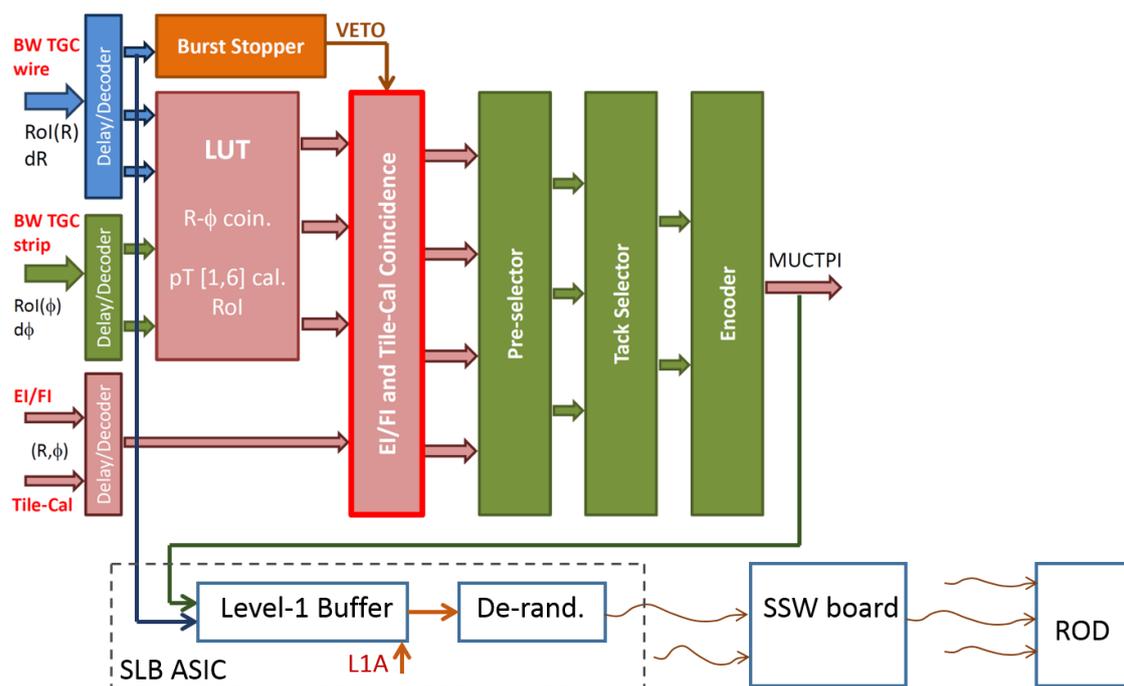


図 4.5: 現行の SL の読み出し方式 [25]. SLB ASIC にレベル 1 バッファやデランダムマイザなどのロジックがある。

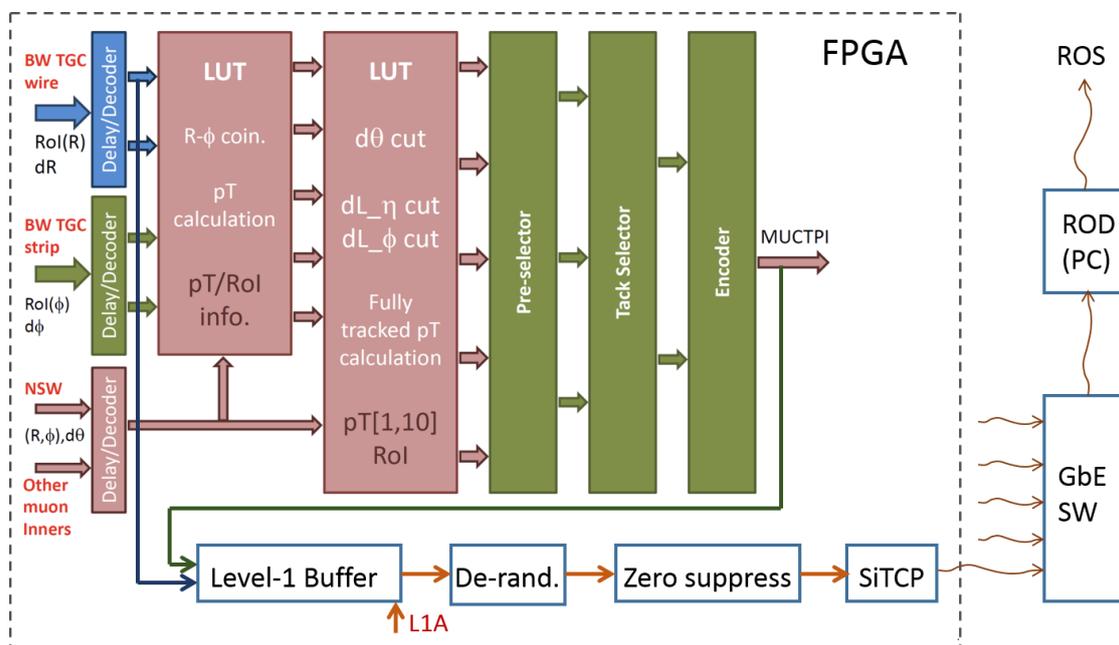


図 4.6: 新しい SL の読み出し方式 [25]. トリガーロジックと共に FPGA にレベル 1 バッファとデランダムマイザのロジックが搭載されている。

図 4.5, 図 4.6 に現行 SL と新 SL の読み出しスキームを示す. 図 4.5 では現行 SL の読み出しスキームを示しているが, レベル 1 バッファやデランダムマイザは SLB ASIC の中にロジックがある

事がわかる。これらのロジックを搭載した SL 複数台を束ねハードウェアモジュールである SSW でまとめる事で, ROD にデータを渡している。現行の ROD もハードウェアモジュールである。図 4.6 では新 SL の読み出しスキームを示しているが, 現行の SLB ASIC のロジックが FPGA に搭載されている事が分かる。そして FPGA にレベル 1 バッファとデランダムマイザのロジックを追加し, さらにゼロサプレスや第 5 章で説明する SiTCP という TCP 読み出しが可能となるロジックを入れている。これらの積んだ SL 複数台を束ねて GbE Switch でまとめて新 ROD にデータを渡している。

ここで新 SL 読み出しにおける新 ROD からの要請をまとめておく。それは新 ROD からの要請として 1 イベントのデータに対し決められたヘッダとフッタで挟む事と, 1 イベントのデータサイズを送信する事である [30]。これらを満たすデータフォーマットを考える必要がある。

本研究では, この新 SL の読み出し FPGA 開発及び評価を行った。次の章以降は, この新 SL 読み出し FPGA 開発, 評価について述べる。

第5章 新ミューオントリガー装置 FPGA 読み出し開発・評価

本研究において新 SL 開発の為に, 新 SL の送受信プロトコルとして考えられている Xilinx 社の技術の GTX Transceiver を用いたデザインの検証及びレイテンシの測定を行った. また新 SL に求められるデータサイズカウンタロジック, ゼロサプレスロジック, データフォーマット整形ロジックの実装を行い正しく動作するかの確認を行った. さらに L1A の発行頻度として考えられている 100 kHz 以外での発行頻度の場合でも正しくシステムが動作するかの確認や, L1A 信号が連続して発行された時にも正しく動作するかの確認を行った. そして最後に新 SL と後段にあたる新 ROD との接続実験を行った. 本章では最初に新 SL に求められる新技術と今回の試験に用いた汎用 VME モジュールの説明を行い, 上記の試験の内容及び結果を説明する.

5.1 新 SL に求められる新技術

5.1.1 SiTCP

新 SL での TCP 読み出しにはハードウェアベースのネットワークプロセッサ, SiTCP[26] を使用するよう考えられている. TCP の処理は一般的にはソフトウェアで処理する事が多いが, 高エネルギー実験ではレイテンシの制約や, 高速動作を要求されるのでソフトウェアでの導入が困難である. そこで我々は SiTCP を使用するよう考えている. SiTCP とは FPGA を Ethernet に接続する技術で, FPGA 内にユーザー回路と共に実装できる回路規模でユーザデータを TCP を用いて Ethernet の転送上限値で転送出来るネットワーク処理回路の事である. これにより低いレイテンシで, 更に高速に動作させ, イーサネットの転送上限値に近い速度で TCP 読み出しが可能になっている. さらにもう 1 つ利点として外付け部品が少ない事が挙げられる. SiTCP を使用するために必要なチップは, Ethernet PHY チップと MAC アドレス用の EEPROM のみで, Ethernet 通信インターフェースに標準 MII/GMII を採用しているなので, 様々な PHY デバイスと接続が可能となっている. ソフトウェアベースの処理ではないので, プログラム格納用の外付け大容量 RAM は不必要である.

5.1.2 GTX Transceiver

GTX Transceiver とは, FPGA 内のハードマクロな最大 12.5 Gbps の転送速度を可能にする Xilinx 社の Multi-Gigabit Transceiver (MGT) の中の 1 つの技術の事である. この技術では入力された Reference Clock を n 倍にしてパラレル入力のデータをシリアル化して転送する. さらに GTX には 8b/10b Encoder/Decoder も内蔵されており, 8 bit のパラレルデータを 10 bit のシリアルデータに変換して転送するロジックも組み込まれている. 新 SL に対する大入力はこの GTX を使用するよう考えられている.

Transceiver とは、無線電波の送信機能と受信機能を兼ね備えた回路ブロックの事である。本節では最初に送信部分を説明した後、受信部分について説明をする。

送信部分

図 5.1 に GTX TX のブロック図を示す。TX ブロックは大きく分けて PMA (Physical Medium Attachmen) 領域と PCS (Physical Coding Sublayer) 領域に分けられる。

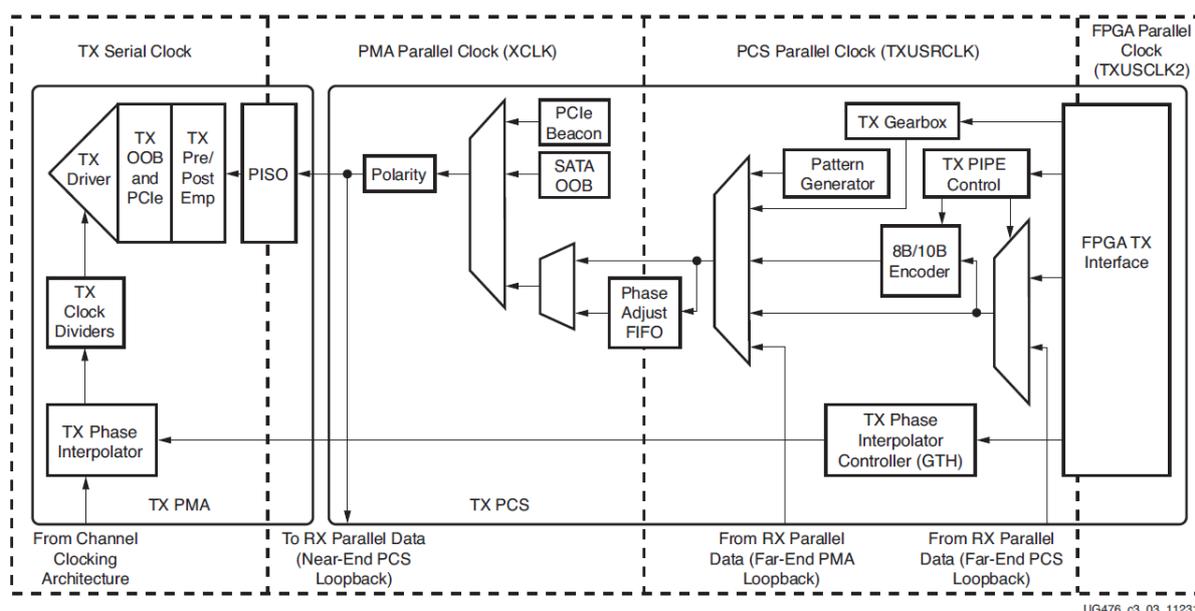


図 5.1: GTX TX のブロック図 [27]. PMA 領域と PCS 領域に分けられ、8b/10b Encoder, Phase Adjust FIFO, PISO などから構成される。

- 8b/10b Encoder
8b/10b 変換を行うブロック、バイパスする事も可能である
- Phase Adjust FIFO
PCS クロック領域と PMA パラレルクロック領域をつなぎ、2つのドメイン間の位相差調節する FIFO. バイパスをする事でより低く確定的なレイテンシを保つ事も可能である
- PISO
Parallel In Serial Out の略でシリアル変換を行うブロックの事

受信部分

図 5.2 に GTX RX のブロック図を示す。RX ブロックも大きく分けて PMA 領域と PCS 領域に分ける事が出来る。

- CDR
Clock Data Recovery の略で、シリアルデータからクロック及びデータを復元する

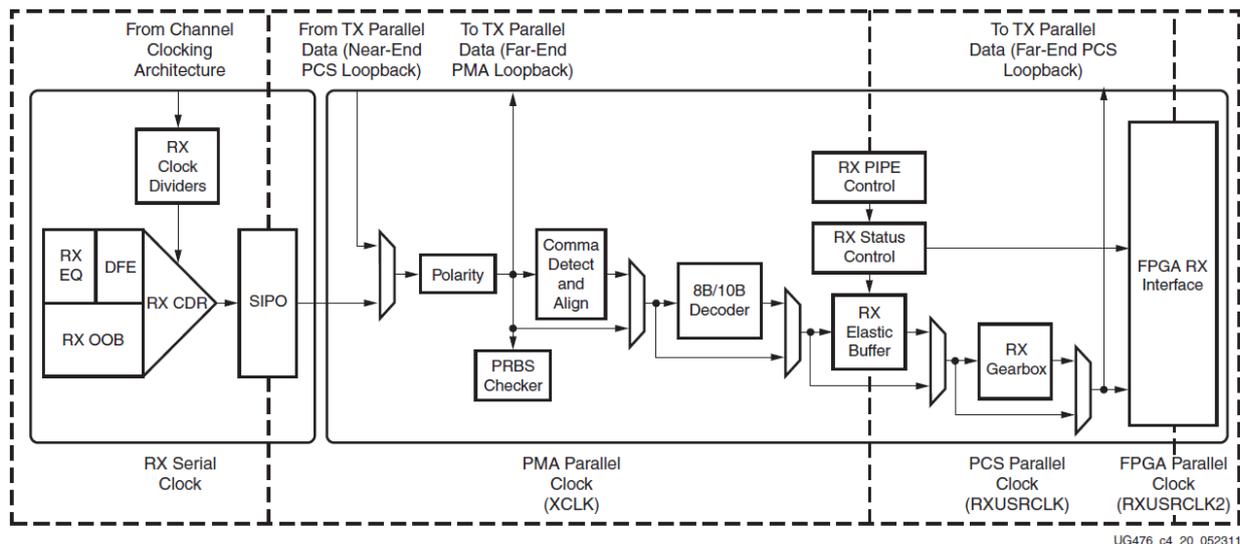


図 5.2: GTX RX のブロック図 [27]. PMA 領域と PCS 領域に分けられ, CDR, SIPO, Comma Detect and Align, 8b/10b Decoder, RX Elastic Buffer などから構成される。

- SIPO

Serial In Parallel Out の略でパラレル変換を行うブロックの事

- Comma Detect and Align

データの区切りを表すカンマ信号をシリアル化されたデータから見つけ出し, データの区切りから一定長ずつパラレル信号として読み出す. カンマ信号は任意に設定が可能

- 8b/10b Decoder

8b/10b でエンコードされたデータを元のデータにデコードする. バイパスする事も可能である

- RX Elastic Buffer

PCS クロック領域と PMA パラレルクロック領域をつなぎ, 2つのドメイン間の位相差調節する FIFO. バイパスをする事でより低く確定的なレイテンシを保つ事も可能である

8b/10 変換

ここでは 8b/10b 変換について説明する. 8b/10b とは 8 bit のデータを 10 bit のデータに変換する米国 IBM 社が開発した高速シリアル転送方式である. 8b/10b 変換では, 上位 3 bit と下位 5 bit に分解し, それぞれに対して 3 bit を 4 bit に変換 (3b/4b 変換), 5 bit を 6 bit に変換 (5b/6b 変換) に変換する. この時, 変換には予め決められている変換テーブルを用いてデータをシンボルに変換する.

各シンボルではプラスとマイナスの 2 種類が用意され, これらを RD (Runnig Disparity) と呼んでいる. 直前の RD がプラスなら次のシンボルをマイナスの RD に, 直前の RD がマイナスなら次のシンボルをプラスの RD として出力する. 同一のシンボルが長時間連続して出力されると, 周期的な電気変動を誘発してボード上のノイズの発生源となる場合があるが, こうする事で連続して 0 や 1 が出力される事を防ぎ, 1 と 0 のバランスを調整する機能を持つ.

5.2 新技術検証用汎用 VME モジュール (PT7)

本研究では新 SL FPGA 読み出し開発を行うにあたって、新技術検証用汎用 VME モジュールである PT7 (ProtoType 7) を用いて新 SL FPGA 読み出し開発及び新技術の検証を行った。図 5.3 に PT7 の写真を載せる。以下、本節では PT7 の構成を主に説明する。

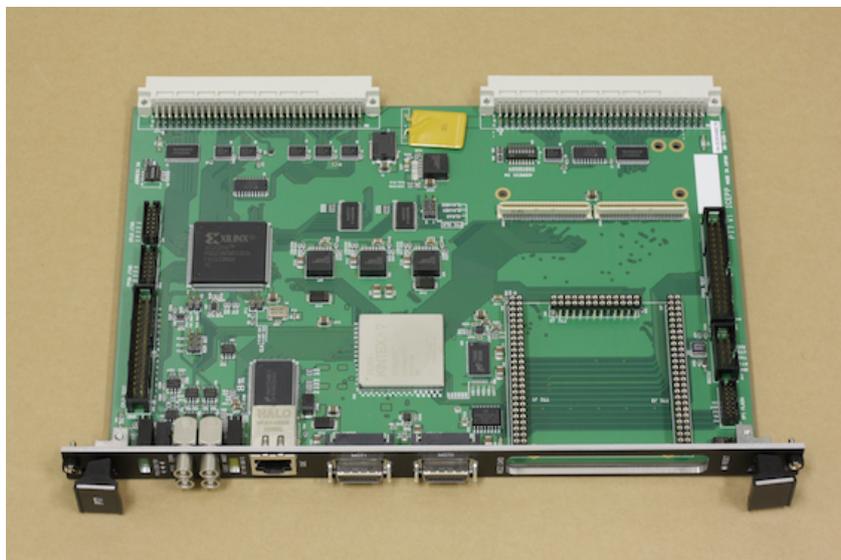


図 5.3: PT7 の写真 [28]. 新 SL 技術開発用として使用した汎用 VME モジュールである。

5.2.1 FPGA

PT7 には Xilinx 社の Kintex-7 FPGA XC7K325T-2FFG900 を載せている。この FPGA には GTX を最大 16 レーン載せることが可能であり、PT7 ではこのうち 8 レーンを使用でき、PT7 同士の通信を可能にしている。

5.2.2 CPLD

CPLD¹にはTGCグループが長く使用している Xilinx 社の CoolRunner-II CPLD XC2C256-7PQ208 を用いている。主に、VME 制御と FPGA のコンフィグレーションを行う役割がある。

5.2.3 Ethernet PHY

LAN ケーブルによる Gigabit Ethernet を使用するため、TEXAS INSTRUMENTS 社の DP83865 を載せている。このチップは IEEE 802.3 10BASE-T (Full/Half duplex), 100BASE-TX (Full/Half duplex), 1000BASE-T (Full/Half duplex) の 6 種のプロトコルに完全対応しており、自動的に選択される。このチップに必要なクロックは、1000BASE-T 使用時は 125 MHz を、それ以外は 25 MHz を FPGA から供給する必要がある。

¹CPLD: Complex Programmable Logic Device とはプログラマブルロジックの一種で、不揮発性のメモリを用いている

5.2.4 クロック

PT7には多くのクロックを載せている. 表 5.1 にクロックソースとその対象の関係を整理した表を示す. ○がついているものはソースから直接接続しているか, もしくはファンアウトを通じて渡されている事を示している. JPは Jumper Pin 番号の事である. さらに X1, X2, X3, X4 は水晶発振器で, それぞれ 40 MHz, 125 MHz, 125 MHz, 200 MHz である. また, TTC からは5種類の周波数のクロックを受け取れる. TGC フロントエンドにおいて実際は TTC cmos40 が使用される. TTC lvds160 となっているものは, cmos40 を4通倍したものであり, GTX Reference クロックとして GTX バンクに繋がれている. TTC another となっているものは, 残りの3種類のクロックのうち1つを JP4 で選んだものであり, モニター用に使用される.

表 5.1: PT7v2 のクロック一覧. PT7 には4つの水晶発振器の載せている.

	frequency	FPGA	GTX	CPLD	NIM out
X1	40 MHz	○			JP1
X2	125 MHz LVDS	○			
X3	125 MHz LVDS		○		
X4	200 MHz LVDS	○			
VME sysclk	16 MHz			○	
NIM in		○			JP1
TTC cmos40	40 MHz	○		○	JP2
TTC lvds160	160 MHz LVDS		○		
TTC another	40 MHz				JP4 JP4 × JP2
FPGA nim					JP2

5.2.5 MGT

PT7には高速シリアル通信である GTX Transceiver を最大8レーン使用できるように, 1コネクタ4レーン使用可能な Infiniband 4x コネクタを2つ搭載している. フロントパネルから出ているこのコネクタには, 日本航空電子社の DG1R025HS8E250 を採用している. Infiniband には Mellanox 社の CTMC1104130 を使用した. PT7 で採用された Infiniband 及び, Infiniband 4x コネクタを図 5.4, 図 5.5 にそれぞれ示す.



図 5.4: Mellanox 社 CTMC1104130. 1本で最大4レーンの全二重通信が可能な Infiniband である.



図 5.5: Infiniband 4x コネクタである日本航空電子社 DG1R025HS8E250.

5.2.6 TTCrq コネクタ

新 SL では TTC から LHC クロックやトリガー信号などのシリアル化された TTC 信号を受け取る。PT7 では新 SL での FPGA 開発を考慮して、TTCrq を接続する事でシリアル化された TTC 信号を、TTCrq でデシリアライズする事で LHC クロックや L1A 信号など受け取るように出来ている。図 5.6 に TTCrq の写真を載せる。



図 5.6: TTC 信号を受信可能にする TTCrq. PT7 に 1 つ接続できる。

5.2.7 NIM

高エネルギー実験でよく使用される NIM 信号²の送受信を可能にしている。PT7 には NIM 信号を扱うコネクタを 4 つ搭載しており、2 つは送信用、2 つは受信用として使用が可能である。主に NIM 信号を用いる事で、クロックやトリガー信号を入出力する事が可能となっており、オシロスコープなどと接続する事でデバッグ用としても使用される。

5.2.8 JTAG ピン

FPGA と CPLD に対してプログラムを書き込むために JTAG ピンヘッドを出している。これは Xilinx 社製のダウンロードケーブルを用いる事が可能となっており、パソコンと USB 接続する事で簡単にコンフィグレーション出来るよう設計されている。

5.2.9 テストピン

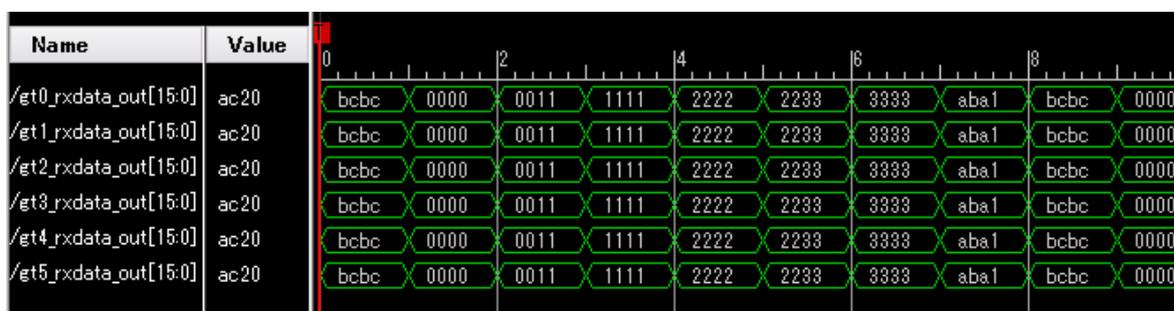
FPGA と CPLD へ 16 ピンのボックスピンヘッドに接続されている。FPGA や CPLD の 16 bit の信号をロジック・アナライザと接続する事でデバッグが可能となっている。

²NIM: Nuclear Instruments Modules は放射線・原子力測定機器に関する規格の事

5.3 GTX 試験

5.3.1 ループバック試験

本節では、GTX Transceiver を使用したデザインが正しく動作するかどうかを検証した。先行研究として Kintex-7 の評価ボードである KC705 を用いた試験にて、Xilinx 社が用意したソフトウェアを用いて実際に BER の測定を行っている。その結果 3 m ~ 14 m の同軸ケーブルでのループバックにて $BER < 10^{-14}$ を達成した事を確認している [24]。そこで今回の試験では、評価ボードではなくカスタムボードである PT7 に GTX Transceiver を実装し、ラインレート 6.41264 Gbps で 6 レーン使用しループバックさせて、ILA³ (Integrated Logic Analyzer) を用いて正しく送受信出来ているか確認を行った。ループバックするデータは図 4.4 で示されている NSW データフォーマットに即した適当なデータを用いた。comma 信号は 0xBC であり、track-0 は 0x000000, track-1 は 0x111111, track-2 は 0x222222, track-3 は 0x333333, ID は 0xA, BCID はカウントアップデータを用いた。ループバックに使用したケーブルは Mellanox 社の CTMC1104130 で 1 m の infiniband である。図 5.7 に GTX Transceiver を用いたループバックの様子を ILA で見た時の画面を示す。



Name	Value
/et0_rxdata_out[15:0]	ac20
/et1_rxdata_out[15:0]	ac20
/et2_rxdata_out[15:0]	ac20
/et3_rxdata_out[15:0]	ac20
/et4_rxdata_out[15:0]	ac20
/et5_rxdata_out[15:0]	ac20

bcbc	0000	0011	1111	2222	2233	3333	abab	bcbc	0000
bcbc	0000	0011	1111	2222	2233	3333	abab	bcbc	0000
bcbc	0000	0011	1111	2222	2233	3333	abab	bcbc	0000
bcbc	0000	0011	1111	2222	2233	3333	abab	bcbc	0000
bcbc	0000	0011	1111	2222	2233	3333	abab	bcbc	0000
bcbc	0000	0011	1111	2222	2233	3333	abab	bcbc	0000

図 5.7: GTX Transceiver によるループバック検証。ILA で見た時の 6 レーンでの NSW データフォーマット形式の 16 bit ループバック受信データを表している。

図 5.7 を見ると分かるように、正しくループバックされ送受信ができている事が分かる。これにより、評価ボードではなくカスタムボード (PT7) を使用する事で、GTX Transceiver の評価として正しく動作する事を確認した。しかし今回の試験では 1 m のケーブルでしか試験を行っていないため、今後の課題としてもっと長いケーブルを用いた試験を行う必要がある。

5.3.2 レイテンシ測定

本節では、GTX Transceiver の送信、受信に必要なレイテンシを測定した結果をまとめる。まず、第 4 章で説明したように、GTX Transceiver のレイテンシの要求値は 75nsec である。そのため GTX Transceiver の送信、受信に必要なレイテンシは 75nsec 以下にする必要がある [25]。

試験方法として、汎用 VME のモジュール PT7 を 1 枚使用し、PT7 内部でデータを生成して Infiniband 4x ケーブルでループバックでデータを受信した後、テストピンからロジック・アナライザに出力させ、そこからレイテンシを測定した。

今回 GTX Transceiver のレイテンシ測定試験を行ったラインレートは 6.25 Gbps, 6.41264 Gbps, 8.00 Gbps, 10.0 Gbps の 4 種類のラインレートで試験を行った。実際に考えられているラインレ

³カスタマイズ可能なロジック・アナライザ コアで、デザインの内部信号をモニターするために使用される。

トは、6.41264 Gbps であり、これは NSW から 1 fiber 当たり 128 bit が 40.079 MHz のクロックで送信されるため、 $128\text{bit} \times 40.079\text{MHz} \times 10/8 = 6.41264\text{ Gbps}$ のラインレートとなっている。最後の 10/8 を掛けているのは 8b/10b を考慮しているからである。その他のラインレートは比較のために測定した。今回のレイテンシ測定試験も 1 m の infiniband を用いている。

さらに今回の試験にあたって、FPGA デザインを各ラインレートで 2 種類準備した。1 つは通常デザインの GTX Transceiver で、もう 1 つのデザインは GTX Transceiver のアドバンス機能で、送信部分の Phase Adjust FIFO と、受信部分の RX Elastic バッファをバイパスする事で GTX Transceiver を固定ショートレイテンシで動作させるデザインである。

今回の試験において用意したデザインとして、256 回に 1 回 B3 を送信しその他の 255 回は 00 を送信するようにプログラムを書いた。これにより BC の送信から受信にかかる時間を測定する事で、GTX Transceiver でのレイテンシを測定する狙いである。

図 5.8 に例としてラインレートが 6.41264 Gbps の時の、生成したデータとループバックして受信したデータをロジック・アナライザで表示させている様子を示す。

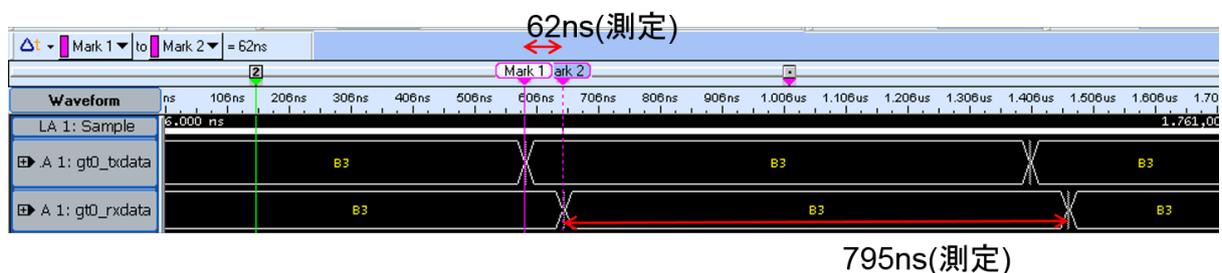


図 5.8: ラインレート 6.41264 Gbps での GTX Transceiver レイテンシ試験の様子。生成データとループバックして受信したデータをロジック・アナライザで出力させて、そのループバックにかかった時間を測定している。このロジック・アナライザの結果だと、レイテンシは 62 nsec である事が分かる。

図 5.8 のロジック・アナライザの画面の中の gt0_txdata は GTX で送信しているデータで、gt0_rxdata は GTX で受信しているデータである。各データをロジック・アナライザで表示させ、GTX Transceiver で送受信に必要なレイテンシを測定している事が分かる。図 5.8 の画面の場合、62 nsec がレイテンシである。このような測定方法を 4 種類のラインレートで、各々 2 種類の FPGA デザインでレイテンシ測定を行った。表 5.2 に各々のラインレートでのレイテンシ測定結果をまとめる。なおここでの測定結果には 1 m の infiniband ケーブルによるレイテンシも含まれている。

表 5.2 から分かるように、通常的设计に比較して TX, RX バッファをバイパスする事でレイテンシが小さくなっている事が分かる。さらに表 5.2 の右側の列には各ラインレートのスペック値 [29] を載せている。このスペック値から分かるように、ラインレートの値が大きくなる程レイテンシは小さくなっている事が分かる。しかし、今回測定した 6.41264 Gbps と 8.00 Gbps のラインレートでは、ラインレートの値が大きくなっているにもかかわらずレイテンシも上がっている事が分かる。これは、2 つの転送 bit 幅が違う事が原因で起こっている。前者のラインレートでは 16 bit 転送に対し、後者のラインレートでは 32 bit 転送であるため、GTX の仕様によりこのような現象が起きている。

また、表 5.2 の中で一番重要な結果は、6.41264 Gbps のラインレートのレイテンシである。このラインレートは実際 NSW から受けるレートであり、このレイテンシを測定するのが目的であった。

表 5.2: GTX Transceiver レイテンシ測定結果. ケーブルによるレイテンシ (5 ns) を含めた測定値である.

ラインレート [Gbps]	転送幅 [bit]	通常デザイン [nsec]	Bypassing TX バッファ and RX バッファ [nsec]	Spec
6.25	16	96	62	最小 36.8 nsec , 最大 222.16 nsec
6.41264	16	96	62	最小 35.8 nsec , 最大 216.6 nsec
8.00	32	141	92	最小 28.75 nsec , 最大 173.5625 nsec
10.0	32	108	75	最小 23 nsec , 最大 128.6 nsec

このラインレートでは通常デザインだと 96 nsec であったが, 送信部分の Phase Adjust FIFO と, 受信部分の RX Elastic バッファをバイパスするデザインであれば 62 nsec のレイテンシを得る事が出来た. ここで infiniband 1 m でのスペック値である 5 ns のケーブルによるレイテンシを考慮すると実際には 57 ns のレイテンシがかかっている事が分かる. このバイパスするデザインは, レイテンシを最小にし, かつ固定する機能をもつため, このレイテンシが実際の新 SL での GTX Transceiver でかかるレイテンシである. 結果としてレイテンシは 57 nsec であり, 目標値である 75 nsec より 18 nsec も小さいレイテンシである事を確認した. このレイテンシの測定により, 初めて実際に GTX Transceiver は新 SL での NSW からの入力の通信方法として使用できる事が判明した.

5.4 新 SL FPGA 読み出し開発

この節では新 SL FPGA 読み出し開発したロジックについて評価したものをまとめる.

5.4.1 新 SL FPGA 読み出しロジック

まず最初に新 SL の FPGA 読み出しロジックとして実装したものをまとめる. 新 SL の読み出しロジックとして図 5.9 にあるようなロジックが考えられている.

新 SL FPGA 読み出しロジックの中で主要なロジックや機能を以下にまとめる.

- レベル 1 バッファ (L1 バッファ)

L1 バッファでは TTC から L1A 信号が来るまでデータを保持する機能を持つ.

- データサイズカウントカウンタロジック

このロジックでは, L1A 信号が来たら 1 クロックで 1 バンチ分のデータサイズをカウントし, 3 クロックで全 3 バンチ分のデータサイズを取得しデランダムマイザにデータを渡すロジックである.

- デランダムマイザ

デランダムマイザでは以下の 5 つのデータ

1. BW から入力される 202 bit のデータ

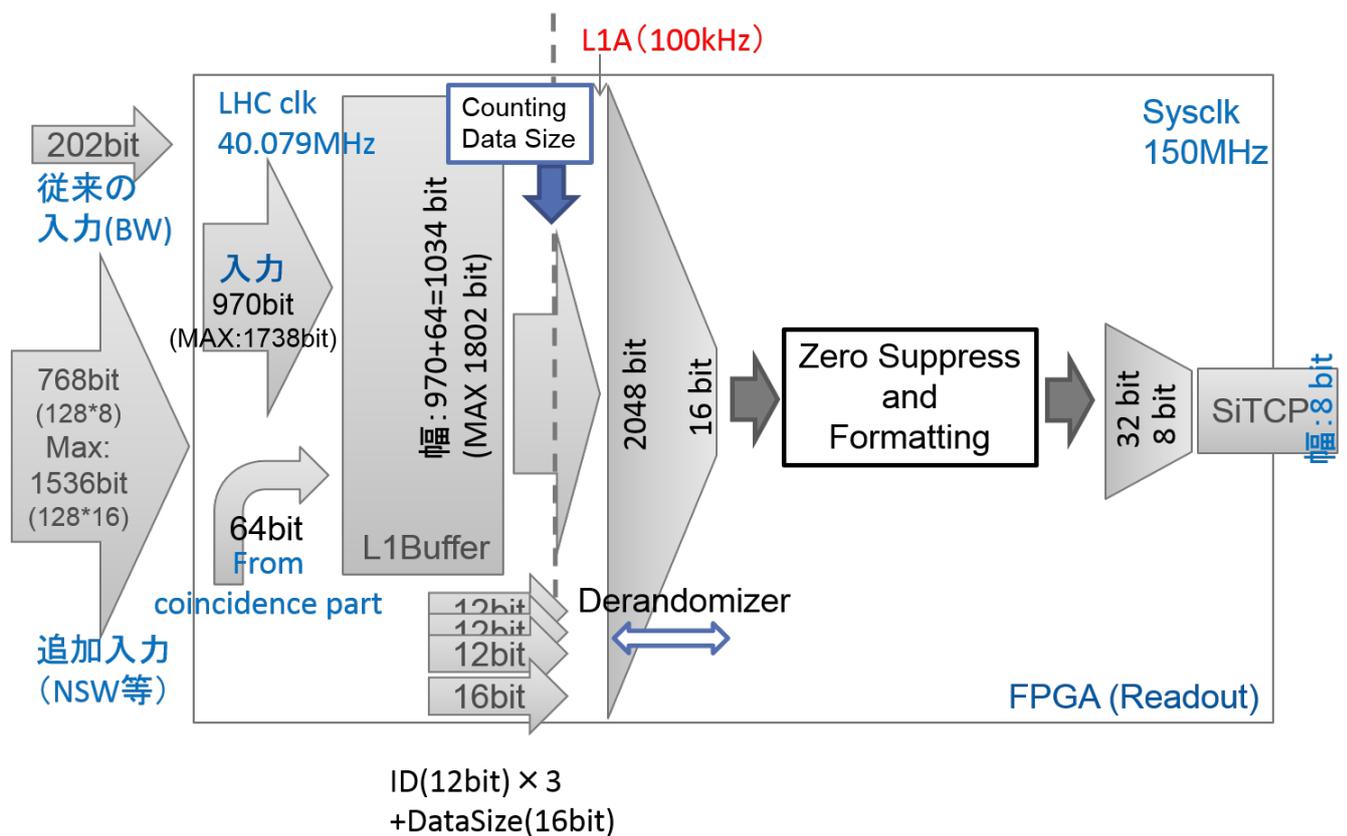


図 5.9: 新 SL FPGA 読み出しロジック. 主に L1 バッファ, データサイズカウンタロジック, デランダムライザ, ゼロサプレスロジック, データフォーマット整形ロジックから構成される.

2. NSW 等から入力される 970 bit (最大:1738 bit) のデータ
3. データサイズカウンタロジックから渡される 12 bit のデータサイズカウンタデータ
4. SL 識別番号である 12 bit の SLID
5. L1A 信号を受信した時の 12 bit の BCID と LIID

を L1A 信号を受け取った時に受け取るバッファである. ここで第 4 章で述べたように, NSW 等から入力される bit 幅は通常 6 fiber で 970 bit として考えているが, 最大 12 fiber の 1738 bit の bit 幅の入力を受け取る事も考えている事に注意する. またこのバッファには 3 バンチ分のデータが渡され, さらに L1A のばらつきを吸収しつつ, 出力幅を 16 bit にしている. ここで L1A 信号を受信して 3 クロックで 3 バンチ分のデータを渡すように設計されているが, 万が一 L1A 信号を受信してその 3 クロック以内にまた L1A 信号を受信しても, その 3 クロック以内に受信した L1A 信号は無視するようなロジックも入れてある.

- ゼロサプレスロジック
このロジックでは, デランダムライザが受け取ったデータをゼロサプレスという圧縮方法で圧縮するロジックである
- データフォーマット整形ロジック

このロジックでは、新 ROD と新 SL 間で決められたフォーマットに整形するロジックである

5.4.2 データサイズカウントロジック

データサイズカウントロジックは、新 ROD のシステム設計の要求により追加されたロジックである。L1 バッファに貯まる 1 バンチのデータは $202 \text{ bit} + 970 \text{ bit} + 64 \text{ bit} = 1034 \text{ bit}$ (最大: $202 + 1738 + 64 = 1802 \text{ bit}$) である。以降、新 SL への入力データは最大値の 1802 bit の入力で考える事にする。新 ROD に渡すデータサイズは 32 bit を 1 つのブロックとして考え、 32 bit データが合計いくつあるか、というデータを渡すよう設計されている [30]。ゼロサプレスロジックでは 16 bit のデータにセルアドレス等のデータ 16 bit を付加し計 32 bit のデータとしているため、このデータサイズカウントロジックでは、まず L1 バッファにたまったデータ 1802 bit を 16 bit の単位で分割する。ここで 1802 は 16 の倍数ではないため、データの最後に 0 であるデータ 6 bit を付加し合計 1808 bit にして 16 bit データ毎で分割を行う。そして L1A 信号を新 SL が受け取ったら、このデータサイズカウントロジックは L1A 信号を受け取り後 3 バンチ分の非 0 である 16 bit データの個数をカウントし、3 バンチ分合計のデータサイズを取得する。このデータサイズを取得するのに必要なクロック数は 3 バンチで 3 クロック分であり、PT7 のシステムクロックとして 150 MHz のクロックを使用すれば $6 \text{ nsec} \times 3 \text{ クロック} = 18 \text{ nsec}$ で動作可能である。

5.4.3 ゼロサプレスロジック

現行ゼロサプレスロジック

ここではまず現行の SSW で使用されているゼロサプレスのロジックについて説明を行う。現行のゼロサプレスのロジックは以下の手順により実行される。

1. データの読み始めにカウントを回す
2. データを 8 bit 毎に区切った時に、つまりカウンタが 8 の倍数であるときに、その 8 bit が全て 0 であればその 8 bit を捨てる
3. 8 bit の中に 1 bit でも 1 があれば、カウンタの数値を 8 で割った数をアドレスに付加して、 13 bit の形にする
4. 読み取っているデータが 3 バンチ中 (PRV/CUR/NXT) のどこのバンチであるかという情報を表す 3 bit を付加して、さらにヘッダーやフッターでは無いことを示す 2 bit のタグを付加した 18 bit に整える

図 5.10 にゼロサプレスの概略図を示す。これにより 0 が多いデータだと大幅にデータ量を削減する事が可能となっている。

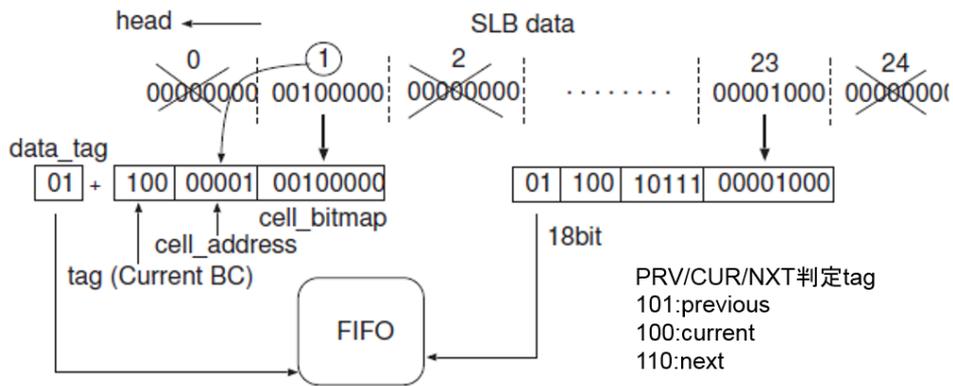


図 5.10: 現行ゼロサプレスロジック [31]. データを 8 bit 毎の cell に区切り, それに cell の address を付加している.

現行ゼロサプレスを新 SL でのデータ圧縮ロジックとして使用するには幾つか解決すべき問題点が存在する. そもそも現行ゼロサプレスで入力されるデータは 200 bit として考えられている為, この現行のロジックでは 8 bit のセルビットマップでデータを区切り, セルアドレスも 25 つあれば十分と考えられている. セルアドレスは 5 bit であるため, 2 進数で 11111 は 10 進数で 31 なので, 最大 8 bit × 32 セルアドレス = 256 bit しか扱う事が出来ない. これに対し新 SL では, 最大入力 1802 bit で 3 バンチ分を処理するため, 最大 1802 × 3 = 5406 bit のデータに対しゼロサプレスを行う必要がある. しかし前述の通り, 現行のゼロサプレスでは最大 256 bit までしか扱う事が出来ず, このロジックを改良する必要がある.

新ゼロサプレスロジック

現行ゼロサプレスロジックでは新 SL FPGA ロジックにはそのままでは使用出来ないことは上で述べた. ここでは新 SL で使用できるように新しいゼロサプレスを提案し, 説明を行う.

新ゼロサプレスロジックでは現行のゼロサプレスロジックから以下の変更を加える.

1. 8 bit のデータの区切りから 16 bit のデータの区切りに変更する
2. セルアドレスを 5 bit から 9 bit に変更する

以上の変更により, セルアドレスが 9 bit になる事で 16 bit データを 512 個判別する事が可能であるため, 最大 16 bit × 512 = 8192bit のデータをゼロサプレスする事が可能となる.

以上の事を考慮して, ゼロサプレスするときのデータフォーマットを図 5.11, 図 5.12 に 2 つ提案する.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
10		Tag		cell address										cell bitmap		11		cell bitmap													

図 5.11: 新ゼロサプレス・データフォーマット A

どちらのフォーマットもセルアドレスに 9 bit, セルビットマップに 16 bit を使用している. さらに Tag は 3 バンチ識別用 Tag (PRV/ CUR/ NXT) で従来のゼロサプレスでの Tag をそのまま使用すると考えている.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
1111				Tag				cell address									cell bitmap															

図 5.12: 新ゼロサプレス・データフォーマット B

フォーマット A に関しては新 ROD に渡す時に 16 bit 単位の意味のあるデータであることを考慮し, セルビットマップをあえて前半 2 bit, 後半 14 bit に分けて, 新 ROD に渡す 16 bit はデータだと主張するためのデータ (10 or 11) を付加している. フォーマット B に関しては, セルビットマップを途中で分ける事なく 16 bit そのまま使用し, 32 bit の頭にデータであることを主張するデータ (1111) を付加するフォーマットとなっている.

今回, 新 SL 読み出し FPGA 開発を行うにあたって, ロジックが簡単になるようにフォーマット B に合わせてゼロサプレスロジックを採用した. 以下ゼロサプレスフォーマットはフォーマット B で考える事にする. このフォーマットの議論は新 ROD の後段サイドと議論を重ねて決めていく必要がある. 最後に図 5.13 にフォーマット B での新ゼロサプレスの概略図を示す.

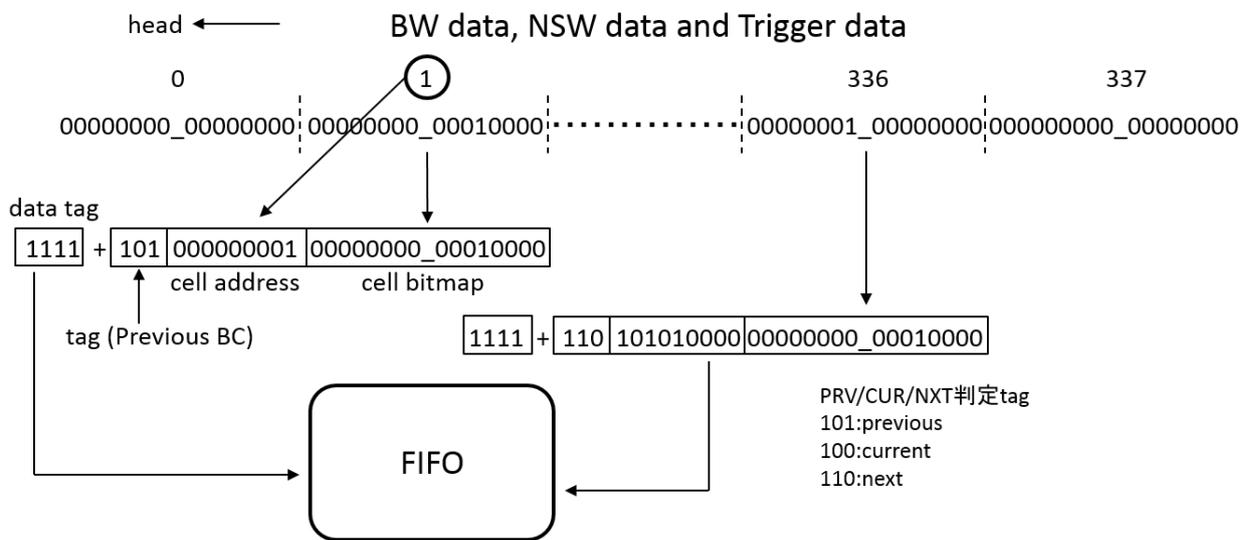


図 5.13: 現在考えられている新ゼロサプレスロジック. 現行のゼロサプレスと比べ, cell address が 5bit から 9bit に, cell hitmap が 8bit から 16bit に変更されている.

現行ゼロサプレス圧縮率

ここではゼロサプレスによってどの程度圧縮出来るのかを検証する. ここで圧縮率とは (圧縮後の容量) / (圧縮前の容量) として定義する. この検証には実際に BW から出力され, かつ SSW で圧縮

及びフォーマット変換されたデータを、フォーマット変換される前のデータフォーマットに変換し、ゼロパディングを行ったデータを解析する事で圧縮率を見積もった。今回使用したデータはCサイドのBW番号7のBW(以下BW-C07)のSLデータをまとめているSSW9のrawデータで2012年11月29日から2013年2月14日まで取得した75個のデータである。ここで図5.14に各データに対する各SLBでのゼロサプレス圧縮率のグラフを示す。SLB0からSLB3はエンドキャップ部分のSLデータに対応しSLB4,SLB5はフォワード部分のSLデータに対応している。図5.14を見るとエンドキャップ部分の圧縮率は0.002以下の場合が多く、最大でも0.006となっている。フォワード部分は最大でも0.002となっている。

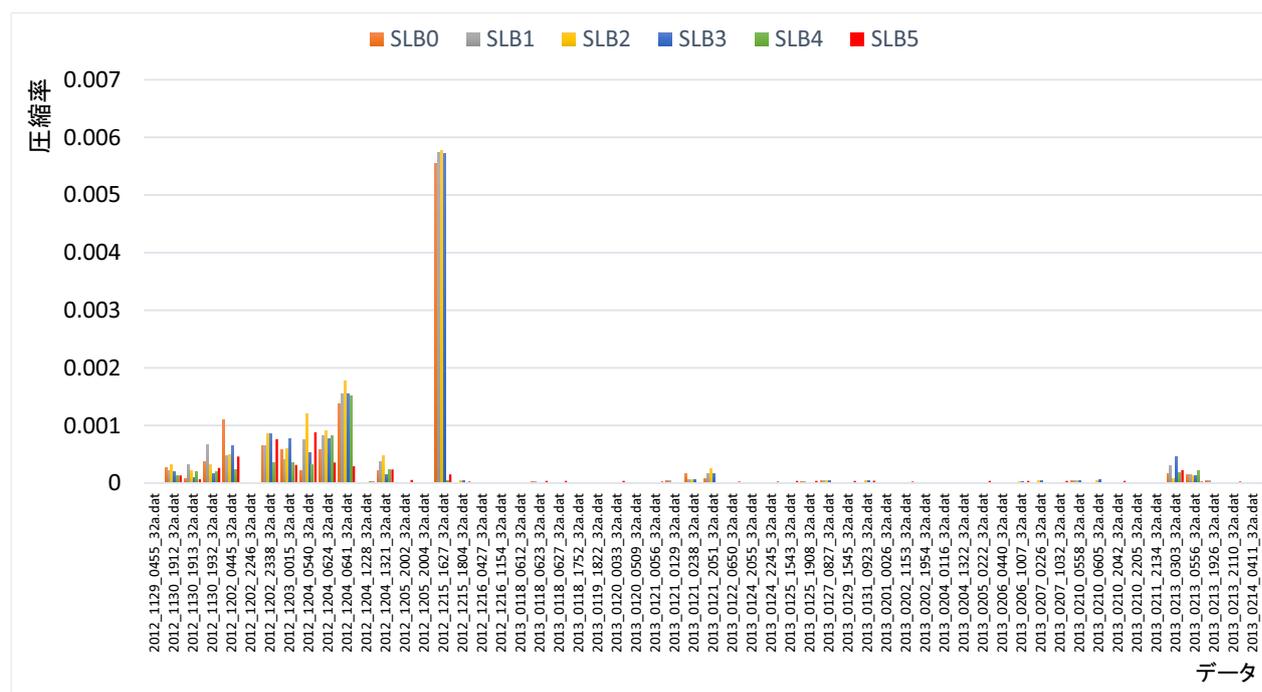


図 5.14: 現行のゼロサプレスにおける各データに対する圧縮率のグラフ。今回使用したデータはBW-C07のSSW9のrawデータで2012年11月29日から2013年2月14日まで取得した75個のデータである。

さらに上で評価した圧縮率を75個のデータを全て用いて評価すると、総合計イベント数117090イベントでSLB0は総データ量1770 Byteで圧縮率は0.000205, SLB1は総データ量1938 Byteで圧縮率は0.000215, SLB2は総データ量2078 Byteで圧縮率は0.000225, SLB3は総データ量1894 Byteで圧縮率は0.000228, SLB4は総データ量734 Byteで圧縮率は0.0000836, SLB5は総データ量740 Byteで圧縮率は0.0000688となった。これらの結果を表5.3にまとめる。

表 5.3: 現行のゼロサプレスにおける BW - C07 での各 SLB Number での圧縮率.

SLB Number	配置	総データ量 [Byte]	圧縮率 [10^{-4}]	S.D. [10^{-4}]	最大圧縮率 [10^{-4}]
0	Endcap	1770	2.04	7.59	55.4
1	Endcap	1938	2.23	7.87	57.3
2	Endcap	2078	2.39	8.10	57.7
3	Endcap	1894	2.18	7.89	57.3
4	Forward	734	0.832	2.38	15.2
5	Forward	740	0.838	1.73	8.81

表 5.3 から SL が読み出すトリガーセクターの配置 (エンドキャップまたはフォワード) によって圧縮率が異なっている事が分かる. エンドキャップでの圧縮率では平均 0.000219 であるがフォワードでの圧縮率は平均 0.0000839 である.

新ゼロサプレス圧縮率

次に新ゼロサプレスによってどの程度圧縮出来るのかを現行ゼロサプレスの圧縮率評価と同様に評価を行った. 図 5.15 に各データに対する各 SLB での新ゼロサプレス圧縮率のグラフを示す. SLB0 から SLB3 はエンドキャップ部分の SL データに対応し SLB4, SLB5 はフォワード部分の SL データに対応している. 図 5.15 を見るとエンドキャップ部分の圧縮率は 0.004 以下の場合が多く, 最大でも約 0.016 となっている. フォワード部分は最大でも 0.004 となっている.

さらに上で評価した圧縮率を 75 個のデータを全て用いて評価すると, 総合計イベント数 117090 イベントで SLB0 は総データ量 3104 Byte で圧縮率は 0.000351, SLB1 は総データ量 3400 Byte で圧縮率は 0.000384, SLB2 は総データ量 3584 Byte で圧縮率は 0.000405, SLB3 は総データ量 3356 Byte で圧縮率は 0.000379, SLB4 は総データ量 948 Byte で圧縮率は 0.000107, SLB5 は総データ量 1064 Byte で圧縮率は 0.000120 となった. これらの結果を表 5.4 にまとめる.

表 5.4: 新ゼロサプレスにおける BW - C07 での各 SLB Number での圧縮率.

SLB Number	配置	総データ量 [Byte]	圧縮率 [10^{-4}]	S.D. [10^{-4}]	最大圧縮率 [10^{-4}]
0	Endcap	3104	3.51	14.31	111
1	Endcap	3400	3.84	14.73	114
2	Endcap	3584	4.05	15.07	115
3	Endcap	3356	3.79	14.85	115
4	Forward	948	1.07	5.30	19.0
5	Forward	1064	1.20	3.87	11.7

表 5.4 から SL が読み出すトリガーセクターの配置 (エンドキャップまたはフォワード) によって圧縮率が異なっている事が分かる. エンドキャップでの圧縮率では平均 0.000383 であるがフォワードでの圧縮率は平均 0.000145 である.

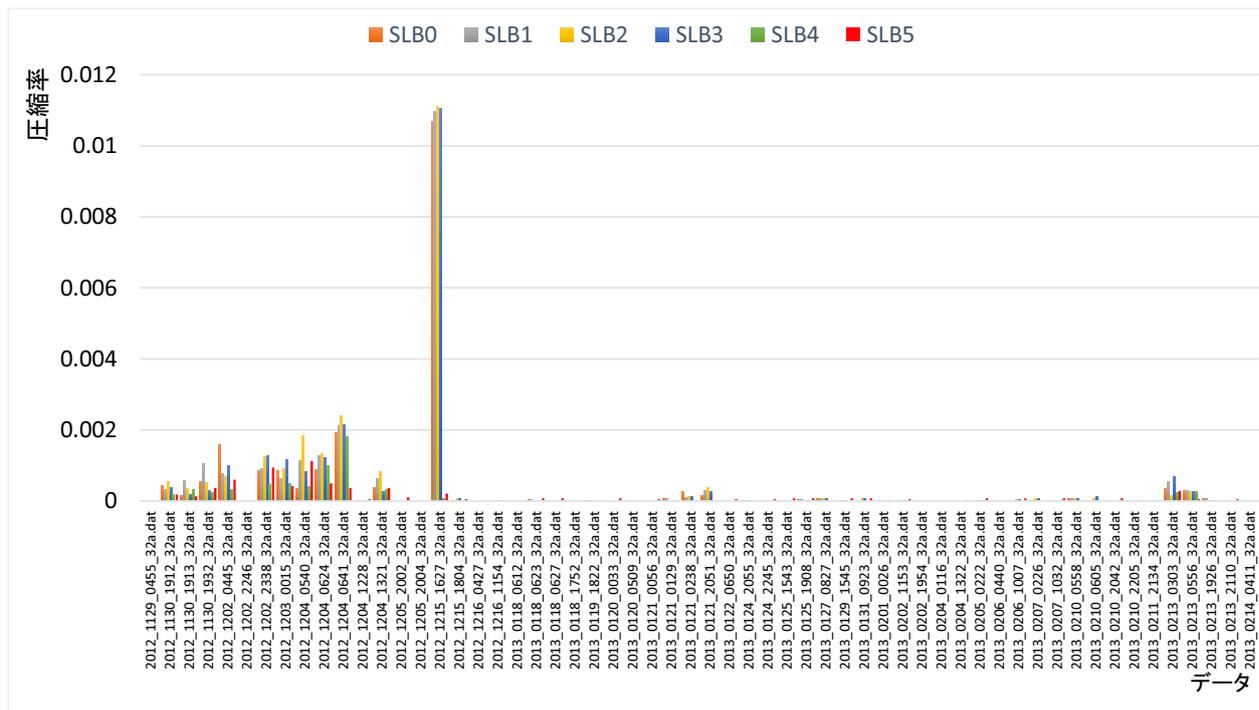


図 5.15: 新ゼロサプレスにおける各データに対する圧縮率のグラフ. 今回使用したデータは BW - C07 の SSW9 の raw データで 2012 年 11 月 29 日から 2013 年 2 月 14 日まで取得した 75 個のデータである.

ここで、図 5.14 と図 5.15 をよく見ると 2012_1215_1627_32a.dat のファイルのデータだけ秀でて圧縮率が悪い事が分かる. そこで 2012_1215_1627_32a.dat のデータを解析してみた結果, cell address が 19 のデータが大半を占めていた. この cell address が 19 のデータは EI/FI 信号で RUN1 では使われていないインナーステーションの検出器の信号で、本来ならば出力されない信号である [32]. したがってこの EI/FI 信号は出てないと仮定して圧縮率を再計算する必要がある事が分かる. なお RUN2 でも現状の SL を使用し、さらに EI/FI 信号を用いる計画であるが、何故か EI/FI 信号が正しく出力されていない状況であり、2015 年 1 月現在なお原因究明中である.

EI/FI 信号を無視した時の圧縮率の評価

以下に EI/FI 信号を無視した時のゼロサプレス及び新ゼロサプレスにおける各データに対する圧縮率のグラフを図 5.16, 図 5.17 に示す. SLB0 から SLB3 はエンドキャップ部分の SL データに対応し SLB4, SLB5 はフォワード部分の SL データに対応している. 現行ゼロサプレスの図 5.16 を見るとエンドキャップ部分の圧縮率は最大でも 0.0019, フォワード部分は最大でも 0.0016 となっている. 一方新ゼロサプレスの図 5.17 を見るとエンドキャップ部分の圧縮率は最大でも 0.0026, フォワード部分は最大でも 0.0019 となっている.

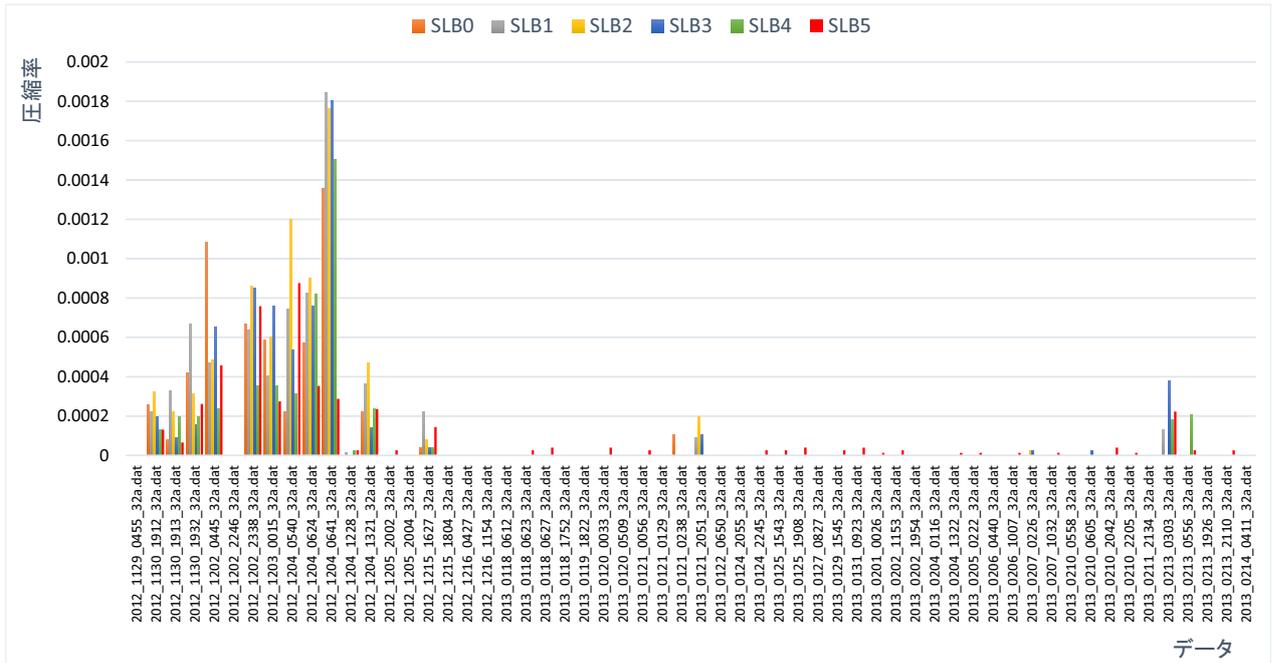


図 5.16: 現行のゼロサプレスにおける各データに対する EI/FI 信号を除いた時の圧縮率のグラフ。今回使用したデータは BW - C07 の SSW9 の raw データで 2012 年 11 月 29 日から 2013 年 2 月 14 日まで取得した 75 個のデータである。

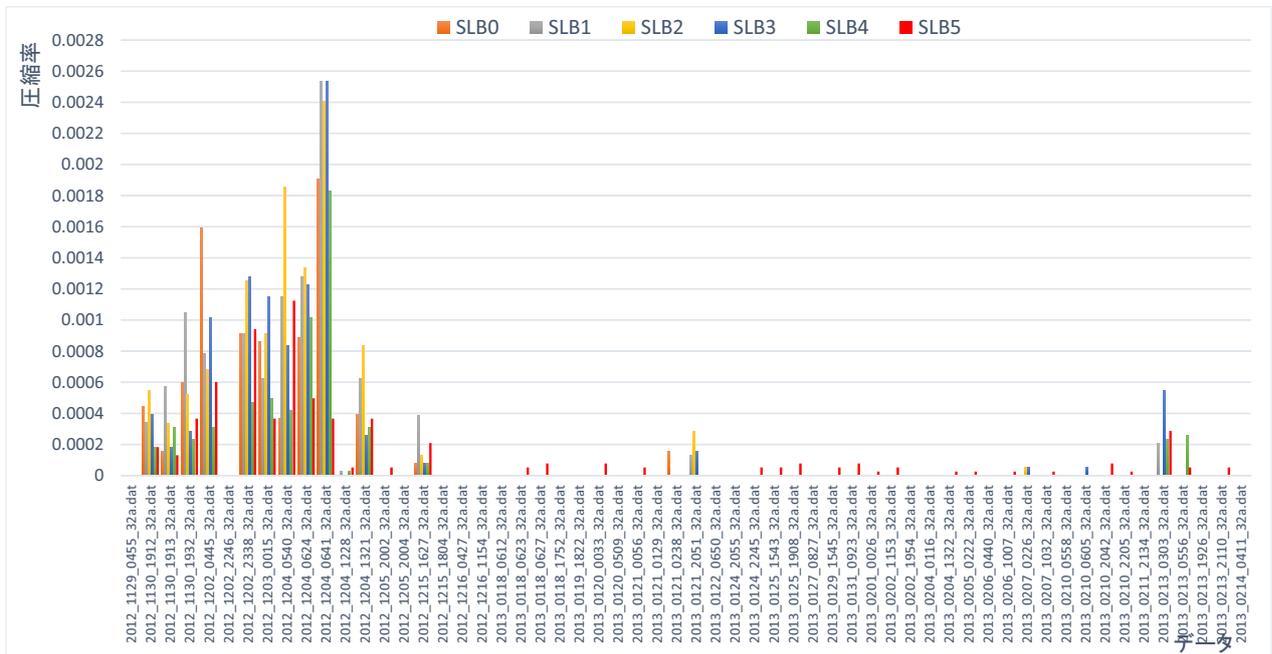


図 5.17: 新ゼロサプレスにおける各データに対する EI/FI 信号を除いた時の圧縮率のグラフ。今回使用したデータは BW - C07 の SSW9 の raw データで 2012 年 11 月 29 日から 2013 年 2 月 14 日まで取得した 75 個のデータである。

さらに上で評価した圧縮率を 75 個のデータを全て用いて現行ゼロサプレス及び新ゼロサプレス

の評価をする。

EI/FI信号を除いた時の現行ゼロサプレスでは、総合計イベント数 117090 イベントで SLB0 は総データ量 860 Byte で圧縮率は 0.0000969, SLB1 は総データ量 1066 Byte で圧縮率は 0.000120, SLB2 は総データ量 1140 Byte で圧縮率は 0.000128, SLB3 は総データ量 998 Byte で圧縮率は 0.000112, SLB4 は総データ量 734 Byte で圧縮率は 0.000236, SLB5 は総データ量 704 Byte で圧縮率は 0.000173 となった。これらの結果を表 5.5 にまとめる。

表 5.5: 現行ゼロサプレスにおける BW - C07 での EI/FI 信号を除いた時の各 SLB Number での圧縮率。

SLB Number	配置	総データ量 [Byte]	圧縮率 [10^{-4}]	S.D. [10^{-4}]	最大圧縮率 [10^{-4}]
0	Endcap	860	0.969	2.64	13.7
1	Endcap	1066	1.20	3.08	18.6
2	Endcap	1140	1.28	3.32	17.8
3	Endcap	998	1.12	3.07	18.2
4	Forward	734	0.873	2.36	15.2
5	Forward	704	0.793	1.73	8.84

表 5.5 から SL が読み出すトリガーセクターの配置 (エンドキャップまたはフォワード) によって圧縮率が異なっている事が分かる。エンドキャップでの圧縮率では平均 0.000114 であるがフォワードでの圧縮率は平均 0.0000810 である。

最後に新ゼロサプレスでの結果をまとめる。EI/FI 信号を除いた時の新ゼロサプレスでは、総合計イベント数 117090 イベントで SLB0 は総データ量 1280 Byte で圧縮率は 0.000144, SLB1 は総データ量 1628 Byte で圧縮率は 0.000183, SLB2 は総データ量 1708 Byte で圧縮率は 0.000192, SLB3 は総データ量 1540 Byte で圧縮率は 0.000174, SLB4 は総データ量 948 Byte で圧縮率は 0.000107, SLB5 は総データ量 996 Byte で圧縮率は 0.000112 となった。これらの結果を表 5.6 にまとめる。

表 5.6: 新ゼロサプレスにおける BW - C07 での EI/FI 信号を除いた時の各 SLB Number での圧縮率。

SLB Number	配置	総データ量 [Byte]	圧縮率 [10^{-4}]	S.D. [10^{-4}]	最大圧縮率 [10^{-4}]
0	Endcap	1280	1.44	3.81	19.3
1	Endcap	1628	1.83	4.48	25.6
2	Endcap	1708	1.92	4.82	24.3
3	Endcap	1540	1.74	4.51	25.6
4	Forward	948	1.07	2.93	18.3
5	Forward	996	1.12	2.21	11.2

表 5.6 から SL が読み出すトリガーセクターの配置 (エンドキャップまたはフォワード) によって圧縮率が異なっている事が分かる。エンドキャップでの圧縮率では平均 0.000173 であるがフォワードでの圧縮率は平均 0.0000110 である。

表 5.5, 表 5.6 の結果により現行ゼロサプレスでの圧縮率は最大圧縮率 0.00186 から悪く見積もって 0.002 と評価する事ができ, さらに新ゼロサプレスでの圧縮率は最大圧縮率 0.00256 から悪く見積もって 0.003 と見積もる事が出来る.

5.4.4 データフォーマット整形ロジック

データフォーマット整形ロジックでは, 新 ROD と新 SL とで決められたフォーマットに変換するロジックで, 読み出しデータに 3 種類の ID 及びデータサイズを付加して, ヘッダとフッタで挟むロジックである. 新 SL ではフォーマットに整形して最終的に新 ROD へ TCP 読み出しでデータを渡す. 表 5.7 に, 新 ROD に渡すフォーマットを示す. このフォーマットは現段階では仮フォーマットであり, 最終決定されたフォーマットではないことに注意する.

表 5.7: 新 SL 読み出しフォーマット

ヘッダ 0x0B0D		DataSize	
0x0000		0000	L1ID 12bit
0000	BCID 12bit	0000	SLID 12bit
ゼロサプレスされた 3 バンチ分データ (BW + NSW + trig data)			
0x0000		フッタ 0x0E0D	

以下, 新 SL 読み出しデータフォーマットでのヘッダからフッタまでのデータを 1 イベントと呼ぶことにする. 1 イベントには 0x0B0D のデータのヘッダ, 1 イベント中の 16bit データの個数である DataSize, 12bit の L1ID, BCID, SLID, データサイズが固定されていないゼロサプレスされた 3 バンチ分のデータ, 0x0E0D のデータのフッタから構成されている.

5.4.5 新 SL FPGA 読み出し性能評価

本節では, 5.4.1 節で述べているような新 SL の読み出しロジックが正しく実装され動作しているかの検証結果を説明する. 今回, PT7 を 1 枚準備し, PT7 内で 1 バンチ 1802 bit の適当なデータ (上位 64 bit が 0x1122334455667788, 下位 1738bit が 0 のデータ) を生成し, それを内部で生成した 100 kHz の固定擬似 L1A 信号を用いて 3 バンチ分読み出し, データサイズや ID 等を付加したのち, ゼロサプレスとデータフォーマット整形を行い, TCP 読み出しが正しく動作しているのかどうかを検証した. 図 5.18 にその TCP 読み出し結果を示す.

図 5.18 を見てみると, この絵の中には合計 4 イベント出力されている. 各イベントがちょうど 4 行で出力され, 1 イベント 64 Byte となっている. ここで, 図 5.18 の 4 イベント目の最後の 4 行に注目してみる. 最初の 4 Byte は 0xB0D と出力され, ヘッダである事が分かる. 次の 4 Byte はこのイベントのデータサイズを表しており 0x010 となっている. これは 4 Byte の塊が 16 進数で 0x10 個, つまり 10 進数で 16 個あるという事を示している. 実際このイベントは 64 Byte で 4 Byte が 16 個存在しているため, データサイズは正しく付加されている事が分かる. さらに次の 4 Byte は 0x000 であり, データフォーマット通りである. その次の 4 Byte の 0x003 は L1ID を示しており, これはこのイベントが 3 イベント目である事を表している. その次の 4 Byte の 0x4CB は BCID を示している. その次の 4 Byte の 0x0DD は SLID を示しており, これは FPGA ロジックとして事前にレジスタに

```

takayuki-VAIO:~/NSL$ od -tx1 NSL18_7
00000000 0b 0d 00 10 00 00 00 00 00 1b 00 dd fa 00 11 22
00000020 fa 01 33 44 fa 02 55 66 fa 03 77 88 f8 00 11 22
00000040 f8 01 33 44 f8 02 55 66 f8 03 77 88 fc 00 11 22
00000060 fc 01 33 44 fc 02 55 66 fc 03 77 88 00 00 0e 0d
00000100 0b 0d 00 10 00 00 00 01 01 ab 00 dd fa 00 11 22
00000120 fa 01 33 44 fa 02 55 66 fa 03 77 88 f8 00 11 22
00000140 f8 01 33 44 f8 02 55 66 f8 03 77 88 fc 00 11 22
00000160 fc 01 33 44 fc 02 55 66 fc 03 77 88 00 00 0e 0d
0000200 0b 0d 00 10 00 00 00 02 03 3b 00 dd fa 00 11 22
0000220 fa 01 33 44 fa 02 55 66 fa 03 77 88 f8 00 11 22
0000240 f8 01 33 44 f8 02 55 66 f8 03 77 88 fc 00 11 22
0000260 fc 01 33 44 fc 02 55 66 fc 03 77 88 00 00 0e 0d
0000300 0b 0d 00 10 00 00 00 03 04 cb 00 dd fa 00 11 22
0000320 fa 01 33 44 fa 02 55 66 fa 03 77 88 f8 00 11 22
0000340 f8 01 33 44 f8 02 55 66 f8 03 77 88 fc 00 11 22
0000360 fc 01 33 44 fc 02 55 66 fc 03 77 88 00 00 0e 0d

```

図 5.18: 新 SL 読み出し結果. 黄色の枠で囲ったヘッダ `0x0B0D` から始まりオレンジ色の枠で囲ったフッタ `0x0E0D` で終わるデータのイベントが赤色, 緑色, 水色, 紫色でマスクされた合計 4 イベント見えている.

SLID を設定している. この SLID 以降は実際のデータになるわけだが, SLID の次の 8 Byte を見てみると `0xFA001122` となっている. これはゼロサプレスされたデータで, 前半 4 Byte はセルアドレス等で, 後半 4 Byte にデータが来ている. このデータフォーマットは図 5.12 のフォーマットに則っている事が分かる. そしてこのイベントの最後に 4 Byte の `0x0E0D` のフッタが付加されている事が分かる.

以上, 図 5.18 を見てみると正しく FPGA 読み出しロジックが動作している事が確認出来た. この検証テストは 100 MByte 程読み出し検証を行ったが, データは正常に TCP 読み出しをする事が出来た.

5.4.6 L1A 試験

L1A レートは約 100 kHz であるが, 本節ではこの L1A レートが 100 kHz 以外の低レートもしくは高レートである時に, 正しく動作するかどうかを評価した結果をまとめる.

様々な L1A レートとスループットの関係

ここでは L1A レートが 50 kHz, 100 kHz, 125 kHz, 160 kHz, 200 kHz の時, システムは正しく動作するか, またその時のスループットはどうなるかを評価する. ここでは PT7 モジュール 1 枚を新 SL として用意し, PT7 内部で BW データ, NSW データ, トリガーデータを生成し, さらに内部で擬似固定 L1A を生成して, SiTCP でデータを読み出す FPGA デザインを作成し, 試験を行った.

今回 PT7 内部で用意したデータは 1 イベント当たり 258 Byte の固定データを使用した。これは L1A レートが 200 kHz の時に、PC が TCP で読み出せる最大スループットに近い約 850 Mbps になるよう仕組んでいる。

表 5.8: 擬似固定 L1A レートとスループットの関係

L1A Rate [kHz]	スループット 理論値 [Mbps]	スループット 実測値 [Mbps]	実測値/理論値	100MB 読み出し 結果
50	212.8	213.2198±0.0004	1.0020	NoError
100	425.6	426.4332±0.0039	1.0020	NoError
125	532.0	533.0389±0.0014	1.0020	NoError
160	681.0	682.2845±0.0028	1.0019	NoError
200	851.2	852.8447±0.0078	1.0019	NoError

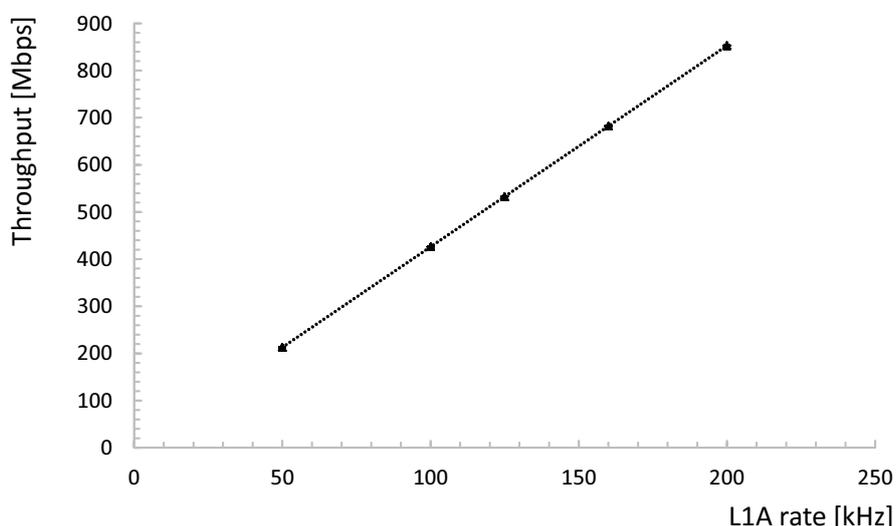


図 5.19: 擬似固定 L1A レートとスループットの関係. L1A の発行頻度と線形の関係である事が分かる。

表 5.8 に L1A レートが 50 kHz, 100 kHz, 125 kHz, 160 kHz, 200 kHz の時とスループットの関係を示す。なおスループット測定に関し、100 MByte のデータを取得しその時に費やされた時間からスループットを計算するプログラムを使用した。さらにスループット理論値は以下の式で求められる数値を使用した。

$$\begin{aligned}
 \text{スループット理論値} &= \{ (\text{ヘッダ}, \text{DataSize}, \text{L1ID}, \text{BCID}, \text{SLID}, \text{フッタ等}) [\text{bit}] \\
 &\quad + 3 \text{ バンチ分 DataSize} [\text{bit}] / \text{event} \times 2 \text{ ゼロサプレス} \} \times \text{L1ARate} \\
 &= (128 [\text{bit}] + 258 \times 8 [\text{bit}] \times 2) \times \text{L1ARate}
 \end{aligned}$$

今回使用した L1A 信号は、ランダムな信号ではなく、PT7 内部で生成した完全なる固定周波数の信号である。さらに擬似固定 L1A 信号は PT7 に載せている 40.079 MHz のクロックを 40 MHz と考えて L1A 信号を生成している事に注意する。

表 5.8 に示しているように、各 L1A レートにおいて 20 回ほど 100 MB ダンプしデータに化けが無いことを確認したところ、各 L1A レートにて正しく読み出せている事が分かった。さらにスループットの理論値と実測値には 0.2 % ほどのズレがある。これは 40.079 MHz のクロックを 40 MHz と考えて L1A 信号を生成している事が原因として挙げられる。実際に $40.079/40 = 1.001975$ である。図 5.19 に擬似固定 L1A レートとスループットの関係を示す。図 5.19 により L1A の発行頻度と線形の関係である事が分かる。

隣接 L1A 試験

次に、L1A 信号が隣接して分配された場合に正しくシステムが動作するかどうか検証を行った。まずこの隣接 L1A 信号であるが、TTC が供給する L1A 信号は一度 L1A 信号を供給したら、それから 4 バンチ後までは L1A 信号を供給しないよう設計されている。つまり、L1A 信号は、多くて 5 バンチに 1 バンチのペースで供給されることになっている。図 5.20 に LHC クロックと 100 kHz で配られる L1A 信号と、さらに TTC が許している再隣接 L1A 信号のクロック図を示す。

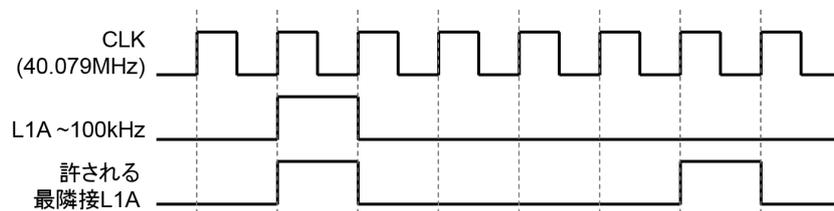


図 5.20: LHC クロックと許される最隣接 L1A 信号のクロック図。3 つ目のクロック図は TTC が許す最隣接 L1A であり、これよりも 2 つの L1A 信号が近づいて供給される事はないとされている。

図 5.20 に示されているような許される再隣接 L1A の時の検証を行いその結果をまとめる。用意したテスト環境は、PT7 モジュール 1 枚を新 SL として用意し、簡単に考える為、BW データ、NSW データ、トリガーデータが全て 0 の場合を考え、さらに内部で擬似 L1A を生成して、SiTCP でデータを読み出す FPGA デザインを作成し、試験を行った。

読み出し結果を図 5.21 に示す。

```
takayuki-VAIO:~/NSL/L1A_test$ od -tx1 Renzoku_all0/Renzoku_all0_16
00000000 0b 0d 00 04 00 00 04 18 06 8b 00 cd 00 00 0e 0d
00000020 0b 0d 00 04 00 00 04 19 06 90 00 cd 00 00 0e 0d
00000040 0b 0d 00 04 00 00 04 1a 08 20 00 cd 00 00 0e 0d
00000060 0b 0d 00 04 00 00 04 1b 08 25 00 cd 00 00 0e 0d
00000100 0b 0d 00 04 00 00 04 1c 09 b5 00 cd 00 00 0e 0d
```

図 5.21: 許される最隣接 L1A 信号の時の TCP 読み出し結果。

図 5.21 の各行は各イベント毎でちょうど分けれており、図 5.21 には合計 5 イベントが表示されている。1 行目の 1 イベント目は L1ID が 0x418 のイベントで、その時の BCID が 0x68B である事を示している。2 行目の 2 イベント目は L1ID が 0x419 のイベントで、その時の BCID が 0x690 である事を示している。このように BCID を見れば分かるように、最隣接 L1A が供給されている時でも正しく動作している事が分かる。このロジックで 100MB の読み出し試験を行ったが、読み出しデータに化けなく、正しく読み出す事が出来た。

以上の許されている最隣接 L1A の時以外にも、許されていない最隣接 L1A の時も検証を行った。図 5.22 に LHC クロックと、禁止されている L1A の例を 2 つ、クロック図として示した。今回この禁止されている L1A-1 と禁止されている L1A-2 の 2 種類で検証を行う。

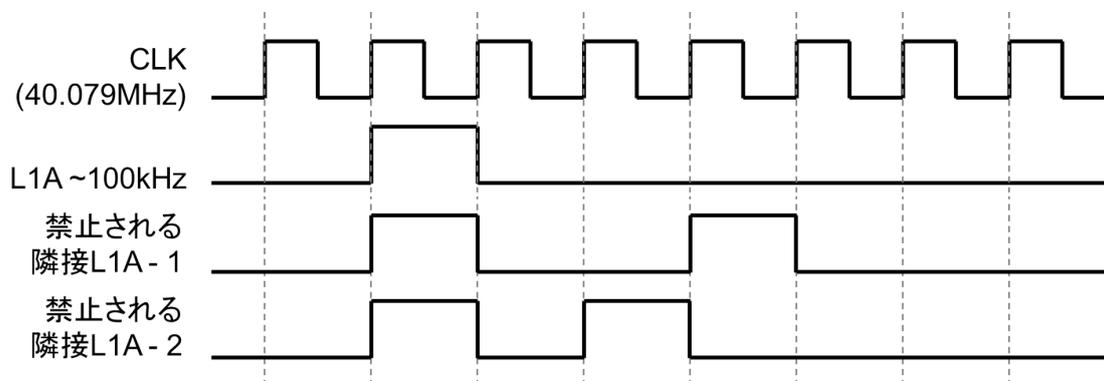


図 5.22: LHC クロックと 2 つの禁止されている最隣接 L1A 信号のクロック図。

1 つ目の禁止される隣接 L1A-1 は、TTC から供給される L1A 信号で禁止されているものの、実際にこの L1A を受け取っても連続して 3 バンチ分読み出す事は可能な L1A 信号である。しかし一方の 2 つ目の禁止される隣接 L1A-2 では、1 つ目の L1A 信号を受け取ってから 3 バンチ分を読み出す途中に次の L1A 信号が供給される事になり、2 つ目の L1A 信号は無視するようにしないと正しく 3 バンチ分読むことが不可能である。今回新 SL FPGA 読み出し開発のロジックとして、2 つ目の禁止される L1A-2 のような L1A 信号を受け取った場合、2 回目の L1A 信号は無視するようなロジックを導入した。

禁止される隣接 L1A-1 と禁止される隣接 L1A-2 のそれぞれの読み出し結果を図 5.23, 図 5.24 に示す。

```
takayuki-VAIO:~/NSL/L1A_test$ od -tx1 Renzoku2_all0/Renzoku2_all0_16
00000000 0b 0d 00 04 00 00 00 26 07 78 00 cd 00 00 0e 0d
00000020 0b 0d 00 04 00 00 00 27 07 7b 00 cd 00 00 0e 0d
00000040 0b 0d 00 04 00 00 00 28 09 0b 00 cd 00 00 0e 0d
00000060 0b 0d 00 04 00 00 00 29 09 0e 00 cd 00 00 0e 0d
00000100 0b 0d 00 04 00 00 00 2a 0a 9e 00 cd 00 00 0e 0d
```

図 5.23: 禁止される隣接 L1A - 1 信号の時の TCP 読み出し結果

```
takayuki-VAIO:~/NSL/L1A_test$ od -tx1 Renzoku3_all0/Renzoku3_all0_16
00000000 0b 0d 00 04 00 00 0d 38 03 7f 00 cd 00 00 0e 0d
00000020 0b 0d 00 04 00 00 0d 39 05 11 00 cd 00 00 0e 0d
00000040 0b 0d 00 04 00 00 0d 3a 06 a3 00 cd 00 00 0e 0d
00000060 0b 0d 00 04 00 00 0d 3b 08 35 00 cd 00 00 0e 0d
00000100 0b 0d 00 04 00 00 0d 3c 09 c7 00 cd 00 00 0e 0d
```

図 5.24: 禁止される最隣接 L1A - 2 信号の時の TCP 読み出し結果

図 5.21 の時と同様に、図 5.23 及び図 5.24 の各行は各イベント毎でちょうど分けれており、各々 5 イベントが表示されている。

図 5.23 に関して、1 行目の 1 イベント目は LIID が 0x026 のイベントで、その時の BCID が 0x778 である事を示している。2 行目の 2 イベント目は LIID が 0x027 のイベントで、その時の BCID が 0x77B である事を示している。BCID を見れば分かるように、最初の L1A 信号が供給された後、3 バンチ後にもう一度 L1A 信号を受け取り 3 バンチ読みだしている事が分かる。したがってここから禁止される隣接 L1A-1 が供給されている時でも正しく動作している事が分かる。このロジックでも 100 MB の読み出し試験を行ったが、読み出しデータに化けなく、正しく読みだす事が出来た。

図 5.24 に関して、1 行目の 1 イベント目は LIID が 0xD38 のイベントで、その時の BCID が 0x37F である事を示している。2 行目の 2 イベント目は LIID が 0xD39 のイベントで、その時の BCID が 0x511 である事を示している。このように BCID を見れば分かるように、最初の L1A 信号が供給された後、2 バンチ後に受け取る L1A 信号を無視するようなロジックである事が分かる。したがって、禁止される隣接 L1A-2 信号のような、正しく 3 バンチ読み出せないような L1A 信号が供給された場合でも、正しく動作している事が分かる。このロジックでも 100 MB の読み出し試験を行ったが、読み出しデータに化けなく、正しく読みだす事が出来た。

5.4.7 新 SL, 新 TTC Readout - 新 ROD 接続試験

最後の試験として、新 SL, 新 TTC Readout [33] と新 ROD [30] を接続し正しく動作するかの試験を行った。

今回試験した環境では TTC vx から B-Channel 信号が出ていない環境で試験を行ったため、LHC クロックと L1A 信号のみで新 TTC Readout モジュールと同期を行い新 ROD で読みだした。つまり BCR が発行されない為 LIID は同期できるが、BCID は同期出来ない状態で試験を行った。さらに接続試験を簡単にするため、新 SL は 1 台のみ使用した。さらに TTC からランダムな 100 kHz のレートの L1A 信号を受信する環境で試験を行った。

結果は、合計で 60 GByte (約 400 M イベント) 程読み出したところ、正しく読みだす事が出来た [30]。この結果からランダムな L1A 信号でも新 SL 読み出しロジックは正しく動作している事が確認できた。

5.5 今後の課題

- 新 SL 用モジュールの開発

本研究では新 SL の FPGA 開発に関して、汎用 VME モジュールである PT7 を用いた。しかし今後は汎用 VME モジュールを用いるのではなく、RUN3 に向けて新 SL 用のモジュールを開発してデザインを実装し、動作試験を行う必要がある。

- NSW からのデータを用いた試験

現在はまだ NSW からどのようなデータが来るのか具体的には確定しておらず、データフォーマットのみ決まっている。したがって NSW から実際どのようなデータが来るのかが確定したら、そのデータを用いて FPGA デザインの検討する必要がある。例えば本研究ではデータ圧縮ロジックとしてゼロサプレスロジックを採用したが、NSW からくるデータによっては違う圧縮ロジックを実装したほうが効率よくデータを圧縮出来るかもしれない。したがって、NSW からくるデータが確定次第、さらに開発研究を進める必要があることに注意する。

- デバッグ用 GTX Reference クロック

PT7 にはデバッグ用に GTX Reference クロックとして 125 MHz のクロックが GTX バンクに入っている。しかし本当にデバッグ用のクロックとして使用したいのであれば LHC クロック 40.079 MHz の 4 倍クロックの 160.316 MHz などのクロックを GTX バンクに入れる必要がある。新 SL プロトタイプにて、もしデバッグ用の GTX Reference クロックを載せるのであれば考慮すべき事である。

- 新 SL 新 ROD 総合試験

今回新 SL - 新 ROD 接続試験として B-channel 信号が供給されない環境で試験を行った。したがって B-channel 信号を供給する環境で再び試験を行い、L1ID だけではなく BCID の同期の確認をする事は必然であろう。またさらに今回は新 SL は 1 台のみ使用したが、今後新 SL を複数台使用して接続試験を行う必要がある。

第6章 まとめ

ATLAS 実験において 2020 年以降の RUN3 にむけてミューオントリガー装置 (SL) の FPGA 読み出し開発を行い, 実装, 動作確認を行った. 具体的には次の 2 つである.

1 つ目は, 新検出器 NSW からくる追加入力への対応である. 新 SL では現行の SL と同様に BW からの約 8Gbps の入力に加え, NSW から入力される約 40 Gbps の追加入力を受ける事になっている. これに伴い, Xilinx 社の Multi-Gigabit Transceiver の 1 つの技術である高速シリアル通信の GTX Transceiver を使用して追加入力に対応した. さらに GTX Transceiver のアドバンス機能である固定レイテンシのデザインを作成し, GTX Transceiver のレイテンシを実際に測定し, 要求されるレイテンシ 75 ns 以下に対し 57 ns である事を確認し, 高速シリアル通信 GTX を実際に使用できる事を確かめた.

2 つ目は, 新 SL の読み出しの確立である. 現行 SL では他のエレクトロニクスの SLB ASIC を流用して読み出しラインとしている. 流用した結果, 後段の読み出しモジュールも流用元の後段読み出しモジュールである SSW というハードウェアを使用せざるを得ない状況であった. しかし新 SL では SL のコインシデンスブロックに使用される FPGA にてこの読み出しラインの確立を行った. さらに新 SL の読み出しには TCP 読み出しを採用した. TCP 読み出しを採用する事で後段の読み出しを現状のハードウェアのモジュールを使用する必要がなく, さらに市販の Gigabit Ethernet Switch を使用でき, 科学技術の発展に伴って簡単に後段をアップグレード出来る利点がある. さらに現行での SSW ではデータをゼロサプレスという圧縮方法で圧縮を行い, 新 ROD との間で決められたデータフォーマットに整形する役割を持っている. 新 SL では SSW を使用せず, 市販の GbE Switch を使用するため, ゼロサプレスとデータフォーマット整形ロジックの 2 つのロジックも新 SL に導入した. その結果 100 MByte ほど読みだした結果正しくゼロサプレスされ, かつ正しくデータフォーマット整形出来たことを確認した. さらに, 以上の新しいロジックを実装した新 SL と後段の新 ROD との接続試験において, 60 GByte (約 400 M イベント) ほど読み出す事に成功した.

これらの結果により新 SL 設計に必要な技術選択を完了し, RUN3 に向けた新 SL の FPGA 読み出し開発を進める事が出来た.

謝辞

本論文をまとめるにあたり, お忙しい中指導教員として研究ばかりでなく様々な面でご指導ご鞭撻を賜った坂本教授に心より感謝致します. さらに同研究グループとして広い視野と鋭い発想の元, 私の質問や相談などに快く乗ってくださった佐々木教授に深く感謝致します.

また, 秘書の皆様にも2年間の間様々な事務手続きなどを支援していただき深く感謝致します. 最後に4年間大学へ通うことを応援してくれた両親に心から感謝を申し上げます。

参考文献

- [1] Philippe Mouche. Overall view of the LHC. Vue d'ensemble du LHC. Jun 2014. General Photo.
- [2] Oliver Sim Brning, Paul Collier, P Lebrun, Stephen Myers, Ranko Ostojic, John Poole, and Paul Proudlock. *LHC Design Report*. CERN, Geneva, 2004.
- [3] Julie Haffner. The CERN accelerator complex. Complexe des acclrateurs du CERN. Oct 2013. General Photo.
- [4] T Kawamoto, S Vlachos, L Pontecorvo, J Dubbert, G Mikenberg, P Iengo, C Dallapiccola, C Amelung, L Levinson, R Richter, and D Lellouch. New Small Wheel Technical Design Report. Technical Report CERN-LHCC-2013-006. ATLAS-TDR-020, CERN, Geneva, Jun 2013. ATLAS New Small Wheel Technical Design Report.
- [5] 徳宿克夫. LHC/ATLAS アップグレードの展望. 2011.
- [6] Joao Pequena. Computer generated image of the whole ATLAS detector. Mar 2008.
- [7] CMS Collaboration. Detector Drawings. CMS Collection., Mar 2012.
- [8] R Lindner. LHCb Layout_3_worker. LHCb Schema_3_travailleur. General Photo, Oct 2011.
- [9] Stephane Maridor. ALICE A Large Ion Collider Experiment at CERN LHC : global layout. ALICE Collection., Feb 2006.
- [10] G. Aad, et al. The ATLAS Experiment at the CERN Large Hadron Collider. *JINST*, Vol. 3, p. S08003, 2008.
- [11] 平山翔. ATLAS 実験前後方部レベル1 ミューオントリガーシステムの構築と検証. Master's thesis, 東京大学大学院, 2009.
- [12] Joao Pequena. Computer generated image of the ATLAS inner detector. Mar 2008.
- [13] Experiment ATLAS. An instrumentation drawer of the barrel tile calorimeter of the ATLAS experiment. General Photo, Apr 2014.
- [14] ATLAS muon spectrometer: Technical design report. 1997.
- [15] R (SLAC) Bartoldus, C (Marseille CPPM) Bee, D (CERN) Francis, N (RAL) Gee, S (London RHBNC) George, R (Michigan SU) Hauser, R (RAL) Middleton, T (CERN) Pauly, O (KEK) Sasaki, D (Oregon) Strom, R (Roma I) Vari, and S (Roma I) Veneziano. Technical Design Report for the Phase-I Upgrade of the ATLAS TDAQ System. Technical Report CERN-LHCC-2013-018. ATLAS-TDR-023, CERN, Geneva, Sep 2013. Final version presented to December 2013 LHCC.

- [16] 早川俊. LHC シングルビームを用いた ATLAS 実験前後方ミュオントリガーシステムの性能評価. Master's thesis, 神戸大学大学院, 2007.
- [17] 桑原隆志. ATLAS 前後方ミュオントリガーシステムの構築. Master's thesis, 東京大学大学院, 2007.
- [18] 田代拓也. ATLAS 実験における新しいミュオントリガー回路の開発と実装. Master's thesis, 京都大学大学院, 2013.
- [19] 門坂拓哉. ATLAS 前後方ミュオントリガーシステム Sector Logic 及びオンラインソフトウェアの開発. Master's thesis, 神戸大学大学院, 2008.
- [20] O. Sasaki, J. Andresen, H. Gonzalez, M. Nomachi, and E. Barsotti. Testing of the hp g-link chip set for an event builder application. *Nuclear Science, IEEE Transactions on*, Vol. 42, No. 4, pp. 882–886, Aug 1995.
- [21] H.C. van der Bij, R.A. McLaren, O. Boyle, and G. Rubin. S-link, a data link interface specification for the lhc era. *Nuclear Science, IEEE Transactions on*, Vol. 44, No. 3, pp. 398–402, Jun 1997.
- [22] W Buttinger, A Daniells, R Hickling, and G Anders. Performance of the ATLAS Level-1 Trigger System in 2011/12. Technical Report ATL-COM-DAQ-2012-033, CERN, Geneva, May 2012.
- [23] Yu Suzuki. *Upgrade of the ATLAS Level-1 Muon Trigger for the High Luminosity LHC*. PhD thesis, SOKENDAI, 2013.
- [24] 大谷育生. ATLAS ミュオントリガーシステムのアップグレードに向けたギガビット通信を用いたデータ収集系の検証 及び 読み出しプロトタイプの開発. Master's thesis, 東京大学大学院, 2009.
- [25] 佐々木修. Muon Endcap Trigger in Phase I New Sector Logic Board. 2013.
- [26] T. Uchida. Hardware-based tcp processor for gigabit ethernet. *Nuclear Science, IEEE Transactions on*, Vol. 55, No. 3, pp. 1631–1637, June 2008.
- [27] XILINX. 7 Series FPGAs GTX/GTH Transceivers User Guide. 2014.
- [28] 加藤千曲. ATLAS 実験のための新しいミュオントリガー装置の研究開発. Master's thesis, 東京大学大学院, 2014.
- [29] XILINX. 7 シリーズ GTX トランシーバー - TX および RX のレイテンシ値. <http://japan.xilinx.com/support/answers/42662.html>.
- [30] 浦野祐作. LHC-ATLAS 実験レベル 1 ミュオントリガーのためのデータ収集システムのアップグレード. Master's thesis, 東京大学大学院, 2015.
- [31] 野本裕史. Star Switch Spec. 2005.
- [32] Readout Data Format ver.2010.02.05. https://twiki.cern.ch/twiki/pub/Main/TgcDocument/SL_ReadOut_Matrix_20100205.pdf.

- [33] 鈴木翔太. LHC-ATLAS 実験における Thin Gap Chamber での TTC System の評価と RUN3 に向けた TTC signal readout module の開発. Master's thesis, 総合研究大学院大学, 2015.