

修士学位論文

ATLAS 前後方ミュオントリガーシステムのアップグレードに向けた
読み出し系システムインフラストラクチャの研究開発

東京大学大学院理学系研究科 物理学専攻
素粒子物理国際研究センター 坂本研究室
神谷 隆之

2011年2月8日

概要

2009年11月に本格的な稼働を始めた CERN の LHC は、2010年3月に世界最高の重心エネルギー 7 TeV での衝突を実現し、2010年12月までに $2.1 \times 10^{32} \text{ cm}^{-2} \text{ s}^{-1}$ のピークルミノシティ、 45 pb^{-1} の積分ルミノシティを達成した。これにより、 W ボソンや Z ボソン、 t クォーク等の粒子が再発見され、その精密測定がなされるなどの成果が既に報告されている。今後も Higgs 粒子や標準模型を超える粒子を探索するために継続して実験は行われる予定であり、2011年中には積分ルミノシティ 1 fb^{-1} を目指している。

その中で我々が関わっている ATLAS 検出器も順調に稼働しているが、今後の物理のパフォーマンスの向上のためにも LHC のアップグレードが予定されており、それに伴い ATLAS のエレクトロニクスシステムもアップグレードが必要となっている。

私はその中で、エレクトロニクスシステムのアップグレードのための基幹システムの開発に携わった。具体的には放射線環境下の汎用実験装置制御系の開発と、ATLAS 実験のデータ読み出し回路アップグレード版の研究開発のためのプロトタイプモジュールの開発である。

本論文では、以上の研究開発について述べる。

目次

第1章	はじめに	11
1.1	素粒子物理学の現状	11
1.2	LHC の現状	11
1.3	LHC の今後	12
1.4	LHC のアップグレード計画	13
1.4.1	衝突点付近の四重極収束磁石の増強	14
1.4.2	クラブ空洞	14
1.4.3	高ルミノシティの影響	14
1.5	ATLAS 検出器のアップグレード	15
1.5.1	ミュオントリガーシステムのエレクトロニクスのアップグレード	16
1.6	開発計画	17
第2章	ATLAS アップグレード研究開発のための汎用制御系の開発	18
2.1	序論	18
2.1.1	要請	18
2.1.2	開発方針	19
2.1.3	開発の概要	19
2.2	ATLAS で用いられている放射線耐性を持つ制御系	20
2.2.1	HSC (High- p_T Star-Switch Controller)	20
2.2.2	CCI (Control Configuration Interface)	23
2.2.3	G-Link インターフェース	24
2.3	汎用制御系の開発	25
2.3.1	RTC (Radiation Tolerant Controller)	25
2.3.2	PCI-CCI (PCI Control Configuration Interface)	26
2.4	PCI-CCI と RTC の通信方法	29
2.4.1	通信に用いるレジスタ	29
2.4.2	通信に用いるインストラクション	30
2.5	PCI-CCI と RTC の動作テスト	33
2.5.1	PCI-CCI の動作テスト	33
2.5.2	PCI-CCI と RTC との通信テスト	36
2.6	結論	39
第3章	ATLAS TGC システム読み出し回路のアップグレードのためのプロトタイプ用汎用モジュールの開発	40
3.1	序論	40
3.1.1	ROD について	40

3.2	ROD のアップグレード計画	41
3.2.1	アップグレード後の ROD にかかる負担	42
3.2.2	新 ROD への要請	42
3.3	ROD に新たに導入する技術	43
3.3.1	MicroBlaze	44
3.3.2	SiTCP	45
3.3.3	Rocket IO GTP	47
3.4	新 ROD の開発計画	49
3.4.1	FPGA 評価ボードを用いた Rocket IO GTP の評価	50
3.5	ROD 開発用プロトタイプ PT6 (ProtoType 6) の開発	52
3.6	PT6 の機能	54
3.6.1	VME バス	54
3.6.2	FPGA	54
3.6.3	CPLD	54
3.6.4	Rocket IO GTP のインターフェース	57
3.6.5	ギガビットイーサネットのインターフェース	57
3.6.6	外部メモリ	57
3.6.7	Mezzanine Card	59
3.6.8	RS232	59
3.6.9	NIM 入出力	60
3.6.10	クロック	60
3.7	PT6 のアドレス空間	60
3.7.1	DPM のアドレス空間	60
3.7.2	FPGA のアドレス空間	60
3.7.3	CPLD のアドレス空間	61
3.8	PT6 の動作テスト	61
3.8.1	VME 制御のテスト	61
3.8.2	Rocket IO GTP の動作テスト	62
3.8.3	SiTCP によるギガビットイーサネットの動作テスト	66
3.8.4	MicroBlaze と RS232 出力の動作テスト	68
3.8.5	NIM 入出力のテスト	69
3.8.6	Mezzanine Card のテスト	70
3.8.7	DPM (Dual Port Memory) のテスト	71
3.8.8	SDRAM のテスト	72
3.8.9	SPI Flash Memory のテスト	74
3.9	結論	75
第 4 章 おわりに		76
付 録 A LHC 加速器		77
A.1	LHC で行われている 4 つの実験	77
A.1.1	ATLAS 実験	78
A.1.2	CMS 実験	78

A.1.3	LHCb 実験	78
A.1.4	ALICE 実験	79
A.2	ATLAS 実験の目指す物理	80
A.2.1	Higgs の質量	80
A.2.2	Higgs 粒子生成過程	80
A.2.3	Higgs 粒子の崩壊過程	82
A.2.4	ATLAS 検出器の Higgs 発見能力	83
付録 B	ATLAS 検出器	85
B.1	内部飛跡検出器	86
B.1.1	Pixel 検出器	86
B.1.2	SCT (Semi-Conductor Tracker)	86
B.1.3	TRT (Transition Radiation Tracker)	86
B.2	カロリメータ	87
B.2.1	電磁カロリメータ	87
B.2.2	ハドロンカロリメータ	88
B.3	マグネット	88
B.3.1	ソレノイド磁石	88
B.3.2	トロイド磁石	89
B.4	ミュオンスペクトロメータ	89
B.4.1	MDT (Monitored Drift Tube)	90
B.4.2	CSC (Cathod Strip Chamber)	91
B.4.3	RPC	91
B.4.4	TGC	92
B.5	ATLAS のトリガーと DAQ システム	92
B.5.1	Level 1 Trigger	93
B.5.2	Level 2 Trigger	94
B.5.3	EF (Event Filter)	95
B.5.4	TTC (Timing Trigger and Controll system)	95
付録 C	ミュオントリガーシステム (TGC システム)	96
C.1	TGC の基本構造	96
C.2	TGC の動作原理	97
C.3	TGC の構造	97
C.4	ATLAS における TGC の配置	98
C.5	TGC における p_T 測定の原理	99
C.6	TGC のエレクトロニクスシステム	100
C.6.1	トリガー系	101
C.6.2	リードアウト系	102
C.6.3	コントロール系	102
C.6.4	ASD (Amplifier Shaper Discriminator)	103
C.6.5	PS Board	104
C.6.6	PP (Patch Panel)	105

C.6.7	SLB (Slave Board)	105
C.6.8	JRC (JTAG Routing Controller)	106
C.6.9	DCS (Detector Control System)	107
C.6.10	HPT (High p_T Board)	107
C.6.11	SL (Sector Logic)	108
C.6.12	SSW (Star Switch)	109
C.6.13	ROD (Read Out Driver)	110
C.6.14	HSC (HPT SSW Controller)	110
C.6.15	CCI (Control Configuration Interface)	111
付 録 D 本研究で設計した回路図		112
D.1	PCI-CCI の回路図	113
D.2	RTC の回路図	117
D.3	PT6 の回路図	122

目次

1.1	現在の標準模型に登場する素粒子 [28]	11
1.2	SUSY による力の大統一の可能性 [29]	11
1.3	東大素粒子センターを訪問した CERN の所長 R. Heuer 氏 (中央)	12
1.4	2010 年 3 月の 7 TeV Collision[30]	12
1.5	LHC 加速器の今後の計画 [38]	12
1.6	衝突角度 [38]	13
1.7	クラブ衝突 [38]	14
1.8	5 Collisions ($0.2 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$)[38]	15
1.9	400 Collisions ($10^{35} \text{ cm}^{-2} \text{ s}^{-1}$)[38]	15
1.10	エレクトロニクスシステムのアップグレード	16
2.1	標準 VME バス	18
2.2	PCI バス	18
2.3	ATLAS 実験で用いられている制御系	19
2.4	新たに開発した汎用制御系	19
2.5	CCI と HSC のブロック図 [12]	20
2.6	HSC の写真 [13]	21
2.7	HSC のブロック図	21
2.8	Anti-Fuse FPGA の回路接点の様子 [23]	22
2.9	多数決論理回路	22
2.10	CCI の写真 [13]	23
2.11	CCI のブロック図	23
2.12	G-Link チップセットのブロック図 [21]	24
2.13	RTC の写真	25
2.14	PCI バスの主な信号線 [27]	27
2.15	PCI 評価ボードの写真	28
2.16	PCI 評価ボードの LED を光らせたときの様子	28
2.17	PCI-CCI の写真	29
2.18	PCI-CCI のループバックテストの様子	34
2.19	ループバックテストの結果	34
2.20	ソースコードの自動生成	34
2.21	生成されたソースコード	34
2.22	PCI-CCI の送受信テストの結果	35
2.23	PT5 を用いたテスト	35
2.24	ロジックアナライザによる信号の観察	36
2.25	PCICCI-RTC の通信テスト (WRITE)	37

2.26	PCICCI-RTC の通信テスト (READ)	38
3.1	レベル1 のレート [18]	40
3.2	ROD の概略図	41
3.3	新 ROD の機能のイメージ図	44
3.4	MicroBlaze の使用例	45
3.5	SiTCP の利用方法 [37]	46
3.6	SiTCP のブロック図 [1]	46
3.7	Rocket IO GTP のブロック図 [22]	48
3.8	Spartan6 評価ボード SP605	50
3.9	IBERT によるビットエラーチェック	51
3.10	SMA ケーブルでループバックしている様子	52
3.11	LED 出力の様子	52
3.12	PT6 のブロック図	53
3.13	VME の READ サイクル [26]	55
3.14	VME の WRITE サイクル [26]	56
3.15	HSSDC2	57
3.16	SDRAM のブロック図 [24]	58
3.17	DPM のブロック図 [20]	59
3.18	PT6 の写真	61
3.19	PT6 WRITE	62
3.20	PT6 READ	62
3.21	コアジェネレータ	63
3.22	ラインレート	63
3.23	Rocket IO GTP 送受信テスト	63
3.24	LED で”5”を表示させたときの様子	63
3.25	SMA 変換ボード (表)	64
3.26	SMA 変換ボード (裏)	64
3.27	1.25 Gbps の波形	65
3.28	2.5 Gbps の波形	65
3.29	Spartan6 評価ボードからの Rocket IO GTP のシリアル信号を見た様子	65
3.30	GbE テストの様子	66
3.31	ping コマンドによる通信確認	67
3.32	ソフトウェアによるレジスタの読み書き	67
3.33	1 Gbps で通信しているときの様子	67
3.34	100 Mbps で通信しているときの様子	67
3.35	Xilinx Platform Studio	68
3.36	Hello PT6 と出力するプログラム	68
3.37	RS232 出力ピン	69
3.38	RS232 ケーブルとの接続	69
3.39	Tera Term の出力画面	69
3.40	NIM 出力テスト	70
3.41	NIM 入力テスト	70

3.42	クロックを NIM 出力で直接見たときの様子	70
3.43	NIM 出力のクロックを NIM 入力に入れ, それを再度 NIM 出力に出して見たとき の様子	70
3.44	G-Link Mezzanine Card のテストの概略図	71
3.45	G-Link の Mezzanine Card のテストの写真	71
3.46	DPM テストの概略図	72
3.47	DPM の動作テストの結果	72
3.48	SDRAM テストの概略図	73
3.49	SDRAM コントローラのブロック図 [9]	73
3.50	SDRAM テストの結果 (1)	73
3.51	SDRAM テストの結果 (2)	73
3.52	Universal Scan のスクリーンショット	74
3.53	SPI Flash から読んだデータ	74
A.1	LHC 加速器 [30]	77
A.2	4 つの衝突点と 4 つの実験 [32]	78
A.3	ATLAS[30]	78
A.4	CMS[33]	79
A.5	LHCb[33]	79
A.6	ALICE[33]	79
A.7	ALICE 検出器が観測した鉛イオン同士の衝突 [34]	79
A.8	LEP による制限 [28]	80
A.9	(a) gluon fusion	81
A.10	(b) vector boson fusion	81
A.11	(c) W/Z associate production	81
A.12	(d) top associate production	81
A.13	Higgs 粒子の生成断面積 [30]	83
A.14	Higgs 粒子の崩壊分岐比 [30]	83
A.15	Higgs 粒子の発見能力 (10 fb^{-1})[12]	84
A.16	Higgs 粒子の発見能力 (30 fb^{-1})[12]	84
B.1	ATLAS の概観 [30]	85
B.2	Inner Detector [3]	86
B.3	Pixel Detector [3]	86
B.4	Calorimeter [3]	87
B.5	LAr 電磁カロリメータのバレル部 [3]	87
B.6	Tile Calorimeter の構造 [3]	88
B.7	HEC の構造 [3]	88
B.8	ソレノイド磁石 [3]	89
B.9	トロイド磁石の電磁コイル [3]	89
B.10	ミュオンスペクトロメータの配置 (x-y 平面) [3]	90
B.11	ミュオンスペクトロメータの配置 (r-z 平面) [3]	90
B.12	MDT の構造 [3]	91

B.13 CSC の構造 [3]	91
B.14 RPC の構造 [3]	92
B.15 TGC の構造 [3]	92
B.16 トリガーと DAQ システム [3]	93
B.17 Level 1 Trigger system[3]	94
C.1 TGC の断面図 [3]	96
C.2 タウンゼントなだれのイメージ [11]	97
C.3 TGC の平面図 [13]	98
C.4 TGC のワイヤサポート [13]	98
C.5 TGC の Triplet と Doublet の断面図 [3]	98
C.6 TGC のレイアウト [3]	99
C.7 p_T 測定の原理 [13]	100
C.8 TGC エレクトロニクスシステム [14]	101
C.9 トリガーラインのモジュール構成 [14]	102
C.10 リードアウトラインのモジュール構成 [14]	102
C.11 コントロールラインのモジュール構成 [14]	103
C.12 ASD Board[14]	104
C.13 ASD ASIC のブロック図 [14]	104
C.14 PS Board のブロック図 [14]	104
C.15 PS Board の写真 [14]	104
C.16 PP ASIC のブロック図 [14]	105
C.17 SLB ASIC のブロック図 [14]	105
C.18 デクラスタリングの概念図 [14]	106
C.19 JRC のブロック図 [14]	107
C.20 DCS の写真 [14]	107
C.21 HPT-Strip のブロック図 [14]	108
C.22 HPT-Wire のブロック図 [14]	108
C.23 HPT の写真 [14]	108
C.24 SL のブロック図 [12]	109
C.25 SL の写真 [14]	109
C.26 ゼロサプレスの概念図 [12]	109
C.27 SSW の写真 [14]	110
C.28 ROD の写真 [14]	110
C.29 HSC の写真 [13]	111
C.30 CCI の写真 [13]	111
D.1 PCI-CCI の回路図 1: G-Link Tx Rx Chips, OE/EO Converter	113
D.2 PCI-CCI の回路図 2: FPGA	114
D.3 PCI-CCI の回路図 3: Power, PROM, OSC	115
D.4 PCI-CCI の回路図 4: PCI Connector	116
D.5 RTC の回路図 1: G-Link Tx Rx Chips	117
D.6 RTC の回路図 2: VME-J1	118

D.7 RTC の回路図 3: VME-J2	119
D.8 RTC の回路図 4: FPGA	120
D.9 RTC の回路図 5: Regulators	121
D.10 PT6 の回路図 1: VME Connector	122
D.11 PT6 の回路図 2: Buffer, Comparator	123
D.12 PT6 の回路図 3: CPLD	124
D.13 PT6 の回路図 4: FPGA 1/2	125
D.14 PT6 の回路図 5: FPGA 2/2	126
D.15 PT6 の回路図 6: DPM, Test Pin	127
D.16 PT6 の回路図 7: Mezz Card, Memories	128
D.17 PT6 の回路図 8: MGT	129
D.18 PT6 の回路図 9: GbE	130
D.19 PT6 の回路図 10: Power	131
D.20 PT6 の回路図 11: GND, VCC	132

表 目 次

1.1	ピークルミノシティと積分ルミノシティの関係	13
2.1	CCI の内部レジスタ [25]	24
2.2	setVMEA RTC への指示	31
2.3	setVMEA RTC からの応答	31
2.4	setVMED RTC への指示	32
2.5	setVMED RTC からの応答	32
2.6	configVME RTC への指示	32
2.7	configVME (WRITE) RTC からの応答	33
2.8	configVMED (READ) RTC からの応答	33
3.1	8b10b 変換例	49
3.2	PT6 の部品表	54
3.3	DPM のアドレス空間	60
3.4	FPGA のアドレス空間	60
3.5	CPLD のアドレス空間	61
A.1	LHC の主要パラメータ [5]	77
B.1	ATLAS 実験におけるミュオン検出器の構成	90
C.1	TGC の主要パラメータ [3]	96

第1章 はじめに

1.1 素粒子物理学の現状

現在の素粒子物理学の標準模型は1970年代に提唱され、その後1990年代までに LEP, Tevatron 等の実験の成果によって理論の正しさが高い精度で検証されてきた。LEP の OPAL 実験においてはレプトンの世代が3つであることを決定し、 Z ボソンや W ボソンの質量の精密測定がされた。また Fermi 研究所の Tevatron 加速器では t クォークが発見された。

しかしながら、標準模型において粒子の質量獲得の重要な鍵となる Higgs 粒子は未だ発見されていない (図 1.1)。また、標準模型を超えるような超対称性粒子 (SUSY) も存在の可能性は示唆されているものの未発見である。もし超対称性粒子が発見されれば、多くの物理学者が夢見てきた力の統一が実現できるのではないかと考えられている (図 1.2)。

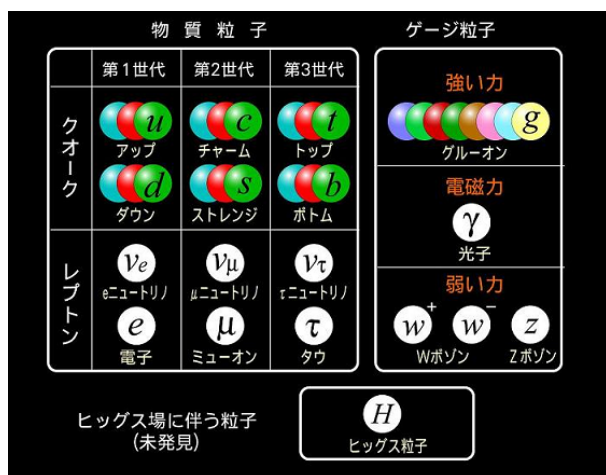


図 1.1: 現在の標準模型に登場する素粒子 [28]

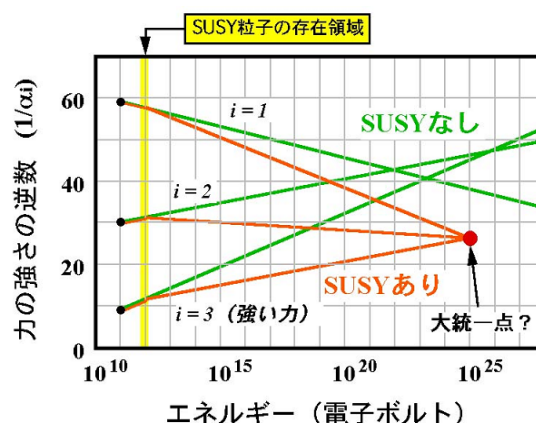


図 1.2: SUSY による力の大統一の可能性 [29]

1.2 LHC の現状

このような素粒子物理学の現状を受け、現在 CERN (欧州原子核研究機構) の LHC 加速器 (付録 A) では Higgs 粒子や超対称性粒子の探索をする実験が行われている。LHC 加速器は2009年秋に本格的に稼働を開始し、2010年3月30日に初めて重心エネルギー 7 TeV での衝突を実現した。なお、その日は CERN 所長の Rolf Heuer 氏が来日していて、衝突の様子を私たち素粒子物理国際研究センターの研究者と共に見守った (図 1.3)。また図 1.4 はその 7 TeV 衝突の様子を ATLAS 検出器がとらえたものである。2010年までに LHC 加速器は $2.1 \times 10^{32} \text{ cm}^{-2} \text{ s}^{-1}$ のピー

クルミノシティ, 45 pb^{-1} の積分ルミノシティを達成し, W ボソンや Z ボソン, t クォークの再発見と精密測定などの成果が既に報告されている.



図 1.3: 東大素粒子センターを訪問した CERN の所長 R. Heuer 氏 (中央)

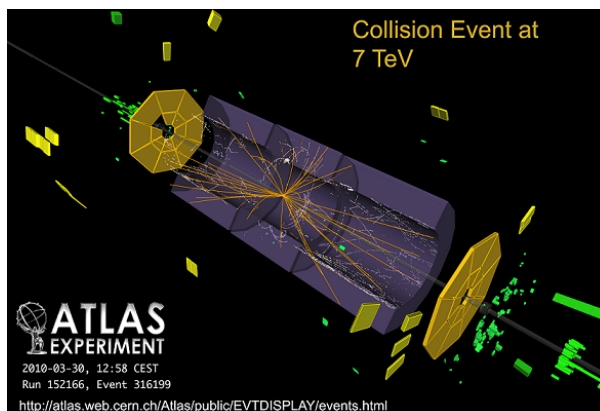


図 1.4: 2010 年 3 月の 7 TeV Collision[30]

1.3 LHC の今後

既に述べたとおり LHC 加速器は 2010 年までに 45 pb^{-1} の積分ルミノシティを達成したが, 今後も継続して稼働を続ける予定であり, 2011 年中には 1 fb^{-1} の積分ルミノシティの達成を目指している. また, 最終的には 2030 年頃までに 3000 fb^{-1} の積分ルミノシティを目指している (図 1.5).

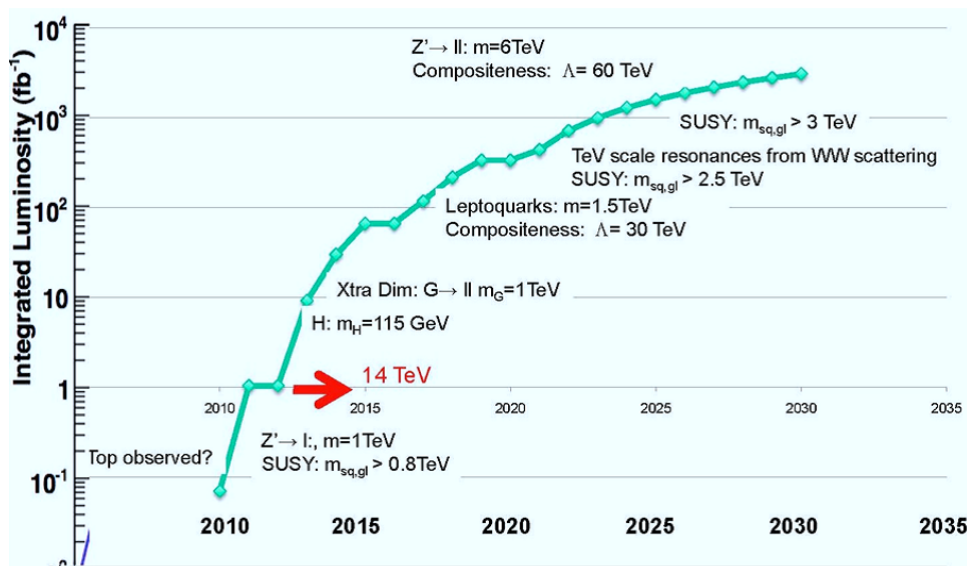


図 1.5: LHC 加速器の今後の計画 [38]

また, LHC 加速器は 2010 年までに $2.1 \times 10^{32} \text{ cm}^{-2}\text{s}^{-1}$ のピークルミノシティを達成したが, これはまだデザインルミノシティの $1/50$ の値でしかなく, 2015 年頃までには設計値の $10^{34} \text{ cm}^{-2}\text{s}^{-1}$ を目指している.

しかし、より効率良くデータを収集するために LHC のデザインルミノシティを $10^{34} \text{ cm}^{-2}\text{s}^{-1}$ から $5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ に上げる計画がなされている。これを HL-LHC (High-Luminosity LHC) 計画という。ルミノシティが大きくなったときに、1 年あたりの積分ルミノシティがどれくらい大きくなるかを、表 1.1 に示す。

ルミノシティ	積分ルミノシティ
$1 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$	$50 \text{ fb}^{-1}/\text{year}$
$2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$	$100 \text{ fb}^{-1}/\text{year}$
$5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$	$300 \text{ fb}^{-1}/\text{year}$

表 1.1: ピークルミノシティと積分ルミノシティの関係

この表によれば、 $5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ のルミノシティであれば 10 年で、目標の 3000 fb^{-1} を達成できる計算になる。

1.4 LHC のアップグレード計画

以上のように LHC 加速器はアップグレードによるルミノシティの向上を目指している。以下にその具体的な方法を述べる。

ルミノシティとは、次の式で定義される。

$$L = \frac{N^2 k_b f}{4\pi\sigma_x\sigma_y} F = \frac{N^2 k_b f \gamma}{4\pi\epsilon_n \beta^*} F \quad (1.1)$$

ここで N は各バンチの中の粒子の個数、 k_b はバンチの数、 f は単位時間に周回する回数、 ϵ_n はエミッタンス、 β^* は衝突点での β 関数である。また F は

$$F = \frac{1}{\sqrt{1 + (\theta_c^2 \sigma_z^2 / 4\pi\sigma_x\sigma_y)}} \quad (1.2)$$

で与えられる衝突角度 (θ_c) の影響ファクターであり、 θ_c は図 1.6 のように与えられる。

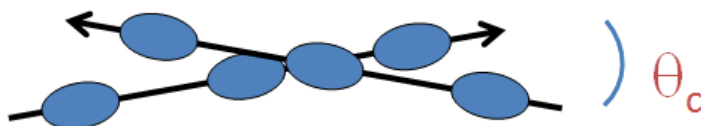


図 1.6: 衝突角度 [38]

LHC のルミノシティの向上は、主に以下の 2 つの方法で研究開発が進められている。

1.4.1 衝突点付近の四重極収束磁石の増強

式 1.2 の β^* を小さくするために、High Gradient, Large Aperture の四重極磁石 ($B = 13 \sim 15$ T) を作ることが計画されている。この四重極磁石を作るためには、現行の LHC で用いられている NbTi では無理であるので、新たな素材として Nb₃Sn や Nb₃Al での開発が進められている。これらの研究開発は米国 LARP (LHC Accelerator Research Program) や CERN, KEK を中心に進められている。

1.4.2 クラブ空洞

クラブ空洞とは KEK で開発された特殊な超伝導空洞で、ビームのバンチを回転させることにより、より高いルミノシティを達成することを目指したものである。バンチの向きを回転させることによって式 1.2 の θ_c を小さくすることにより、 F を大きくすることによって高ルミノシティを実現する (図 1.7)

なお、この技術は日本の KEKB で用いられているものが唯一の実用例である。

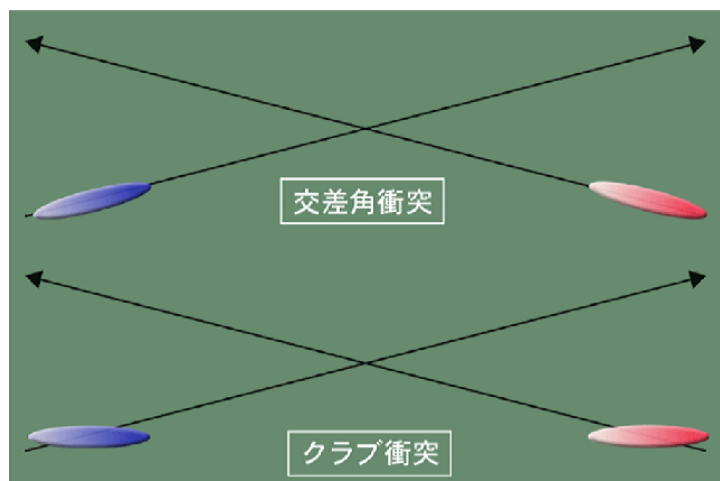


図 1.7: クラブ衝突 [38]

1.4.3 高ルミノシティの影響

ルミノシティが大きくなると、まず単純に一回のバンチ衝突あたりで反応する陽子の数が多くなる。図 1.8 は $0.2 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ のルミノシティでの衝突の様子をシミュレートしたものであるが、この場合、一回のバンチ衝突あたりで発生する陽子衝突は平均 5 回である。それに対して図 1.9 は $10^{35} \text{ cm}^{-2} \text{ s}^{-1}$ のルミノシティでの衝突の様子であるが、平均的に起こる陽子衝突は 400 回にもなる。このように、目で見てとれるほどの変化が現れる。

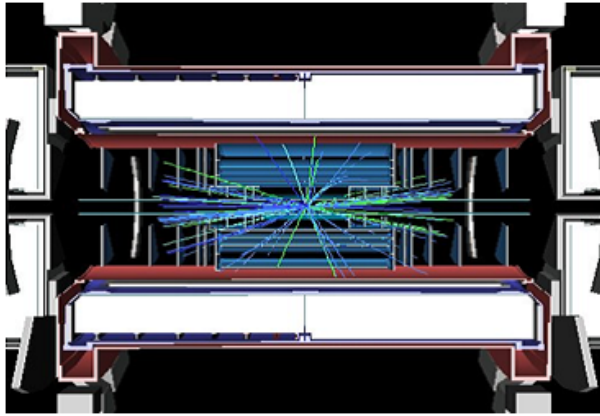


図 1.8: 5 Collisions ($0.2 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$)[38]

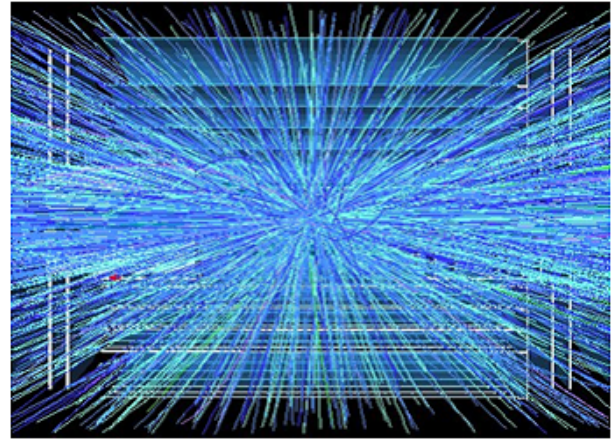


図 1.9: 400 Collisions ($10^{35} \text{ cm}^{-2}\text{s}^{-1}$)[38]

もちろんピーク루미ノシティが上がれば積分루미ノシティが溜まるのも早くなり、早いうちに成果を上げることができる。そのため루미ノシティを上げるための議論は昔からされてきて、2009年頃までは $10^{35} \text{ cm}^{-2}\text{s}^{-1}$ まで上げることが検討されていた。

しかし最近では、半分の $5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ に修正されている。これは以下の理由によるものである。

- ルミノシティが高いほど、Event Overlap が激しくなる
- ルミノシティが上がると、ビームの寿命が短くなる

루미ノシティの増加をもたらすのは良いことばかりではない。まず1つ目は一回の衝突で発生するイベントが多数重なってしまうので解析や測定機開発の難易度が上がってしまう。また、ビームの寿命が短くなってしまうので、積分루미ノシティを考えたときにビームの入射時間も無視できなくなってきてしまう。

結局のところ重要なのは積分루미ノシティであってピーク루미ノシティではないので、現在は $5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ の方向で検討されている。

1.5 ATLAS 検出器のアップグレード

本論文のテーマでもある ATLAS 検出器 (付録 B) のアップグレードも、以下の二つの理由から必要不可欠となっている。

- 放射線損傷による測定器および加速器のパーツの寿命
- LHC のアップグレードに伴う高루미ノシティに対応できる測定器への改善

加速器のパーツや核実験の検出器の一部は数 100 fb^{-1} くらいで放射線損傷による劣化が出てくるため交換が必要となっている。特にシリコントラッカーや Inner Triplet Magnet などは5年程度で寿命がきてしまう。

また、高루미ノシティによって一回の衝突あたりのイベント数が増えることで単位時間あたりに処理しなければならない情報量が増え、従来のエレクトロニクスシステムでは処理しきれないということが懸念されている。そのため新たなトリガスキームの開発や、新たなエレクトロニクスシステムの開発が必要となっている。

1.5.1 ミューオントリガーシステムのエレクトロニクスアップグレード

以上のように ATLAS 検出器全体でエレクトロニクスシステムのアップグレードが必要となっているが、私は主にミューオントリガーシステムに関する部分に携わった。

LHC での Higgs 粒子探索において、興味のある物理過程の終状態の多くにレプトンを含むことがわかっているので、バックグラウンドとシグナルイベントを区別する際にはレプトンを利用したトリガーは大変有効である。また、そのレプトンの中でも特にミューオンは長寿命でかつ透過力も高いため測定が容易であり、高 p_T ミューオンをトリガーに用いることによってバックグラウンドイベントを効率的に落とすことが可能である。ATLAS 実験においてもこの方法が用いられている。

ATLAS においては 40 MHz という高頻度で衝突が起こるため、興味のあるイベント選別を全てソフトウェア上で計算していたのでは間に合わず、ATLAS では Level 1 のトリガー（付録 B.5）はハードウェアによって行っている。

LHC のルミノシティが増加するとイベントレートもそれに伴って増加し、Level 1 トリガーレートも増加するため、そのトリガーレートに耐えうるような新たなエレクトロニクスシステムの開発が迫られている。

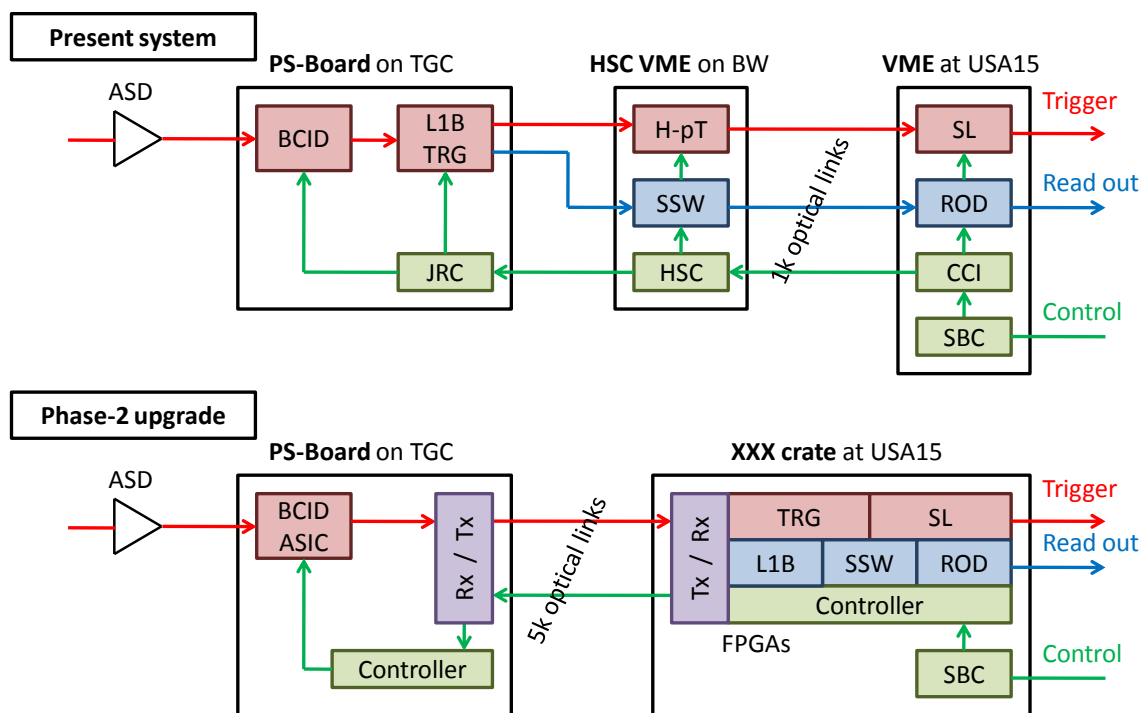


図 1.10: エレクトロニクスシステムのアップグレード

図 1.10 は ATLAS の ミューオントリガーシステムのエレクトロニクスアップグレードを表した図である。上の図は従来のシステムであり、下の図がアップグレード後のシステムの様子の一つの案である。従来のシステムではそれぞれの機能を持ったモジュールが複数個あったが、近年の集積回路の高集積化・高密度化に伴い、新しいシステムでは複数のモジュールを一つにまとめてコンパクトにするなどの案が出されている。

1.6 開発計画

HL-LHC 計画は 2020 年頃からを予定しているため、エレクトロニクスもそれまでに取り付けられていなければならない。そのためには 2015 年頃から建設を開始しなければならず、そのための研究開発は今から開始する必要がある。

新たなエレクトロニクスを研究開発するには、その開発環境を整えることがまず第一である。私は以下の 2 つの開発により、新システム研究開発のための基盤を整えた。

- テストベンチ用汎用制御系の開発
- 新システムプロトタイプ用汎用モジュールの開発

まず私は、新たなエレクトロニクスを開発するテストベンチで用いるための制御系を開発した。これは ATLAS で既に使われている制御系をもとにして開発したものであり、他の実験にも使用可能な汎用制御系である。この開発については第 2 章で述べる。

次に、新たなエレクトロニクスを開発するためのプロトタイプ用汎用モジュールを開発した。この汎用モジュールを用いることによって様々なテストベンチを構成でき、新たなエレクトロニクスの仕様を決めたり、動作テストを行うことができる。この開発については第 3 章で述べる。

これらの開発基盤を整えることで、ATLAS アップグレード用エレクトロニクスを開発するための第一歩を踏み出すことができた。以下の章で、それぞれについて詳しく述べる。

第2章 ATLAS アップグレード研究開発のための汎用制御系の開発

2.1 序論

ATLAS エレクトロニクスのアップグレードの研究開発をする際にはまずその研究開発の基盤としてのテストベンチが必要となるが、そのテストベンチを制御するための制御系がまず第一に必要なとなる。

この章では、その ATLAS アップグレード研究開発のテストベンチに用いることができる汎用制御系の開発について述べる。

2.1.1 要請

汎用制御系の開発の際には、まず標準規格を用いていることが要請される。これは特殊なバス、あまり広く普及していない規格を使用すると、それを用いるためだけに特殊な機器を調達しなければならないになってしまうためである。

今回の開発では高エネルギー実験などで広く普及している 6U-VME バス (図 2.1) と、コンピュータ拡張用スロットである PCI バス (図 2.2) を用いることにし、VME-PCI 間の通信による制御システムを開発した。



図 2.1: 標準 VME バス

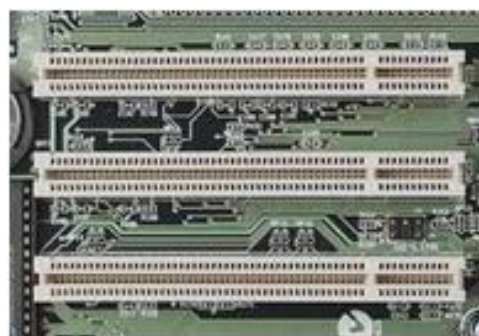


図 2.2: PCI バス

また、開発する制御系には放射線耐性が求められる。これはこの制御系が例えば将来ビームテストをする際にも用いることができるようにするためである。また放射線耐性を持たせることにより他の放射線実験にも応用可能な汎用制御系とすることができる。

2.1.2 開発方針

汎用制御系の開発の方針であるが、まず過去のシステムの再利用を考える。これは過去のシステムは既に動作が保証されていることに加え、搭載チップの放射線耐性テストが既に行われているためである。このように既存のシステムを流用することによって開発期間を大幅に短縮することができる。

その具体的な過去のシステムというのは ATLAS 実験で実際に用いられている制御系であるが、このシステムから ATLAS 実験に特化した部分を取り払い、標準機能のみを実装することにする。これは ATLAS 実験で用いられている制御系はあまり広く普及していない規格が用いられているためでもある。テストベンチ用汎用制御系という目的であれば標準機能だけで十分であり、標準規格に変更することによって、このシステムを用いる際の手間やコストを抑えることができる。

2.1.3 開発の概要

図 2.3 が現在 ATLAS で用いられている制御系の概略図である。カウンティングルームに置かれた VME クレートのマスターモジュールに外部からログインしてスレーブモジュールである CCI (Control Configuration Interface) を操作し、光ファイバーによる遠隔コントロールで実験ホール内の VME マスターモジュールである HSC (High- p_T Star-Switch Controller) に命令を与える。

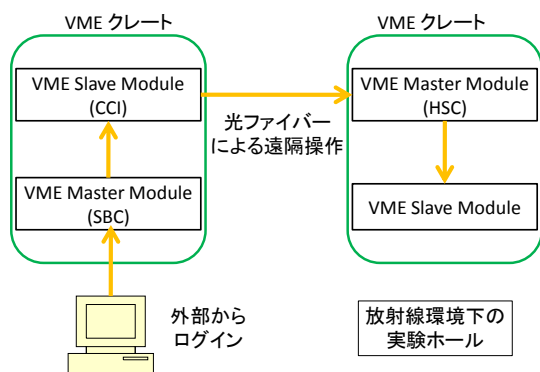


図 2.3: ATLAS 実験で用いられている制御系

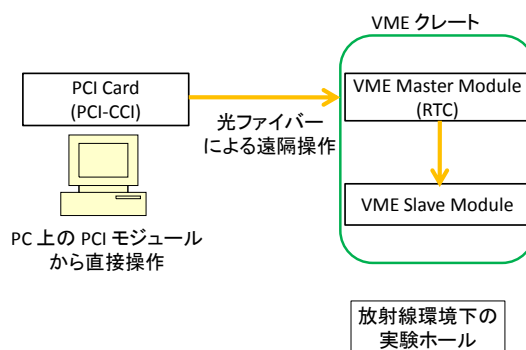


図 2.4: 新たに開発した汎用制御系

ATLAS 実験では実験ホールだけでなくカウンティングルームにも VME クレートが置かれているという点と ATLAS 実験に特化した拡張機能を持ち合わせているという点、また 9U サイズの VME モジュールという、あまり広く普及していないサイズのモジュールを用いている点で、このシステムをテストベンチ用汎用制御系として使用する際には実用的ではない。

ATLAS アップグレード用研究開発のテストベンチ用として開発する新たな汎用制御系では ATLAS カウンティングルーム用の VME クレートを取り去り、PCI¹カードに CCI の機能をもたせることによって VME マスターモジュールと直接通信できるようにする。また 9U サイズのモジュールから ATLAS に特化した機能を外し、6U サイズのモジュールとすることで汎用性を持たせる。図 2.4 がそのシステムの概略図である。以下ではこれらの開発の詳細を述べる。

¹Peripheral Component Interconnect: コンピュータ用拡張バスアーキテクチャ

2.2 ATLAS で用いられている放射線耐性を持つ制御系

多くの高エネルギー素粒子物理学実験において放射線の問題は避けて通れない。計測システムに搭載されている半導体は放射線による影響を受けてしまうため、実験ホール内に置かれる装置には放射線耐性が求められる。また、一度実験が始まってしまうと放射線の発生する実験ホールには人間は立ち入ることができないため、外部から遠隔コントロールするシステムが必要不可欠である。

ATLAS 前後方ミュオントリガーシステムでは放射線環境下の実験ホール内に VME クレートが置かれ、放射線耐性を持ったモジュールが取り付けられている。その実験ホール内のモジュールをコントロールするために、外部から光ファイバー経由で VME クレート内部のモジュールを遠隔操作できるようなシステムが用いられている。

そのシステムは HSC と CCI から構成され、両者は光ファイバーで接続されて通信ができるようになっている。図 2.5 にそのブロック図を載せる。以下でそれぞれの詳細を述べる。

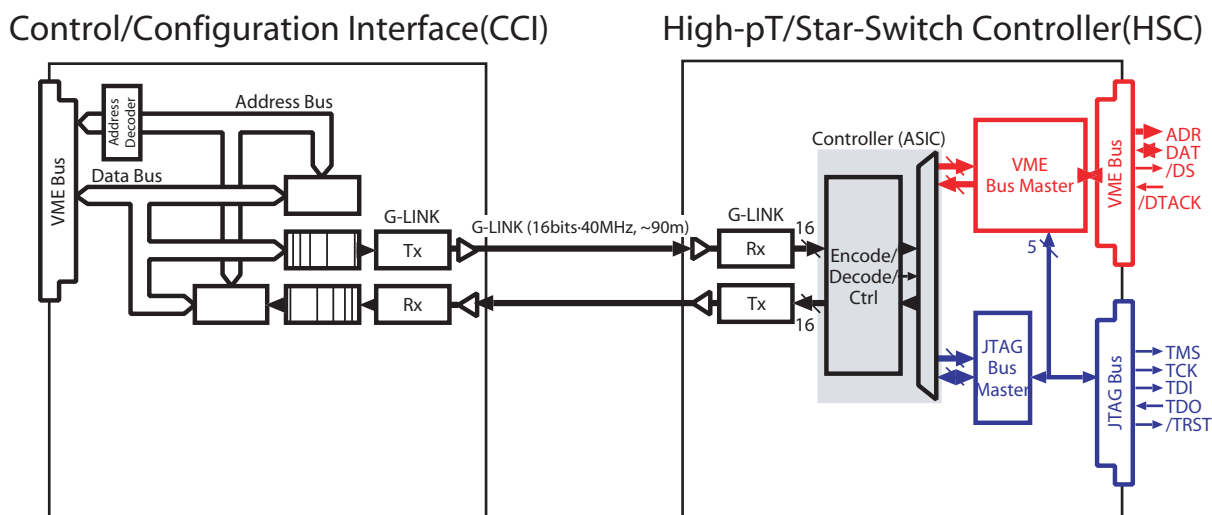


図 2.5: CCI と HSC のブロック図 [12]

2.2.1 HSC (High- p_T Star-Switch Controller)

HSC は 9U サイズの VME マスターモジュールであり、同じクレート内にある VME スレーブモジュールのコントロールを行う。図 2.6 に HSC の写真を、図 2.7 に HSC のブロック図を載せる。ATLAS 実験で実際に制御しているスレーブモジュールは HPT (High- p_T Board), SSW (Star Switch) であり、SSW は J3 コネクタの JTAG² 拡張機能を持っていて、さらにフロントエンドにあるモジュールの制御ができるようになっている。

HSC のフロントパネルには G-Link³ で CCI と通信をするための光ファイバーコネクタと ATLAS 実験におけるタイミング関連のシグナルである TTC (Timing Trigger and Control: 付

²Joint Test Action Group: 集積回路や基板の検査、デバッグなどに用いる、バウンダリスキャンテストやテストアクセスポートの標準

³ATLAS で用いられている光通信の規格

録 B.5.4) の信号を受け取るための RJ45 コネクタを搭載している。

また, HSC は放射線環境下の ATLAS の実験ホール内に置かれるため放射線耐性を持つ。

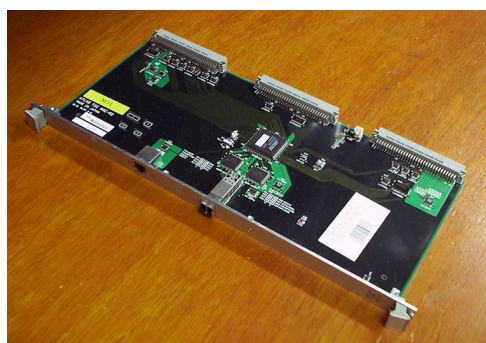


図 2.6: HSC の写真 [13]

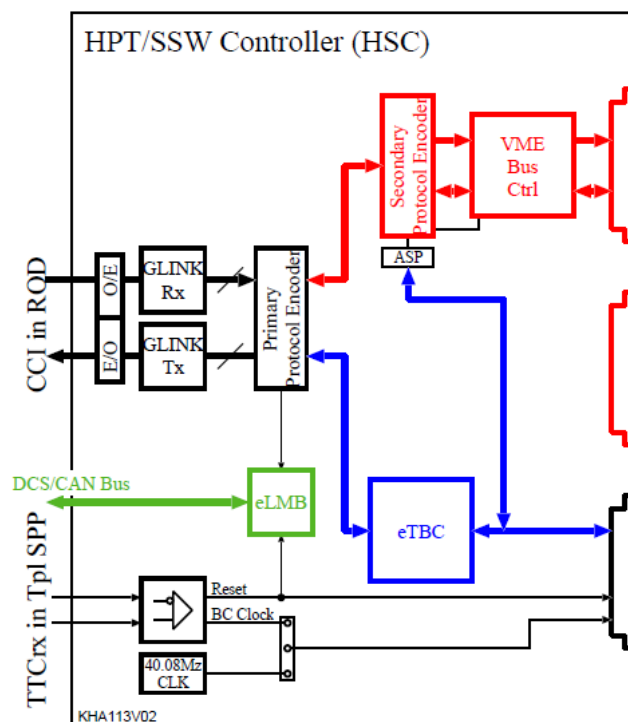


図 2.7: HSC のブロック図

HSC の放射線耐性

HSC では放射線耐性を持たせるために Anti-Fuse FPGA が用いられている。Anti-Fuse FPGA は, FPGA⁴ の中でも回路の接点がヒューズになっているもので, ヒューズを焼き切ることで回路を形成するので書き込みは一回しかできないが, その代わりに放射線に強い (図 2.8)。普通の FPGA や CPLD⁵ は放射線の影響を受けやすく, ASIC⁶ は放射線耐性はあるが製作の時間とコストがかかりすぎる。このため, Anti-Fuse FPGA が採用された。

⁴Field-Programmable Gate Array: 使用者が自由に構成を設定できる集積回路。コンフィギュレーションデザインは揮発性。

⁵Complex Programmable Logic Device: FPGA と同じくプログラマブルな集積回路だが, コンフィギュレーションメモリは不揮発。

⁶Application Specific Integrated Circuit: 特定の用途向けに複数機能の回路を 1 つにまとめた集積回路

放射線が FPGA や CPLD などの半導体デバイスに及ぼす影響としては以下のようなものが挙げられる。

蓄積効果 (TID: Total Ionizing Doze)

放射線によって生成される電子・ホール対による蓄積ダメージの結果としてリーク電流の増加やトランジスタ動作速度の低下がもたらされる現象。消費電流の増加が起こり、最終的にそのデバイスは動作しなくなる。

確率的現象 (SEE: Single Event Effect)

荷電粒子が局所的に発生させる電子・ホール対によって引き起こされる確率的現象。さらに SEU (Single Event Upset) と SEL (Single Event Latch-up) に区別される。SEU はレジスタやメモリのビット反転が起こる現象で、SEL はラッチアップ⁷してしまう現象である。

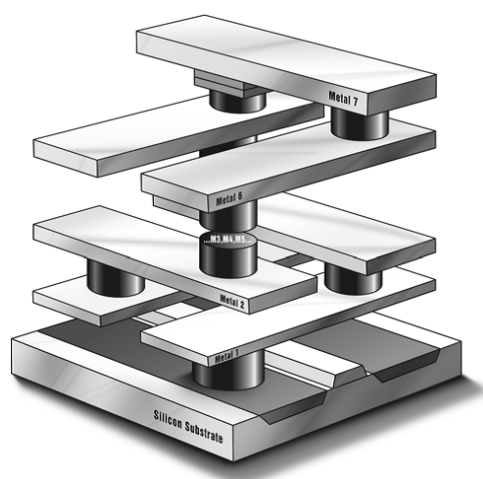


図 2.8: Anti-Fuse FPGA の回路接点の様子 [23]

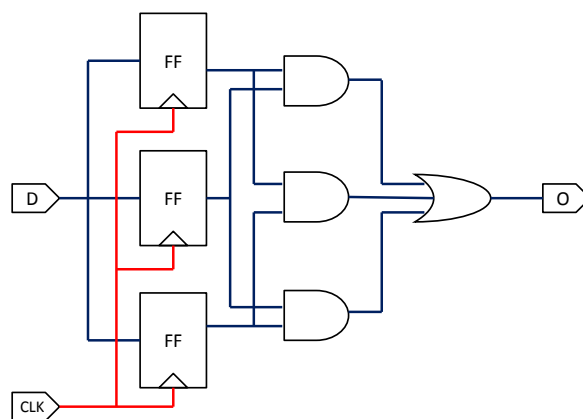


図 2.9: 多数決論理回路

HSC に使われている半導体デバイスの放射線耐性を検査する試験は 2004 年に東北大学の CYRIC にて行われた。検査されたデバイスは Actel 社の Anti-Fuse FPGA と G-Link Tx/Rx チップセット、OE/EO コンバータ⁸である。各デバイスに対し、70 MeV の陽子ビームを照射して検査が行われた [2]。

その結果、Anti-Fuse FPGA は TID に対しては 100 krad まで耐えられることがわかった。ATLAS で予測されている放射線量は 10 年間で 24 krad と見積もられているので、これは十分安全であると言える。また SEL は観測されず、SEU の断面積も $1.5 \times 10^{-15} \text{ cm}^2/\text{bit}$ 以下という結果を得た。同様に G-Link Tx/Rx チップ、OE/EO コンバータも放射線環境下で使用できることが確認できた。

また Anti-Fuse FPGA は放射線耐性のあるデバイスであるが、そのロジック内部にはレジスタ (Flip Flop) 等の記憶素子が作られるため、その Flip Flop が SEU の影響を受ける可能性がある。

⁷常に電流が流れる状態

⁸Opto-Electro/Electro-Opto Converter: 光信号と電気信号の変換器

その対策として, Flip Flop を1つ使うところを3つ使ってその多数決を採るといふ多数決論理回路が用いられている (図 2.9). これによつて, 1つの Flip Flop が影響を受けたとしても他の2つの Flip Flop によつて正しい値を保持することができる.

以上のように HSC は, Anti-Fuse FPGA を用いている点と多数決論理回路を用いている点で, 放射線耐性に優れたモジュールとなっている.

2.2.2 CCI (Control Configuration Interface)

CCI は ATLAS 実験でカウンティングルーム内に置かれる VME スレーブモジュールで, 光ファイバー経由の遠隔操作で HSC の制御を行う. 図 2.10 が CCI の写真で, 図 2.11 は CCI のブロック図である.

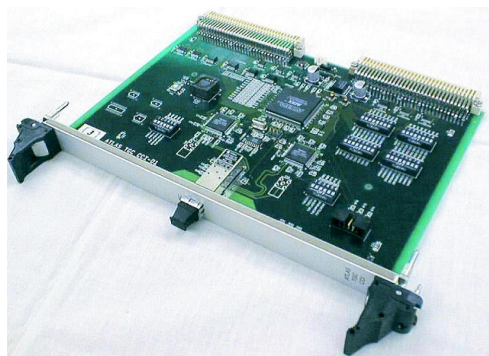


図 2.10: CCI の写真 [13]

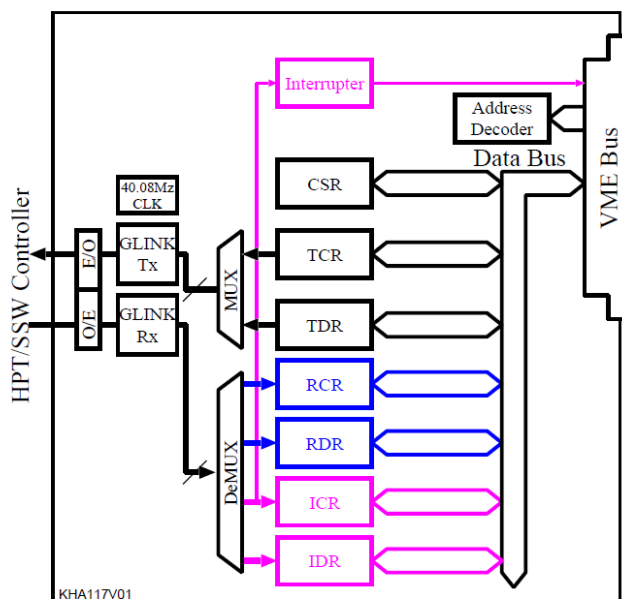


図 2.11: CCI のブロック図

CCI は内部に 7 つのレジスタを持つ。表 2.1 にその機能をまとめる。

CSR	Control/Status Register	HSC/CCI のコントロール・ステータス用レジスタ
TCR	Tx Control-Word Register	コントロールワード送信用レジスタ
TDR	Tx Data-Word Register	データワード送信用レジスタ
RCR	Rx Control-Word Register	コントロールワード受信用レジスタ
RDR	Rx Data-Word Register	データワード受信用レジスタ
VICR	VME Interrupt Ctrl Register	VME 割り込みレベル受信レジスタ
VIDR	VME Interrupt Status/ID Register	VME 割り込み ID 受信レジスタ

表 2.1: CCI の内部レジスタ [25]

CCI が取り付けられる VME クレートのマスターモジュールは SBC⁹ である。SBC はイーサネットのインターフェースを搭載し、LAN に接続しているためユーザーは外部の PC から SBC 内のシステムにログインして VME バス経由で CCI 内のレジスタを読み書きすることができる。CCI 内のレジスタの値の制御によって CCI は HSC と通信が可能になっている。

2.2.3 G-Link インターフェース

G-Link は光ファイバーを使用したシリアル通信規格である。基本的に 16 bit のデータ幅でコントロールワードもしくはデータワードを送受信する。Agilent 社の HDMP-1032/1034 というチップセットを用いてパラレル/シリアル変換を行う。

HDMP-1032/1034 のブロック図を図 2.12 に載せる。

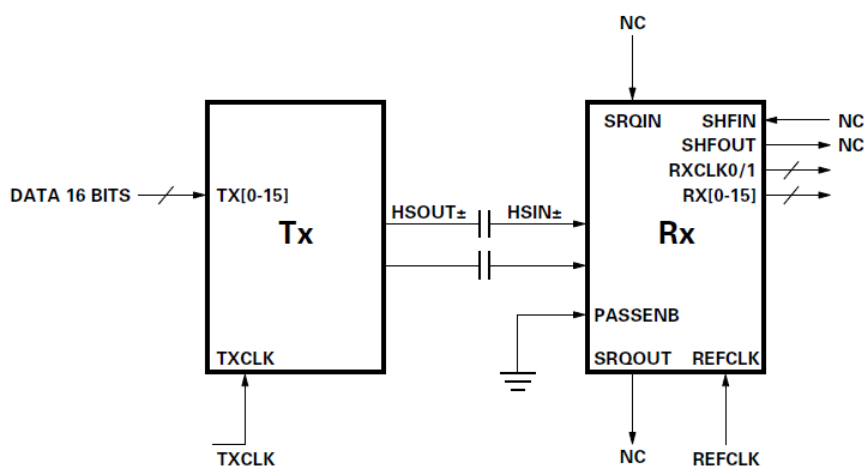


図 2.12: G-Link チップセットのブロック図 [21]

⁹Single Board Computer: VME モジュール上に載ったコンピュータ。VME バスの制御が可能。

Tx のチップにパラレル 16 bit のデータを入力すると, HSOUT という信号名のシリアル信号に変換される. このシリアル信号は V23818-k305 という OE/EO コンバータで光信号に変換されて光ファイバーで送信される. その後別のボードで受信されて, また OE/EO で電気信号に変換された後 Rx チップでパラレル 16 bit のデータに変換される. データにはコントロールワードとデータワードの 2 種類があり, それぞれ Tx 側の TXCNTL, TXDATA という信号線によって操作する. 受信したデータがコントロールワードであるかデータワードであるかは, Rx 側の RXCNTL, RXDATA という信号線によってそれぞれ示される.

2.3 汎用制御系の開発

私は以上に述べた ATLAS 前後方ミューオントリガーシステムで用いられている制御系をもとにして, ATLAS アップグレード用研究開発のテストベンチに用いることができるような汎用制御系の開発を行った.

その制御系は放射線耐性を持つ VME マスターモジュールである RTC (Radiation Tolerant Controller) と, それを光ファイバー経由で遠隔操作する PCI カード (PCI-CCI) から構成される. 以下にそれぞれの詳細について述べる.

2.3.1 RTC (Radiation Tolerant Controller)

RTC は, 9U サイズである HSC から ATLAS 実験に特化した JTAG の拡張機能を削除した 6U サイズの VME モジュールである. ATLAS では 9U サイズの VME モジュールが用いられているが, 大型実験以外では 6U サイズの VME モジュールの方が主流である. このため 6U サイズにすることで汎用性の高いモジュールにすることができる.

図 2.13 に作成した RTC の写真を載せる. また付録 D.2 に RTC の回路図を掲載する.

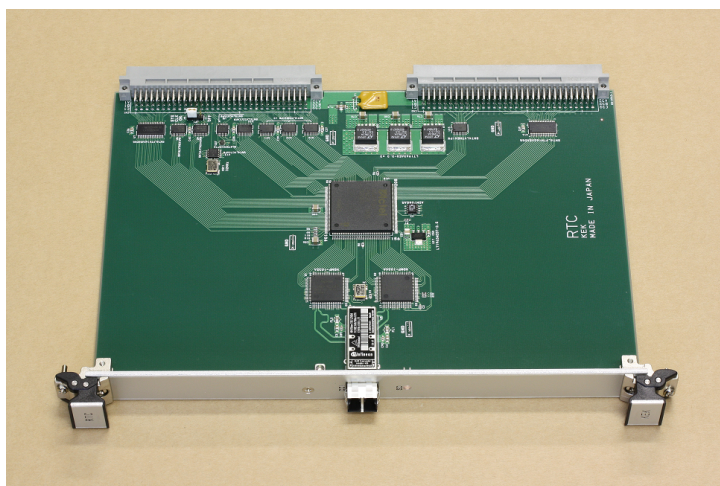


図 2.13: RTC の写真

また RTC も HSC と同じく放射線環境下の実験ホール内に設置されることを想定しているため放射線耐性がもとめられるが、HSC 製作のときに試験された Anti-Fuse FPGA, G-Link チップセット, OE/EO コンバータを搭載しているため、HSC と変わらない放射線耐性を持つ。

FPGA に実装するデザインも HSC のものと同じ物を使っているため機能としてはほとんど HSC と同じであり、HSC と同じ通信プロトコルによる通信が可能である。

2.3.2 PCI-CCI (PCI Control Configuration Interface)

PCI-CCI は、ATLAS 実験で用いられている CCI の機能はそのまま、VME モジュールから PCI¹⁰カードに変更したものである。これにより、SBC を介さずに直接 VME マスターモジュール (RTC) との通信が可能となる。そのためカウンティングルーム側の VME クレートが1つ不要になるほか、通信にかかる時間も短縮することが出来る。RTC と通信するための光ファイバーのデバイス等は 以前の CCI と同じ物を使用する。また、PCI-CCI が使われるマシンの環境としては、高エネルギー物理の分野で使用される機会の多い Linux OS を想定してドライバの開発を行った。なお、ドライバの開発には後述の WinDriver を使用した。

WinDriver

WinDriver は JUNGO 社製の ドライバ開発ツールである。Windows, Windows CE, Mac, Linux, Solaris 等の OS に対応し、USB, PCI, PCI Express, CardBus, ISA 等のドライバの開発が可能である。WinDriver を用いると、開発者は OS の内部構造やカーネルの知識なしにドライバの開発をすることができ、開発期間を短縮することができる。

WinDriver はドライバのソースコードを自動生成してくれるだけでなく、開発中のハードウェアの簡単なレジスタの読み書きも WinDriver 上の GUI で行うことができる。

PCI バス

PCI バスは 32 bit または 64 bit のバス幅を持ち、33 MHz または 66 MHz のバスクロックで動作する。VME バスは非同期バスであるのに対し、PCI バスではほとんどの信号線がバスクロックに同期して動作する同期バスである。また、VME バスではアドレスとデータの信号線はばらばらであるのに対し PCI バスではアドレスとデータを同じ線 (AD: 図 2.14) で時分割してデータ転送を行う。また、PCI バスには PC からアクセスできる領域として、最大 4 GB のアドレス空間と 64 kB の I/O 空間とコンフィギュレーション空間がある。

¹⁰Peripheral Component Interconnect: コンピュータ用拡張バスアーキテクチャ

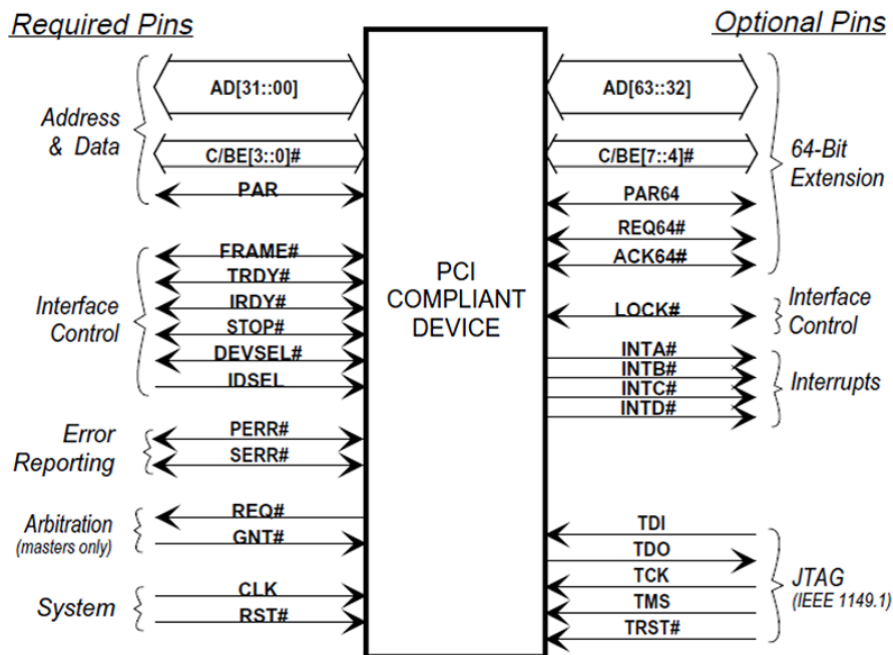


図 2.14: PCI バスの主な信号線 [27]

PCI コアとその評価

PCI バスに準拠した回路デザインを一から作るのは困難であるため、PCI バス用回路の開発のために、Xilinx 社製の IP コア¹¹を使用することにした。この IP コアはユーザーが使いやすい形で PCI バスの信号線を提供してくれるため、PCI インターフェースを用いた回路デザインの作成が容易になる。

また、この PCI コアの評価をするために東京エレクトロデバイス社製の PCI 評価ボード (TD-BD-PCI66) による IP コアの評価を行った。図 2.15 が PCI 評価ボードの写真である。

PCI カードのドライバについては、WinDriver を利用して開発を行った。

¹¹Intellectual Property Core: LSI を構成するための部分的な回路情報で、特に機能単位でまとめられているもの

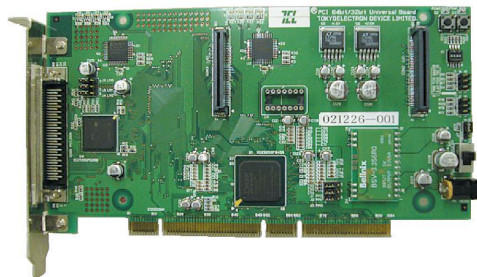


図 2.15: PCI 評価ボードの写真



図 2.16: PCI 評価ボードの LED を光らせたときの様子

PCI コアを用いて PCI バスから評価ボード上の FPGA 内のレジスタにアクセスしてレジスタの値を読み書きできるようなデザインを作成し、WinDriver によって実際にレジスタの値を読み書きするテストを行った。そのテストの様子を図 2.16 に示す。レジスタの値の一部を LED に反映させるようにして、レジスタの値を読み書きすることで LED の ON/OFF を制御することができた。

PCI-CCI の開発

PCI 評価ボードにより PCI コアを用いた PCI バスからの信号線の制御に成功し、WinDriver によって PC から PCI カード上のレジスタの読み書きすることもできたので、実際の PCI-CCI モジュールの製作にとりかかった。

まず、G-Link チップセットは従来の CCI や RTC でも用いられている Agilent HDMP-1032/1034 を用い、OE/EO コンバータについても同じものを使用した。また、FPGA については Xilinx 社 XC2S200-5PQG208C を用いた。バスのデータ幅については 32 bit 幅で十分であったため、64 bit 幅への拡張ピンは実装しなかった。

図 2.17 が、作成した PCI-CCI の写真である。また付録 D.1 に PCI-CCI の回路図を掲載する。PCI-CCI の FPGA のデザインに関しては、従来の CCI モジュールのものを参考にして開発を行った。

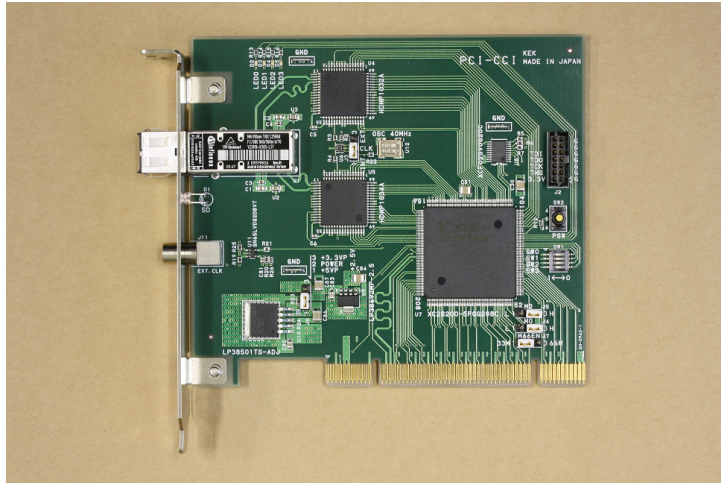


図 2.17: PCI-CCI の写真

2.4 PCI-CCI と RTC の通信方法

以下では、PCI-CCI と RTC がどのように通信を行うかの詳細を述べる。

2.4.1 通信に用いるレジスタ

CCI の中で主に用いるレジスタは表 2.1 の中でも、特に以下のものである。

TCR (Tx Control-Word Register)

コントロールワード送信用のレジスタ。主に RTC への命令内容を表す。32 bit 幅 (ただし実際に用いるのは 16 bit のみ) PCI バスからの Read/Write が可能。書き込み直後に 1 クロックで G-Link で送信される。もし命令内容が Address や Data の書き込みであれば、コントロールワード送信直後に続く 2 クロックで以下の TDR の内容が送信される。

TDR (Tx Data-Word Register)

データワード送信用のレジスタ。RTC がアクセスする VME Address や書き込むデータ内容を保持する。32 bit 幅で、PCI バスからの Read/Write が可能。G-Link は 1 クロックで 16 bit しか送れないため、2 クロックに分けて送信される。Address や Data の書き込み命令のときのコントロールワードに続けて送信される。

RCR (Rx Control-Word Register)

コントロールワード受信用のレジスタ. PCI-CCI が送った命令内容に対しての RTC の応答内容. 32 bit 幅 (ただし実際に用いるのは 16 bit のみ) PCI バスから Read のみ可能. RTC が VME モジュールのデータを読んできた場合は, このコントロールワード直後の 2 クロックで読み出しデータが送られてくる.

RDR (Rx Data-Word Register)

データワード受信用のレジスタ. RTC が読んできたデータの値を格納する. 32 bit 幅で, PCI バスからは Read のみ可能. G-Link は 1 クロックで 16 bit しか受信できないため, 2 クロックに分けて受信する.

2.4.2 通信に用いるインストラクション

PCI-CCI と RTC の通信のインストラクションについて述べる. なお, この通信インストラクションは ATLAS で用いられている CCI-HSC の通信インストラクション [25] と同じものである.

RTC の制御は全て PCI-CCI からのインストラクションによって行われる. このインストラクションは以下に従って規定される.

PCI-CCI が RTC に与える命令 (Ctrl-Word) の意味

- インストラクションは Ctrl-Word (コントロールワード) として与えられる.
- Ctrl-Word の bit15, bit14 は使用しない. (Not Used)
- Ctrl-Word の bit13 は動作モードを表す. 0: VME, 1: JTAG. ただし RTC には HSC とは違い JTAG モードは無いので bit13 は常に 0 である.
- Ctrl-Word の bit12 ~ bit10 はオペコード¹²を表す.
- Ctrl-Word の bit9 ~ bit0 はオペランド¹³を表す.

また, それに対する RTC からの応答信号は以下の意味を持つ.

RTC から PCI-CCI への応答信号の意味

- RxRDY (Rx Ready) … RTC Glink-Rx のリンク状態 (1: Glink Ready, 0: Not Ready)
- RxERR (Rx Error) … RTC Glink-Rx のエラー状態 (1: Glink Error, 0: Not Error)
- RxSLP (Rx Slip) … RTC Glink-Rx のデータスリップ (1: Slip 発生, 0: None)
- INHVME (Inhibit VME) … RTC の VME アクセス許可 (1: 不許可, 0: 許可)

¹²命令の種類

¹³演算における値や変数

- INTPND (Interrupt Pending) … RTC の割り込みリクエストのペンディング (1: あり, 0: なし)
- VIE … RTC の VME 割り込み検出/応答の許可 (1: 不許可, 0: 許可)

RxRDY = 1, RxERR = 0, RxSLP = 0 が正常状態であり, INHVME = 0, INTPND = 0, VIE = 1 がデフォルトの値である.

setVMEA (set VME Address)

RTC が VME 上のスレーブモジュールにアクセスする時のアドレスを設定する. Ctrl-Word[13:10] = 0001 が setVMEA の意味である. setVMEA の Ctrl-Word を 16 進数表記すると 0x0400 となる. Ctrl-Word に続く Data-Word で下位 16 bit 上位 16 bit のアドレスを指定する. 渡されたアドレスは, RTC 上のレジスタに格納される.

Word	15, 14	13···10	9	8	7	6	5	4	3	2	1	0
Ctrl	N/U	0001	0	0	0	0	0	0	0	0	0	0
Word	15, 14	13···10	9	8	7	6	5	4	3	2	1	0
Data	VME Address[15···0]											
Word	15, 14	13···10	9	8	7	6	5	4	3	2	1	0
Data	VME Address[32···16]											

表 2.2: setVMEA RTC への指示

RTC からの応答も Ctrl-Word でやってくる. RxRDY と VIE のみが 1 の状態が正常であり, このときの状態を 16 進数で表すと 0x0610 となる.

Word	15, 14	13···10	9	8	7	6	5	4	3···0
Ctrl	N/U	0001	Rx RDY	Rx ERR	Rx SLP	INH VME	INT PND	VIE	0000

表 2.3: setVMEA RTC からの応答

setVMED (set VME Data)

RTC が VME 上のスレーブモジュールに書き込むデータを設定する. Ctrl-Word[13:10] = 0010 が setVMED の意味である. setVMED の Ctrl-Word を 16 進数表記すると 0x0800 となる. Ctrl-Word に続く Data-Word で下位 16 bit 上位 16 bit でデータを渡す. 渡されたデータは RTC 上のレジスタに格納される.

Word	15, 14	13···10	9	8	7	6	5	4	3	2	1	0
Ctrl	N/U	0010	0	0	0	0	0	0	0	0	0	0
Word	15, 14	13···10	9	8	7	6	5	4	3	2	1	0
Data	VME Data[15···0]											
Word	15, 14	13···10	9	8	7	6	5	4	3	2	1	0
Data	VME Data[32···16]											

表 2.4: setVMED RTC への指示

RTC からの応答も Ctrl-Word でやってくる。RxRDY と VIE のみが 1 の状態が正常であり、この状態を 16 進数で表すと 0x0A10 となる。

Word	15, 14	13···10	9	8	7	6	5	4	3···0
Ctrl	N/U	0010	Rx RDY	Rx ERR	Rx SLP	INH VME	INT PND	VIE	0000

表 2.5: setVMED RTC からの応答

configVME (Configure VME)

RTC の VME アクセスのコンフィギュレーションを行う。Ctrl-Word[13:10] = 0011 が configVME の意味である。

configVME で用いる信号は以下である。

- BERR (Bus Error) … バスエラー状態 (1: 正常, 0: バスエラー発生)
- LWORD (Long Word) … VME アクセスサイズ (1: 16 bit, 0: 32 bit)
- WRITE … VME アクセスモード (1: READ, 0: WRITE)
- AM[5:0] (Address Modifier) … VME のアドレスモディファイアコード指定 [26]

Word	15, 14	13···10	9	8	7	6	5	4	3	2	1	0
Ctrl	N/U	0011	0	0	LWORD	WRITE	AM[5···0]					

表 2.6: configVME RTC への指示

PCI-CCI と RTC の通信に置いては 32 bit アクセスなので LWORD = 0 である。また AM コードは A32 non-privileged data access モードなので AM[5:0] = 001001 (0x09) である [26]。

書き込み (WRITE: 0) が指定された場合、RTC 上に格納されている 32 bit データを RTC 上で格納されている 32 bit アドレスで指定されたロケーションに書き込む。このときの Ctrl-Word は 16 進数で 0x0C09 である。VME サイクル終了後、RTC は Ctrl-Word で BERR = 1 を返す。正常な応答の値は 0x0D09 である。

Word	15, 14	13···10	9	8	7	6	5	4	3	2	1	0
Ctrl	N/U	0011	0	BERR	LWORD	0	AM[5···0]					

表 2.7: configVME (WRITE) RTC からの応答

読み出し (WRITE: 1) が指定された場合, RTC 上で格納されている 32 bit アドレスで指定されたロケーションに書かれているデータを読み出す. このときの Ctrl-Word は 16 進数で 0x0C49 である. VME サイクル終了後, RTC は Ctrl-Word で BERR = 1 を返す. 正常な応答の値は 0x0D49 である. その後続く 2 クロックで読み出したデータを Data-Word で下位 16 bit, 上位 16 bit の順に返す.

Word	15, 14	13···10	9	8	7	6	5	4	3	2	1	0
Ctrl	N/U	0011	0	BERR	LWORD	1	AM[5···0]					
Word	15, 14	13···10	9	8	7	6	5	4	3	2	1	0
Data	VME Read Data[15···0]											
Word	15, 14	13···10	9	8	7	6	5	4	3	2	1	0
Data	VME Read Data[32···16]											

表 2.8: configVMED (READ) RTC からの応答

もし, どのスレーブによっても提供されないロケーションにアクセスしようとする, 100 μ s 待ってから BERR = 0 を返す.

2.5 PCI-CCI と RTC の動作テスト

PCI-CCI モジュールを作成した後, FPGA デザインも作成しその動作テストを行った. 以下ではその動作テストについて述べる.

2.5.1 PCI-CCI の動作テスト

PCI-CCI のロジック内部のレジスタである TCR はコントロールワード送信用のレジスタ, TDR はデータワード送信用のレジスタである. また, PCI-CCI が受信したワードがコントロールワードであれば RCR に, データワードであれば RDR にそれぞれ格納される. この機能を確認するため, まずはじめに図 2.18 のように PCI-CCI の送信の口と受信の口を光ファイバーでつなぎループバックさせ, TCR から送ったコントロールワードが RCR で, TDR で送ったデータワードが RDR で, それぞれ正しく受信できるかどうかのテストを行った.

テストの際には WinDriver を用いた. PCI-CCI 上でアクセスしたいレジスタのアドレスのオフセットを WinDriver 上の GUI で指定することで簡単にレジスタの読み書きができるため, この GUI を用いてテストを行った. 図 2.19 がそのループバックテストの結果である. TCR で送信したコントロールワードと RCR で受信したコントロールワード, TDR で送信したデータワードと RDR で受信したデータワードがそれぞれ一致し, 正しく送受信出来ていることが確認できた.



図 2.18: PCI-CCI のループバックテストの様子

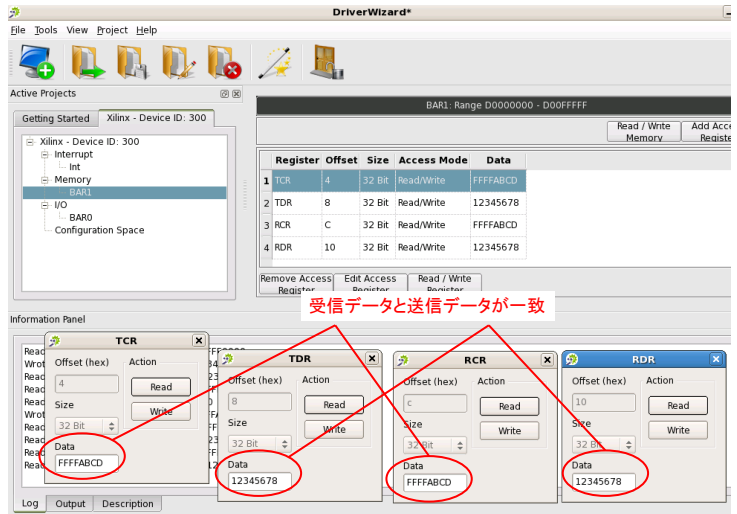


図 2.19: ループバックテストの結果

次に、この送受信を何度繰り返してもエラーが無いことを確認するために、データの送受信を何度も繰り返すためのプログラムを作成した。WinDriver は図 2.20 のような画面で、PCI カードのデバイスドライバのソースコードと、サンプルプログラムを自動生成してくれる。また、あらかじめデバイス上のレジスタのアドレスオフセットとレジスタの名前を入力しておけば、そのレジスタの値を読み書きする関数をソースコード上に自動生成してくれる。

図 2.21 が自動生成されたドライバのソースコードである。RCR 等の PCI-CCI 上のレジスタに読み書きするための関数が作られていることがわかる。なお、生成されるソースコードの言語は C 言語である。

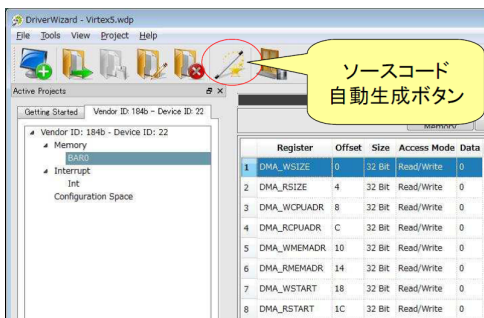


図 2.20: ソースコードの自動生成



図 2.21: 生成されたソースコード

生成された関数を用い、TCR, TDR に値を書き込み送信して RCR, RDR で受信して値を読み、送信した値と受信した値があっているかのチェックを繰り返すプログラムを作成し、実行した。

図 2.22 がテストの結果である。 $2^{16} = 65536$ 通りの全ての 16 bit パターンを送受信するテストを行ったが、エラーは一つもなかった。なおこの図は、左側が送信したワード、右側が受信したワー

ドである。左側のワードと右側のワードが一致していることがわかる。

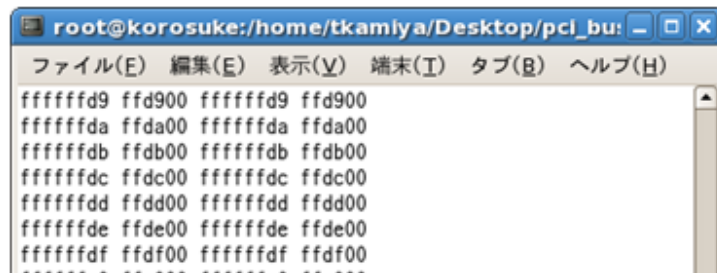


図 2.22: PCI-CCI の送受信テストの結果

ロジックアナライザによる観察

次に PCI-CCI と RTC の通信テストをする前の段階の予備テストとしてまず、PCI-CCI が送信したデータをそのままロジックアナライザで観察するということをした。手順としては、PCI-CCI からの G-Link 信号を、FPGA 汎用モジュールである PT5 で受け、その信号をそのままテストピンに出し、そのテストピンの信号をロジックアナライザで観察するというものである。

図 2.23 がそのテストの概略図である。

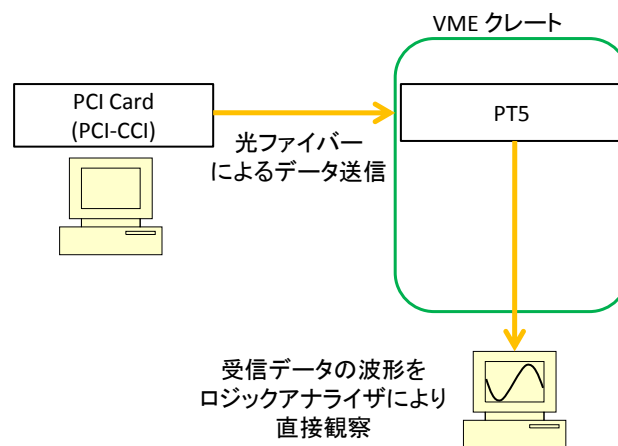


図 2.23: PT5 を用いたテスト

図 2.24 がロジックアナライザで観察された波形の様子である。

RXCNTL (Rx Control) という信号線が H になっているときはコントロールワードで、RXDATA という信号線が H になっているときはデータワードである。どちらも L のときはアイドルリング状態である。今の場合、コントロールワードとして 16 進数 16 bit で ABAB、データワードで 16 進数 32 bit で 12123434 というワードを送っている。ロジックアナライザには 8 bit 分のデータし

か出せなかったためワードの半分しか見ることはできなかったが、始めのクロックで AB というコントロールワードが送られてきて、次の2クロックで 32 bit のうち下位, 上位の順に 16 bit のデータワードが送られてきていることがわかる。これにより、PCI-CCI は正しい G-Link プロトコルでデータの送信が出来ていることがわかった。

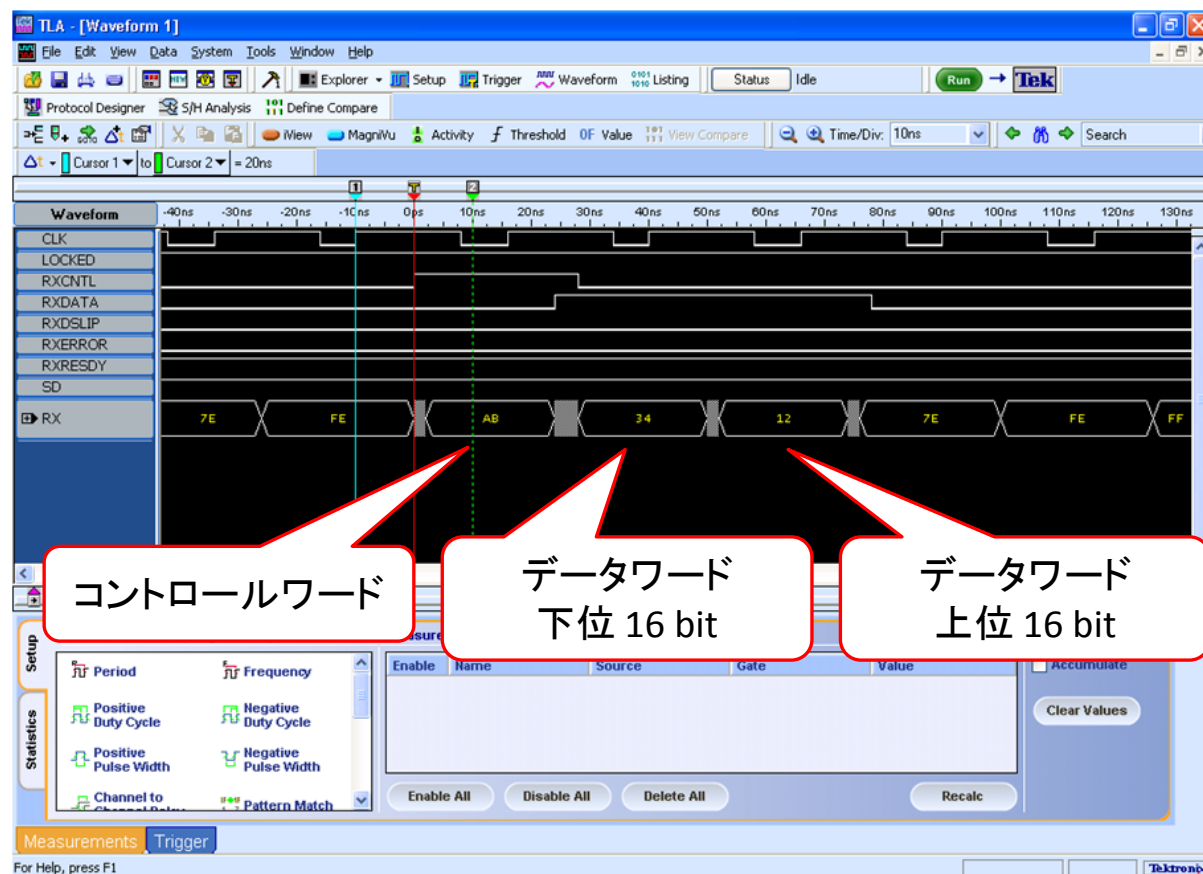


図 2.24: ロジックアナライザによる信号の観察

2.5.2 PCI-CCI と RTC との通信テスト

最後に、PCI-CCI と RTC との通信テストを行った。

RTC は VME マスターモジュールであるため、その動作を確認するためには、適当な VME スレーブモジュールを用意する必要がある。今回は、汎用 FPGA モジュールである PT5 を使用した。

セットアップとしては、まず PT5 上の FPGA に自由に読み書きができるレジスタを用意し、RTC と PT5 を同じ VME クレート上に挿す。次に PCI-CCI と RTC を光ケーブルでつなぎ、PCI-CCI から RTC に指示を与え RTC が VME クレート上の PT5 のレジスタの値を読み書きする。

ユーザー (PC 上のソフトウェア) が PCI-CCI に対して行う手順は以下である。

VME スレーブに値を書き込む場合

1. TDR にアクセスする VME のアドレスを書き込む。
2. TCR に 0x0400 という値を書き込む。これは RTC 上のアドレス格納レジスタに TDR の値を書けという意味の命令である (表 2.2)。
3. RCR の値を読み、0x0610 であることを確認する。これは RTC からの応答信号であり、setVMEA が正しく完了したという意味の値である (表 2.3)。
4. TDR に VME スレーブに書き込むデータの値を書き込む。
5. TCR に 0x0800 という値を書き込む。これは RTC 上のデータ格納レジスタに TDR の値を書けという意味の命令である (表 2.4)。
6. RCR の値を読み、0x0A10 であることを確認する。これは RTC からの応答信号であり、setVMED が正しく完了したという意味の値である (表 2.5)。
7. TCR に 0x0C09 という値を書き込む。これは RTC 上のアドレス格納レジスタの値の場所に、データ格納レジスタの値を書き込めという意味の命令である (表 2.6)。
8. RCR の値を読み、0x0D09 であることを確認する。これは RTC からの応答信号であり、configVME (WRITE) が正しく完了したという意味の値である (表 2.7)。

図 2.25 が VME スレーブモジュールである PT5 に値を書き込むときの概略図である。

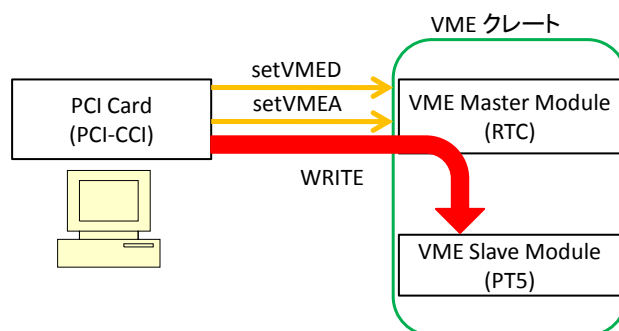


図 2.25: PCICCI-RTC の通信テスト (WRITE)

VME スレーブからデータを読み出す場合

1. TDR にアクセスする VME のアドレスを書き込む。

2. TCR に 0x0400 という値を書き込む. これは RTC 上のアドレス格納レジスタに TDR の値を書けという意味の命令である (表 2.2).
3. RCR の値を読み, 0x0610 であることを確認する. これは RTC からの応答信号であり, setVMEA が正しく完了したという意味の値である (表 2.3).
4. TCR に 0x0C49 という値を書き込む. これは RTC 上のアドレス格納レジスタの値の場所のデータを読み出せという意味の命令である (表 2.6).
5. RCR の値を読み, 0x0D49 であることを確認する. これは RTC からの応答信号であり, configVME (READ) が正しく完了したという意味の値である (表 2.8).
6. RDR の値を読み, VME スレーブから読み出したデータを確認する.

図 2.26 が PT5 から値を読み出しているときの概略図である.

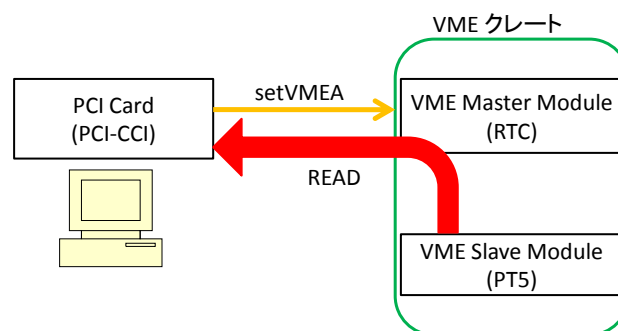


図 2.26: PCI-CCI-RTC の通信テスト (READ)

この手順を用いて PCI-CCI から RTC に命令を与え, VME スレーブモジュールである PT5 上のレジスタに読み書きしたところ, 以上に述べた通りの動作をすることが確認できた.

エラーチェック

PCI-CCI と RTC が想定した通りの通信をすることが確認できたので, 次はそれを繰り返し行うプログラムを C 言語で作成し, 実行した.

その結果として, 1,000,000 回の読み書きを繰り返しても, エラーは一度も起こらなかった. これにより, 今回作成したシステムの動作に問題がないことが確認できた.

2.6 結論

私は ATLAS 実験で使用されている制御系をもとにして、ATLAS アップグレード研究開発のテストベンチに用いることができるような汎用制御系を開発した。それは放射線環境下に耐える VME マスターモジュール (RTC) と、それを光ファイバー経由で遠隔操作する PCI カード (PCI-CCI) である。

現在これらの開発は終わり、動作テストも完了し、正しく動くことが確認された。デバイスドライバもできているので、後はこのシステムが使いたくなった時はその実験に合わせてソフトウェアを書きかえるだけで、容易にこのシステムを使うことができる。

このシステムは ATLAS 実験のアップグレード研究開発用の目的だけでなく、放射線を伴う多くの高エネルギー実験において使用できる汎用制御系となっているため、高エネルギー素粒子実験の様々な場面で活躍することが期待される。

第3章 ATLAS TGC システム読み出し回路のアップグレードのためのプロトタイプ用汎用モジュールの開発

3.1 序論

2009年11月にLHCは本格的な稼働を開始し、2010年12月現在まで順調に動いているが、今後のパフォーマンスを上げるために現在のデザインルミノシティの $10^{34} \text{ cm}^{-2}\text{s}^{-1}$ を5倍に上昇させ $5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ にしようという計画がなされている。

ATLAS 検出器の Level1 Trigger rate は図3.1から分かるように p_T の値によって変えることが可能であるが、現在の最大値は75 kHz ほどである。これに対し、ルミノシティを $5 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$ に上げたときの Level 1 Trigger rate を最大150 kHz 程度としようというのが現在の計画である。

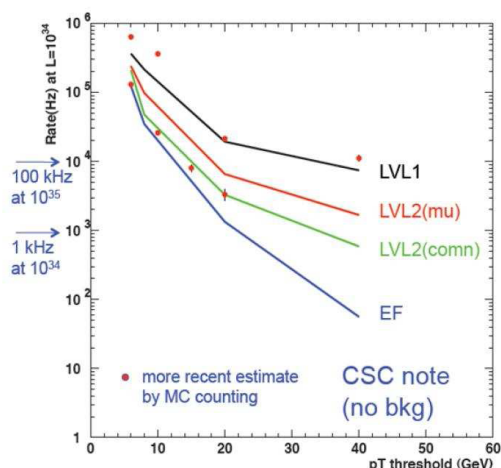


図 3.1: レベル1のレート [18]

3.1.1 ROD について

ROD (Read Out Driver: 付録 C.6.13) とは ATLAS の TGC データ読み出しシステムのエレクトロニクスの1つであり、直前までの複数のモジュールからの入力を受けて内部で1つにまとめて出力するモジュールである (図 3.2)。

入出力には CERN で用いられている光通信の規格である、G-Link, S-Link という規格が用いられている。入力に用いられているのが G-Link であり、転送速度は 640 Mbps である。ROD に

は最大 10 個の G-Link の入力がある。また出力に用いられているのは S-Link であり、こちらは 1 つだけ搭載されていて、転送速度は最新のものでは 2 Gbps である。

実際に ROD が処理するデータ量であるが、一回のイベントで 1 つの G-Link から約 1000 bit のデータが送られて来る。これが最大 75 kHz でやってくるため、1 つの入力あたり、約 75 Mbps のデータがやってくる。また出力は、この最大 10 口の入力データをほとんど単純に足しているのでおよそ 10 倍となり¹、750 Mbps のデータ量を出力する。

さてこの ROD であるが、ATLAS の現在の最大トリガーレートである 75 kHz に置いては現在動作している。しかし ATLAS アップグレード後のことを考えると、この ROD は計画されている 150 kHz はおろか 100 kHz のトリガーレートにおいても正常に動作しないことが知られている。そこで、早急に 150 kHz のトリガーレートにも耐えうる新 ROD の開発が求められている。

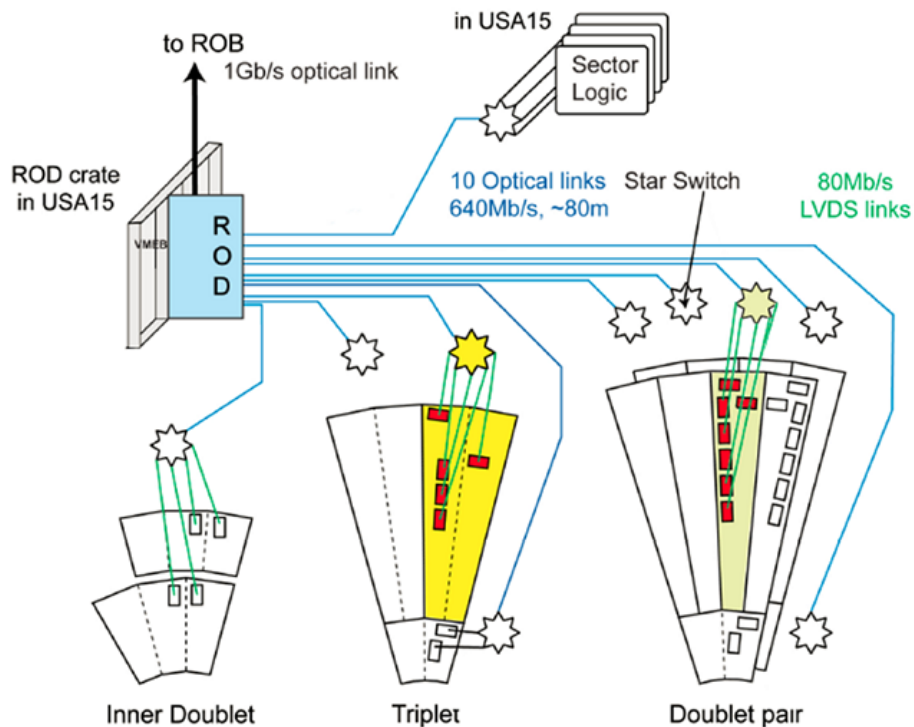


図 3.2: ROD の概略図

3.2 ROD のアップグレード計画

以上の背景から、現在 150 kHz のトリガーレートにも耐えうる新 ROD の開発が計画されている。以下にその詳細を述べる。

¹実際はヘッダやトレイラーを操作するので、データサイズは少し減る

3.2.1 アップグレード後の ROD にかかる負担

LHC アップグレード後は、既に述べた通り Level 1 トリガーレートの最大値が現在の 75 kHz から倍の 150 kHz になる予定である。これによって、単純に ROD の処理すべきデータ量が 2 倍になる。

また、一回のイベントでやってくるデータは現在約 1000 bit 程であるが、ルミノシティが増加するとイベントのパイルアップが起こるためデータ量が増加する。この増加量は約 1.3 倍程度と見積もられている。

よって、ROD にやってくる入力データは G-Link 一本あたり、現在の約 75 Mbps から約 200 Mbps、ROD が出力しなければならないデータは現在の約 750 Mbps から約 2 Gbps になると見積もられる。

また ROD 内部のロジックも、今までの 2 倍から 3 倍の処理能力が求められる。

3.2.2 新 ROD への要請

以上を踏まえ、新たに開発する ROD には以下のことが要請される。

1. 200 Mbps の入力データ量
2. 2 Gbps の出力データ量
3. 2~3 倍のデータ処理能力
4. 高度なエラー処理・診断機能
5. データ量が増えたときのための並列化・分散化システム

まずはじめの 2 つの入出力データ量であるが、入力データ量に関しては現在の G-Link でも 640 Mbps の転送速度を持つため問題はない。出力データ量に関しては現在 CERN で用いられている S-Link が 2 Gbps の転送速度であるため、安全を考えるともう少し高い転送速度のインターフェースが必要である。しかし CERN では既に新たな S-Link の規格として 4 Gbps のものを開発しているため、入出力の転送速度に関しては我々は憂慮しなくてよい。

一番考えなくてはいけないのは、その次の 3 番目の 2~3 倍のデータ処理能力を持つ内部ロジックである。データ処理能力を上げるには、高速で動作し、規模の大きな FPGA を用いればよい。現在の ROD で使われている FPGA は古いものであるため、最新の FPGA を使うだけでもこれは解決できる。

現在の ROD の問題点は、エラーが起きたときに、その原因を突き止めるのが困難なことである。今回新しく開発する ROD ではその反省点を活かし、エラー処理・診断機能を充実させようと考えている。エラーが起こった時にそのデータを保管しておいて、どこが駄目だったのか丁寧に調べられるように、FPGA 上の組み込み CPU を用いたソフトウェア処理をしようと考えている。またソフトウェアを用いる利点としては、修正やデバッグが容易であるという点も挙げられる。

また、そのエラーメッセージの出力や診断用のコンソールとして、イーサネットのインターフェースを搭載することを考えている。

FPGA に搭載するような組み込み CPU を用いて大規模なデザインを作ろうとすると、1つの FPGA では処理できない可能性も出てくる。そういったときのために、複数のモジュールや FPGA による並列化・分散化システムも備えつけようと考えている。そのためにはモジュール間をつなぐ高速通信インターフェースも必要になってくる。

3.3 ROD に新たに導入する技術

以上より、新たに開発する ROD には次の新しい技術を導入する。

1. 組み込み CPU (MicroBlaze)
2. イーサネットのインターフェース
3. 高速シリアル通信インターフェース

新 ROD ではエラー処理・診断・デバッグ等が簡単に行えるように、FPGA の中に CPU コアを載せることを検討している。これは Xilinx 社の MicroBlaze というものを用いる。今まで ATLAS のエレクトロニクスは全て HDL (Hardware Description Language) で開発が行われてきたため組み込み CPU を搭載するのは初の試みである。CPU を搭載することによって複雑なエラー処理・診断をソフトウェアで行うことができ、開発やデバッグも簡単に行えるようになる。

CPU コアによるソフトウェアのデータ処理の場合、全てハードウェアでデータ処理回路を実装した場合に比べ、一般的に処理速度は遅くなる。しかし、このソフトウェアに求められる動作は高速データ処理ではなくエラー処理や診断の機能であり、エラーはそんなに頻繁に起こらないものであるため、動作速度は遅くても問題ない。

また、FPGA 上に CPU コアを載せソフトウェアによるエラー処理や診断を行う場合、ユーザーが ROD の状態を確認したり ROD からエラーメッセージを出させたりするためのコンソールが必要となる。そのため、新 ROD にはイーサネットのインターフェースを搭載することを検討している。また将来的に FPGA に Linux OS を搭載させることも検討しており、その際に外部からロケインするためのインターフェースとしてイーサネットを用いることもできる。

FPGA に CPU コアなどを搭載させるとシステムの規模が大きくなる可能性が出てくる。もちろん FPGA は十分な容量のものを用いるが、足りなくなったときのために、また、データ処理を機能ごとに分けて分散処理させたくないときのために、FPGA 間・モジュール間で通信をして並列・分散処理ができるようなインターフェースも備えつけようと考えている。

現在 ROD への使用を検討しているものは Spartan6 FPGA の LXT シリーズに搭載されている Rocket IO GTP (Gigabit Transceiver with Performance) というギガビットトランシーバーであり、Rocket IO GTP によって複数の FPGA 間で高速通信が可能である。

このインターフェースは例えば 125 MHz のリファレンスクロックを用いると 1.25 Gbps や 2.5 Gbps の通信速度が可能であるが、S-Link 等を用いずにこのインターフェースを用いる利点は、このトランシーバ自体が FPGA の中に組み込まれているので外付けのシリアライザや光変換器が不要な点である。

図 3.3 に以上の機能をまとめたイメージ図を載せる。以下ではそれぞれの技術の詳細を述べる。

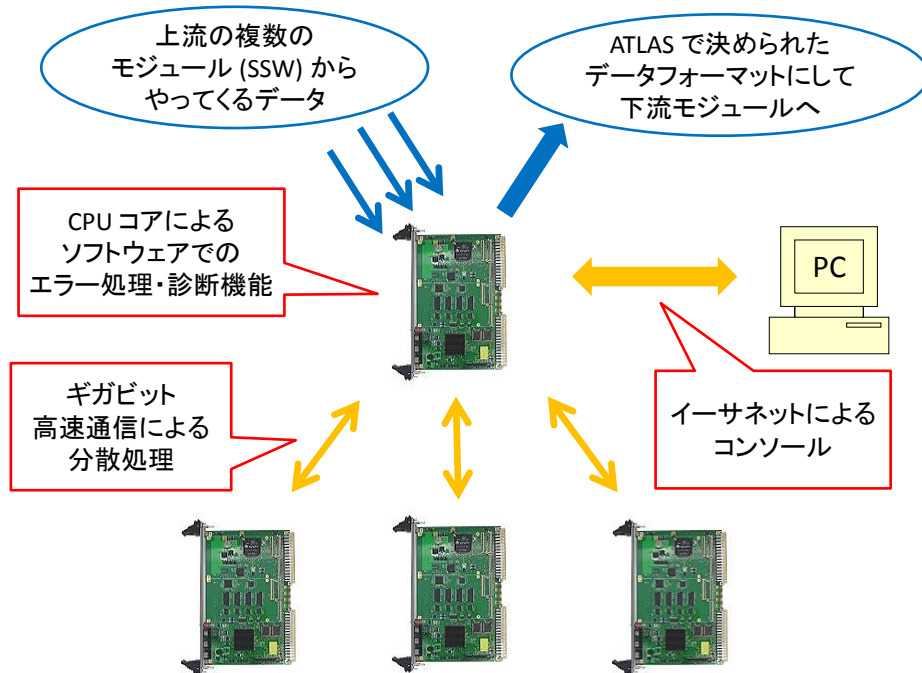


図 3.3: 新 ROD の機能のイメージ図

3.3.1 MicroBlaze

新 ROD で使用する CPU コアについては, Xilinx 社製の MicroBlaze というものを検討している. これは Xilinx 社製の FPGA に搭載可能なソフト CPU コアで, 32 bit の RISC 型²のプロセッサである. 図 3.4 に MicroBlaze の使用例を載せる. 図のように PLB (Processor Local Bus) バスを通じて各種メモリコントローラや UART (Universal Asynchronous Receiver Transmitter), GPIO (General Purpose Input/Output) へ接続できる. また MicroBlaze は OS を動作させることも可能であり, μ ITRON や uClinux 等の組み込みシステム向け OS の動作実績もある.

ソフト CPU コアとハード CPU コアの違いは, ハード CPU コアはあらかじめ回路として固定されてしまっているが, ソフト CPU コアは汎用メモリと論理回路によって FPGA 上に実装されるものである. そのため MicroBlaze は FPGA の容量がある限り何個でも搭載することができ, FPGA 内部でも並列処理ができるというメリットがある.

²Reduced Instruction Set Computer: 命令の種類を減らし, 回路を単純化して演算速度の向上を図る設計手法に基づいたプロセッサ.

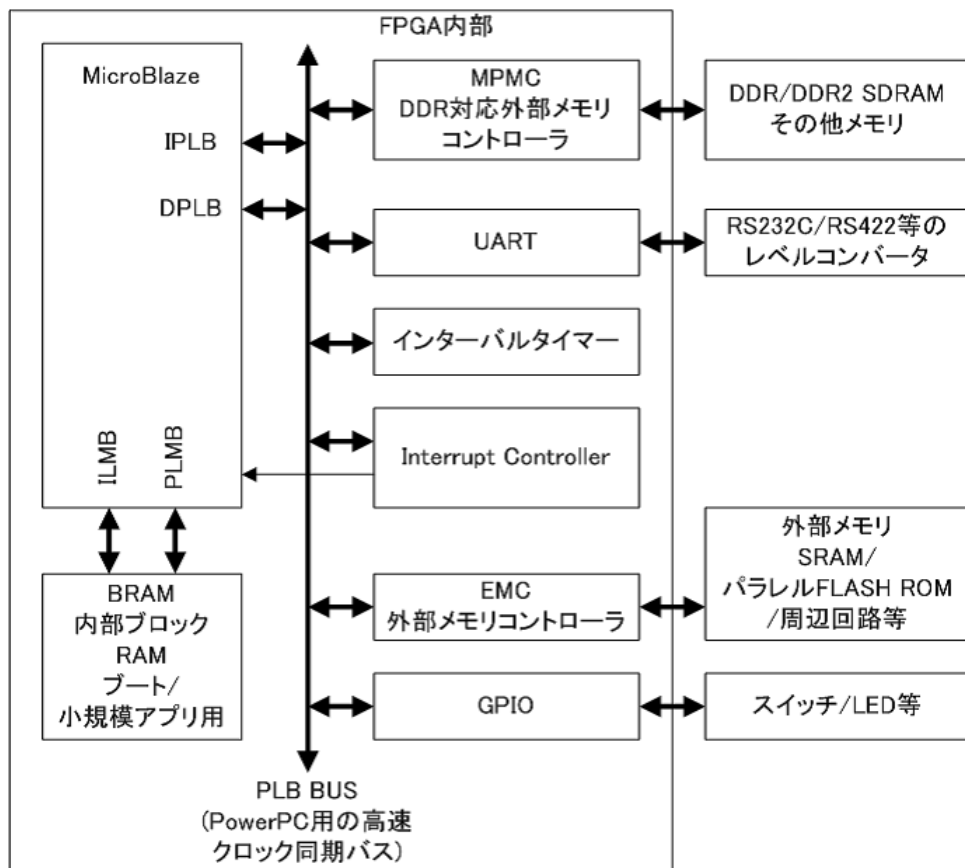


図 3.4: MicroBlaze の使用例

3.3.2 SiTCP

新 ROD にソフト CPU コアを載せた際のコンソールとしてはイーサネットを用いるが、そのイーサネットの TCP プロトコルの処理は SiTCP というハードマクロによって行う。

SiTCP (Silicon TCP³⁾ は検出器のフロントエンドのエレクトロニクスからのデータをイーサネット取得するために開発された技術であり (図 3.5), 通常ソフトウェアで処理をする TCP をハードウェアで処理する TCP プロセッサである。HDL で記述されていて、FPGA にも搭載可能である [1]。

SiTCP を FPGA に実装することで FPGA をイーサネットに接続することができ、これによって PC からのコンソールに用いることができるほか、FPGA に OS を搭載した際には外部からロゲインも可能である。

図 3.6 に SiTCP のブロック図を載せる。MAC (Media Access Controller) から物理層トランシーバへ GMII (Gigabit-Ethernet Media Independent Interface) 信号が出ている。

³Transmission Control Protocol: 現在インターネットで標準的に用いられている通信プロトコル

また, SiTCP は UDP⁴ を利用した RBCP (Remote Bus Control Protocol) と呼ばれる機能も実装しており, これを使うことによってイーサネット経由で PC からユーザーデザインの回路をコントロールすることが可能である.

SiTCPとは？

フロントエンドをネットワークに接続する技術

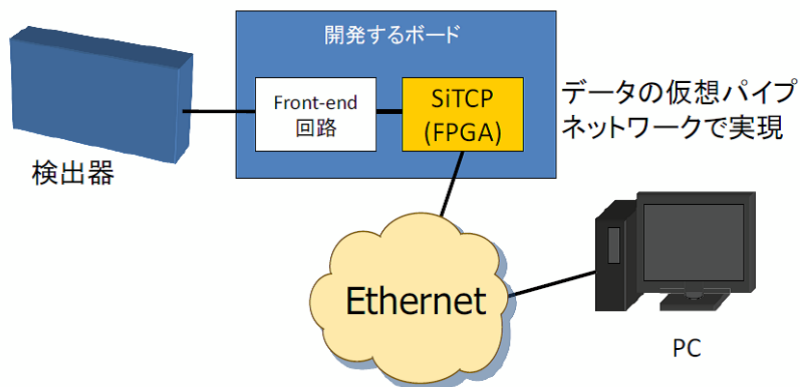


図 3.5: SiTCP の利用方法 [37]

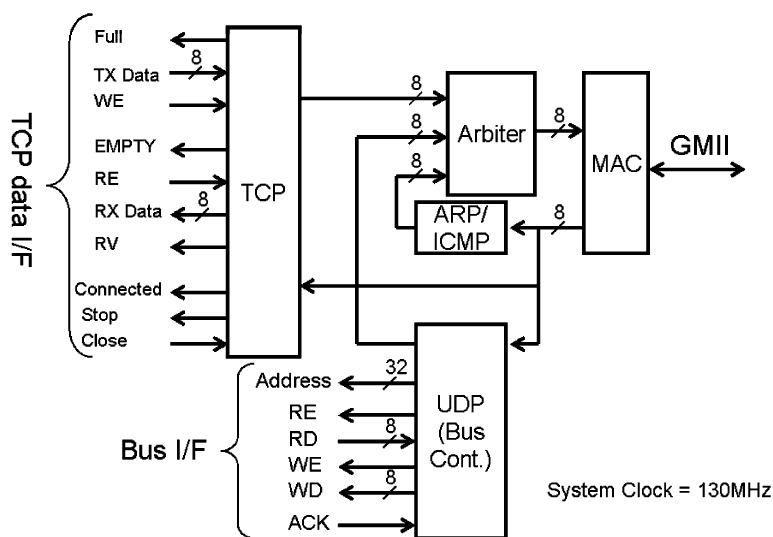


図 3.6: SiTCP のブロック図 [1]

⁴User Datagram Protocol: TCP に比べシンプルな設計の通信プロトコル. 信頼度は落ちるが速度は速い.

3.3.3 Rocket IO GTP

Rocket IO GTP (Gigabit Transceiver with Performance) とは Xilinx 社の一部の FPGA に搭載可能な高速シリアル通信用の FPGA デザインである。ブロック図を図 3.7 に掲載する。

Rocket IO GTP は高速シリアル通信のトランシーバ/レシーバで、入力した Reference Clock を 10 倍/20 倍/40 倍にしてパラレル入力のデータをシリアル化して転送する。最大通信速度は 3.125 Gbps である。Rocket IO GTP には 8b/10b エンコーダ/デコーダも内蔵されていて、8 bit パラレルの入力データを 10 bit シリアルデータにして転送する。

この Rocket IO GTP を用いることによってモジュール間的高速通信が可能になり、複数のモジュールで処理を分散させることができる。

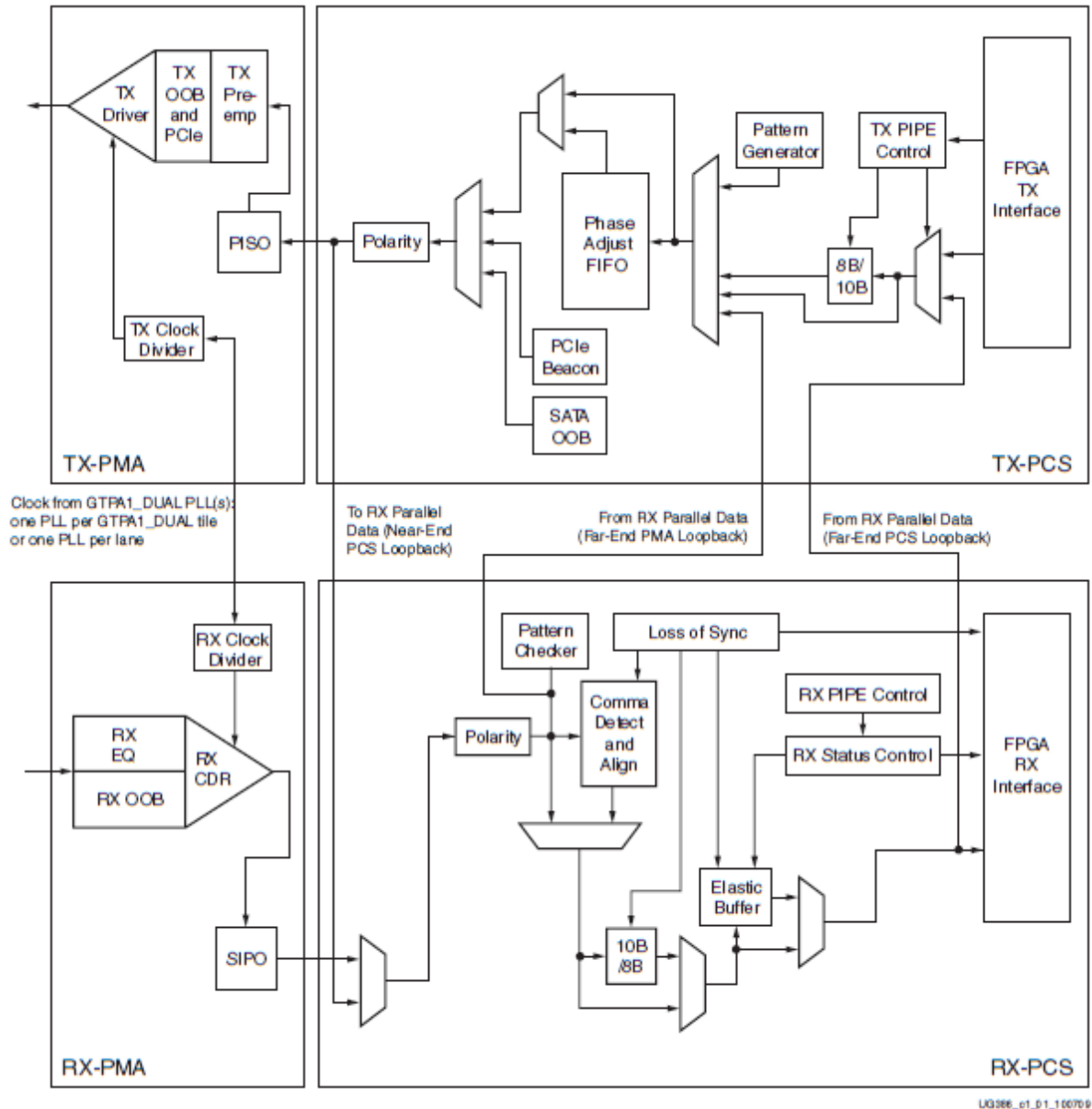


図 3.7: Rocket IO GTP のブロック図 [22]

8b/10b

8b/10b は高速シリアル転送方式であり、8 bit のデータを 10 bit のデータに変換して転送する。シリアルデータの転送には、データの他にそのデータを拾うタイミングを作るクロックが必要であるが、8b/10b 方式ではシリアルデータの中にクロックを埋め込むことでデータとクロックの転送を同じ配線で行うことが特徴である。

生のシリアルデータは 0 や 1 の状態が長期間にわたって続く可能性があるため、そこからクロックを取り出すことができない。8b/10b 方式では 8 bit のデータに 2 bit 付加することによって、ど

のようなデータであっても 0 または 1 の状態が 4 クロック以下になるように、また 1 つのデータの中にある 0 と 1 の数が等しくなるように変換を行う。こうすることによって、帯域の 20 % をロスする代わりにデータとクロックを同一配線で送受信することが可能になる。

変換に法則性は無く、完全なテーブル変換によって行われる。表 3.1 に、その変換例の一部を示す。

Name	8 bit	10 bit
D00.0	00000 000	100111 0100
D01.0	00000 001	011101 0100
D02.2	00000 010	101101 0100
...
D30.7	11111 110	011110 0001
D31.7	11111 111	101011 0001

表 3.1: 8b10b 変換例

3.4 新 ROD の開発計画

新 ROD の開発は、以下の 3 つの段階に分けて行う。

1. 技術導入
2. プロトタイプ用汎用モジュールの開発
3. 汎用モジュールを用いた、実機開発のための研究開発

まずはじめに、前節で述べたような新しい技術を導入することが第一に必要となる。そのためには、市販の評価ボードなどを用いて技術評価を行う。

また、それと同時に、次のプロトタイプ用汎用モジュールを開発することを視野に入れておく。新たな技術は、もちろんそのプロトタイプ用汎用モジュールに搭載するため、技術評価はそのまま、プロトタイプ用汎用モジュールの仕様決定につながる。

次にプロトタイプ用汎用モジュールを実際開発する。この役割は新たな ROD 開発のためのプロトタイピングというだけでなく、1 つ前の段階の技術評価も兼ねている。市販の評価ボードだけでは評価できないような新技術の使い方もあるため、評価ボードでしきれなかった分をこの汎用モジュールで補う。

最後に、汎用モジュールを用いて ROD の実機開発のための研究開発を行う。

なお、私が到達した段階はプロトタイプ用汎用モジュールの開発の段階までであり、これを用いた具体的な研究開発は来年度以降となる。

3.4.1 FPGA 評価ボードを用いた Rocket IO GTP の評価

まずはじめの段階として、新たに導入する 3 つの技術の評価を行った。今回新たに導入する技術は

1. MicroBlaze (組み込み CPU)
2. SiTCP (イーサネットのインターフェース)
3. Rocket IO GTP (高速シリアル通信インターフェース)

の 3 つであるが、MicroBlaze と SiTCP はそれぞれ企業の講習会や KEK での講習会に参加することで技術を習得することができ、それによって技術評価もできたが、Rocket IO GTP だけは前例がない技術であったため、市販の評価ボードを用いて独自に技術評価を行った。

Rocket IO GTP の評価は Xilinx 社製 Spartan6 評価ボード SP605 を用いてを行った。SP605 には Spartan6 FPGA である XC6SLX45T が搭載されており、Rocket IO GTP での通信用コネクタとして SMA⁵が 4 口ついている。それぞれ送信用の差動ペア、受信用の差動ペアに対応していて、もし相手がいれば全二重通信が可能であり、自分自身の送信と受信をつないでループバックさせれば自分自身での送受信テストが可能である。

図 3.8 に SP605 の写真を載せる。

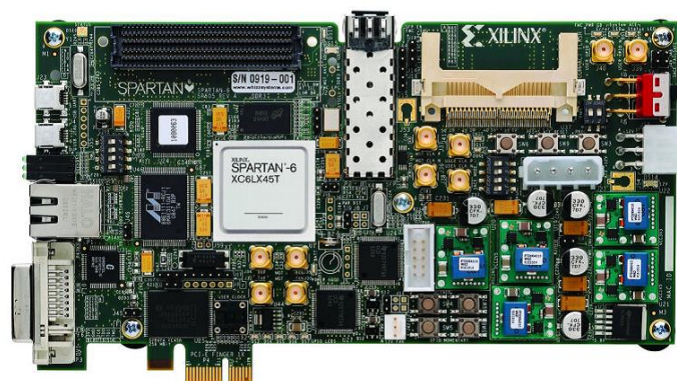


図 3.8: Spartan6 評価ボード SP605

まずは Xilinx 社が提供している IBERT (Integrated Bit Error Ratio Core) というコアデザインを用いて Rocket IO GTP の評価を行った。IBERT はデータパターンを生成して GTP を用いてデータを転送し、ループバックして受け取ってそのデータの評価を行う FPGA デザインである。

ユーザーインターフェースも Xilinx 社の ChipScope Pro⁶の GUI を用いて簡単に操作できるようになっている。

図 3.9 が IBERT によるビットエラーチェックをしている様子である。SP605 には Rocket IO GTP のレーンが全部で 4 レーンあるがこの画面上で左から 2 番目のレーンが SMA ケーブル

⁵SubMiniature Type A

⁶Xilinx Platform Cable を用いた FPGA 埋め込み型のロジックアナライザ

によるループバックテストをしているレーンであり、この図を見ると 2.5 Gbps のラインレートでリンクがとれていることが分かる。また Bit Error Count の値を見るとエラーはゼロとなっていて、 10^{12} bit のデータを送受信しても一度もエラーが起きていないことが分かる。

	GTPA1_DUAL_X0Y0_0	GTPA1_DUAL_X0Y0_1	GTPA1_DUAL_X1Y0_0	GTPA1_DUAL_X1Y0_1
MGT Settings				
MGT Alias	DUAL101_0	DUAL101_1	DUAL123_0	DUAL123_1
Tile Location	GTPA1_DUAL_X0Y0	GTPA1_DUAL_X0Y0	GTPA1_DUAL_X1Y0	GTPA1_DUAL_X1Y0
MGT Link Status	No Link	2.058 Gbps	No Link	No Link
Line Rate	2.5 Gbps	2.5 Gbps	2.5 Gbps	2.5 Gbps
PLL Status	LOCKED	LOCKED	LOCKED	LOCKED
Loopback Mode	None	None	None	None
DUAL Reset	Reset	Reset	Reset	Reset
TX Polarity Invert	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
TX Error Inject	Inject	Inject	Inject	Inject
TX Diff Output Swing	280 mV (0000)	280 mV (0000)	280 mV (0000)	280 mV (0000)
TX Pre-Emphasis	0 dB (000)	0 dB (000)	0 dB (000)	0 dB (000)
RX Polarity Invert	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
RX AC Coupling Enable	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>
RX Termination Voltage	GND	GND	GND	GND
RX Equalization	-0.3 dB (00)	-0.3 dB (00)	-0.3 dB (00)	-0.3 dB (00)
RX Sampling Point	64 0.504 UI	64 0.504 UI	64 0.504 UI	64 0.504 UI
BERT Settings				
TX Data Pattern	PRBS 7-bit	PRBS 7-bit	PRBS 7-bit	PRBS 7-bit
RX Data Pattern	PRBS 7-bit	PRBS 7-bit	PRBS 7-bit	PRBS 7-bit
RX Bit Error Ratio	3.500E-001	8.203E-013	3.500E-001	3.845E-001
RX Received Bit Count	1.221E012	1.219E012	1.479E012	1.478E012
RX Bit Error Count	4.274E011	0.000E000	5.176E011	5.682E011
BERT Reset	Reset	Reset	Reset	Reset
Clocking Settings				
TXUSRCLK Freq (MHz)	205.85	205.85	250.00	249.99
TXUSRCLK2 Freq (MHz)	102.93	102.93	125.00	125.00
RXUSRCLK Freq (MHz)	205.85	205.85	249.99	250.00

図 3.9: IBERT によるビットエラーチェック

次に、Rocket IO GTP を自分で使いこなせるようにするために、Rocket IO GTP を含んだデザインを自分で作成した。

FPGA に搭載する Rocket IO GTP の HDL デザインは、Xilinx 社提供の Core Generator によって生成することが出来る。こちらで各種パラメータの指定をするだけで Rocket IO GTP のデザインを自動生成してくれる。

Core Generator により Rocket IO GTP コアを生成し、その動作確認テストを行った。その手順は以下である。

1. まず DIP スイッチによってパラレルな信号を入力する。
2. FPGA 内に取り込んだデータを Rocket IO GTP で 8b/10b 変換をしシリアルなデータに変換する。
3. シリアルなデータを SMA ケーブルで送信し、自分で受信する。

4. そのデータをまた FPGA 内部の Rocket IO GTP レシーバ部分で受け、デコードしてパラレルな信号に変換する。
5. そのデータを LED に出力として表示させ、入力したデータと一致しているかチェックする。



図 3.10: SMA ケーブルでループバックしている様子

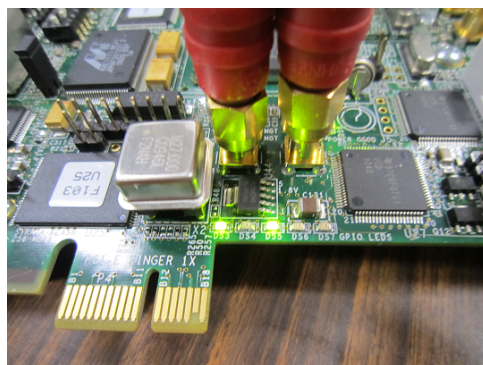


図 3.11: LED 出力の様子

図 3.10 が SMA ケーブルでループバックさせてテストをしているときの様子で、図 3.11 が LED に出力させた結果である。DIP スイッチで入力した値と同じ値をとり、Rocket IO GTP による通信が成功していることが確認できた。

3.5 ROD 開発用プロトタイプ PT6 (ProtoType 6) の開発

新 ROD 開発の第一段階としての、新技術の技術評価ができたため、新たな機能を兼ね備えた ROD を開発するためのプロトタイプとして、Spartan6 FPGA を搭載した VME 汎用モジュール PT6 (ProtoType 6) を開発した。

PT6 は FPGA として Spartan6 を搭載した VME 汎用モジュールで、その名前は ATLAS TGC グループで新たなモジュールを開発する際に代々 PT (ProtoType) と呼ばれる汎用モジュールを開発していたため、今回のものはその 6 番目にあたる。

PT6 の最大の特徴は汎用性である。PT6 は 4 口の Rocket IO 入出力を備え付けているが、これはテストベンチの目的に応じてどのようにも使うことができる。

例えば 3 口を ROD の入力と仮定し、1 口を出力と仮定するシステムを構築することもできるし、入力を 10 口に増やしたければ PT6 を 3 枚つないで 1 つとして大きなシステムにすることで、それが可能となる。ROD の G-Link 出力を仮定したパターン出力をさせることも可能である。

Rocket IO GTP の転送速度は S-Link に匹敵する 2.5 Gbps の速度が可能であり、640 Mbps の G-Link 入力よりは十分速いため、Rocket IO GTP を入出力を想定したインターフェースに用いることもできるし、データ並列・分散処理のためのモジュール間インターフェースとして用いることも可能である。

また PT6 は Mezzanine Card Slot を搭載していて、G-Link や S-Link の機能を持った子ボードを載せることによって、テストベンチ用の仮想的なものではなく、実際の光信号のデータを送受

信することも可能となっている。

PT6 の特徴は規模の大きな FPGA を搭載しているところにもある。組み込み CPU コアである MicroBlaze を搭載する場合、約 1500 の LUT⁷ を使用するのに対し、今回搭載している Spartan6 LX150T は約 90,000 の LUT を持ち、50 個程度の MicroBlaze を搭載することが可能となっている。

MicroBlaze を用いた ROD のエラー処理・診断機能についてはまだどのようなものにするか検討中ではあるが、やってくる入力データを並列に監視したいため、複数の MicroBlaze を搭載することは大きなメリットである。また MicroBlaze の動作速度は最大 230 MHz となっているが、ROD に来る入力データは Level 1 Trigger rate の 150 kHz 程度でしか来ないことと、ソフトウェア処理が必要となるようなエラーはそんなに頻繁に起こらないと想定されるため、この動作速度でも十分である。

PT6 のブロック図を図 3.12 に掲載する。PT6 の回路図は付録 D.3 に掲載する。

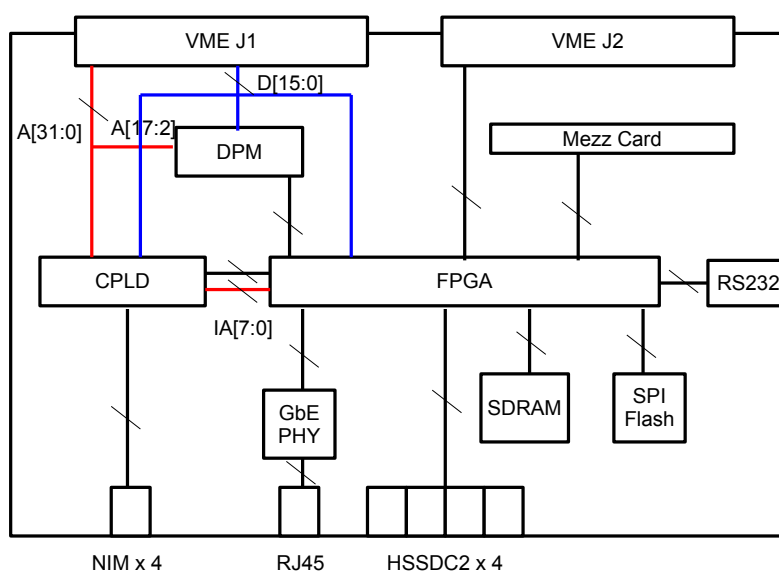


図 3.12: PT6 のブロック図

また、PT6 に搭載されている主な部品の説明と型番を表 3.2 に掲載する。

⁷Look Up Table

用途	型番
CPLD	XC2C256-7PQG208C
FPGA	XC6SLX150T-2FGG676C
DPM	IDT70V28L
GbE PHY	DP83865DVH
HSSDC2	1761069
SDRAM	MT48LC8M16A2 TG-75:G
PROM	AT93C46DN-SH-B
Flash Memory	M25P64 -VMF6
RJ45 コネクタ	HFJ11-1G02E
125MHz Clock	KC7050P125.000L30E00
RS232 DRV/REC	ADM3202 ARUZ

表 3.2: PT6 の部品表

3.6 PT6 の機能

この節では PT6 の備えている機能について詳細を説明する。

3.6.1 VME バス

PT6 は VME 6U サイズの A32D32⁸モードのスレーブモジュールである。ただし、PT6 内部ではデータ幅は 16 bit しか使用しない。

VME J2 コネクタのユーザー定義の信号線によって、VME バックプレーンの制御が可能。

3.6.2 FPGA

FPGA として Xilinx 社製の Spartan-6 FPGA XC6SLX150T FG676 を搭載している。これは 23,038 個のロジックスライスを持ち、約 400 のロジックスライスを使用する MicroBlaze を最大約 50 個載せることが出来る。また、8 レーンの Rocket IO GTP (Gigabit Transceiver) を搭載可能 (そのうち 4 レーンを使用) で、PT6 間で高速通信が可能である。

量産する際に同一パッケージの 100T や 75T にダウングレードすることも考え、ピン互換になるように 75T での未使用ピンは使用していない。

3.6.3 CPLD

CPLD として Xilinx 社製の CoolRunner-II CPLD XC2C256 PQ208 を搭載している。これは PT5 で使用されている CPLD と同じものである。

以下に CPLD の主な役割を述べる。

⁸アドレス 32 bit, データ 32 bit

VME からの信号線の制御

VME からのアドレスの解読および入出力のシーケンス制御を行う。また DPM, FPGA からのデータの読み書きを制御する。

主に使用する信号線は以下である。

- DS*[1:0] (Data Strobe)
- WRITE* (L: Write, H: Read)
- AS* (Address Strobe)
- AM[5:0] (Address Modifier)
- LWORD* (Long Word)
- DTACK* (Data Transfer Acknowledge)

*は Low Active な信号線である。AS の立下りとともにアドレスが渡されるのでそれを AM, LWORD と共に解読して、WRITE が L なら書き込みなので DS の立下りと共に渡されるデータを指定された場所へ書き込み、WRITE が H なら読み出しなので指定された場所にあるデータを VME に渡す。データのやり取りが終了したら DTACK を返す。

図 3.13 が VME の READ サイクル、図 3.14 が VME の WRITE サイクルを表したタイミングチャートである。

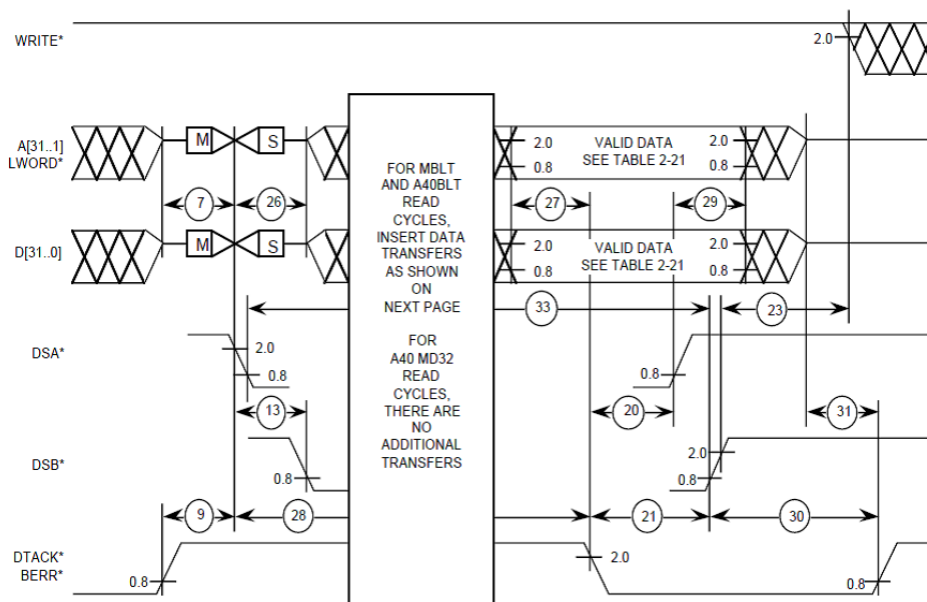


図 3.13: VME の READ サイクル [26]

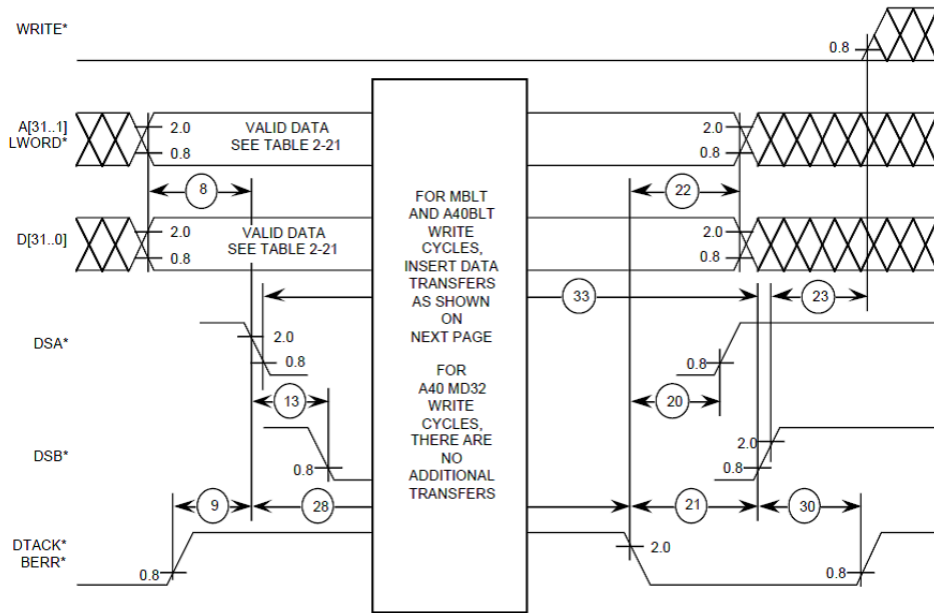


図 3.14: VME の WRITE サイクル [26]

FPGA の Configuration

FPGA の Configuration には SelectMAP モード (Slave Parallel Mode) を用いる。このモードを選択するために、FPGA の M[1:0] (Mode) ピンを 10 (HL) にしておく。CPLD は VME から受け取った FPGA デザインの .bit ファイルを 16 bit ずつ FPGA に書き込む。主に使用する信号線は以下である。

- FPGA_CCLK (Configuration Clock)
- FPGA_CSI_B (Chip Select In)
- FPGA_RDWR_B (Read/Write, L: Write, H: Read)
- FPGA_PROG_B
- FPGA_INIT_B
- FPGA_DONE
- CFG_DATA[15:0]

_B は Low Active な信号線である。CPLD が **PROG_B** をアサートすると Configuration 開始の合図であり、FPGA からの **INIT_B** がアサートされて初期化されるのを待つ。初期化が完了したら、**CCLK** の立ち上がりと共に 16 bit ずつ Configuration 用データを渡す。Configuration が完了したら **DONE** の立ち上がりを確認する。

今回、単一デバイスでリードバックなしを想定し、**CSI** と **RDWR** は常にグラウンドに接続してある。また、**INIT**, **DONE**, **PROG** のピンはプルアップ抵抗に接続してある。

3.6.4 Rocket IO GTP のインターフェース

PT6 は Rocket IO GTP を 4 チャンネル搭載している、それぞれでギガビットの転送速度でのシリアル送受信が可能である。Rocket IO GTP の信号をやり取りするコネクタ・ケーブルは HSSDC2 (High Speed Serial Digital Connector) を使用する。これは図 3.15 のように信号線が 7 本あるケーブル・コネクタで、3 本が GND, 残りの 4 本で差動の送受信を行い、全二重通信が可能である。

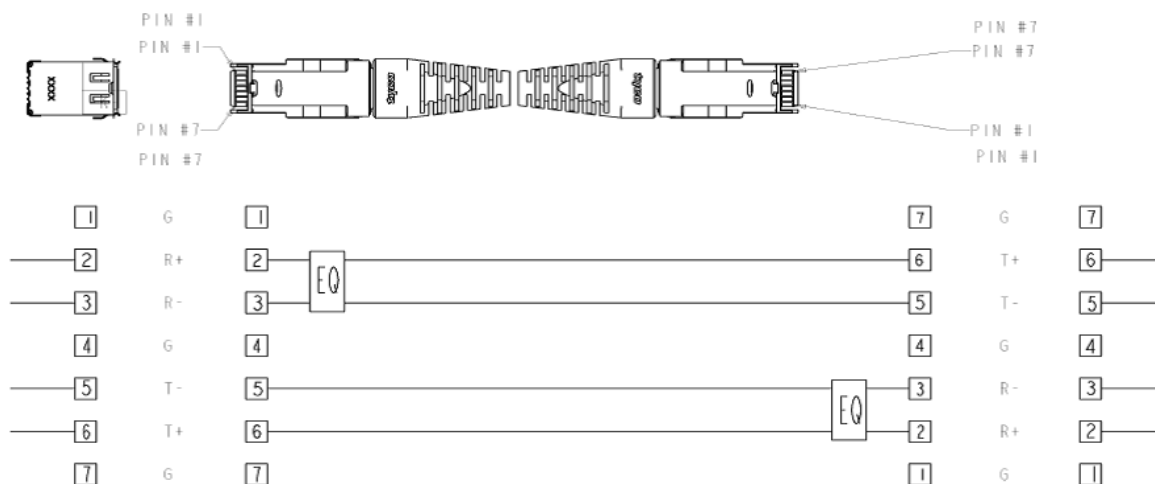


図 3.15: HSSDC2

3.6.5 ギガビットイーサネットのインターフェース

PT6 は PC からのコンソール用にギガビットイーサネットのインターフェースを搭載し、FPGA 上に SiTCP を実装することによって TCP プロトコルの制御を行う。物理層トランシーバ IC は National Semiconductor 社の GigPHYTER V DP83865DVH を使用し、LAN ケーブルへの RJ45 コネクタとしては HALO Electronics 社のパルストランス一体型コネクタ HFJ11-1G02E を使用する。

これらに必要な 25 MHz のクロックは、MGT 用の 125 MHz のクロックを FPGA 内部で 1/5 に分周して使用する。

また、イーサネットの接続状態を表すインジケータとして、LINK (ON: リンクがとれている)、ACT (ON: パケット受信) の LED をフロントパネルに、FULL (ON: 全二重通信モード)、100M (ON: 100 Mbps 通信モード)、1G (ON: 1 Gbps 通信モード) の LED を基板上に取り付けてある。

3.6.6 外部メモリ

PT6 は以下の 3 つの外部メモリを搭載している。

SDRAM (Synchronous Dynamic Random Access Memory)

SDRAM として Micron Technology 社の MT48LC8M16A2 を搭載している。これは一時的なデータの格納場所としての使用を想定している。

図 3.16 に SDRAM のブロック図を載せる。この図からもわかるように、この SDRAM は ROW ADDRESS 12 bit, COLUMN ADDRESS 9 bit, Bank Address (BA) 2 bit の合計 $2^{12} \times 2^9 \times 2^2 = 8,388,608 = 8 \text{ M}$ だけのデータ格納場所があり、それぞれに 16 bit のデータが格納できるので、データ容量は 128 Mbit = 16 MB となっている。

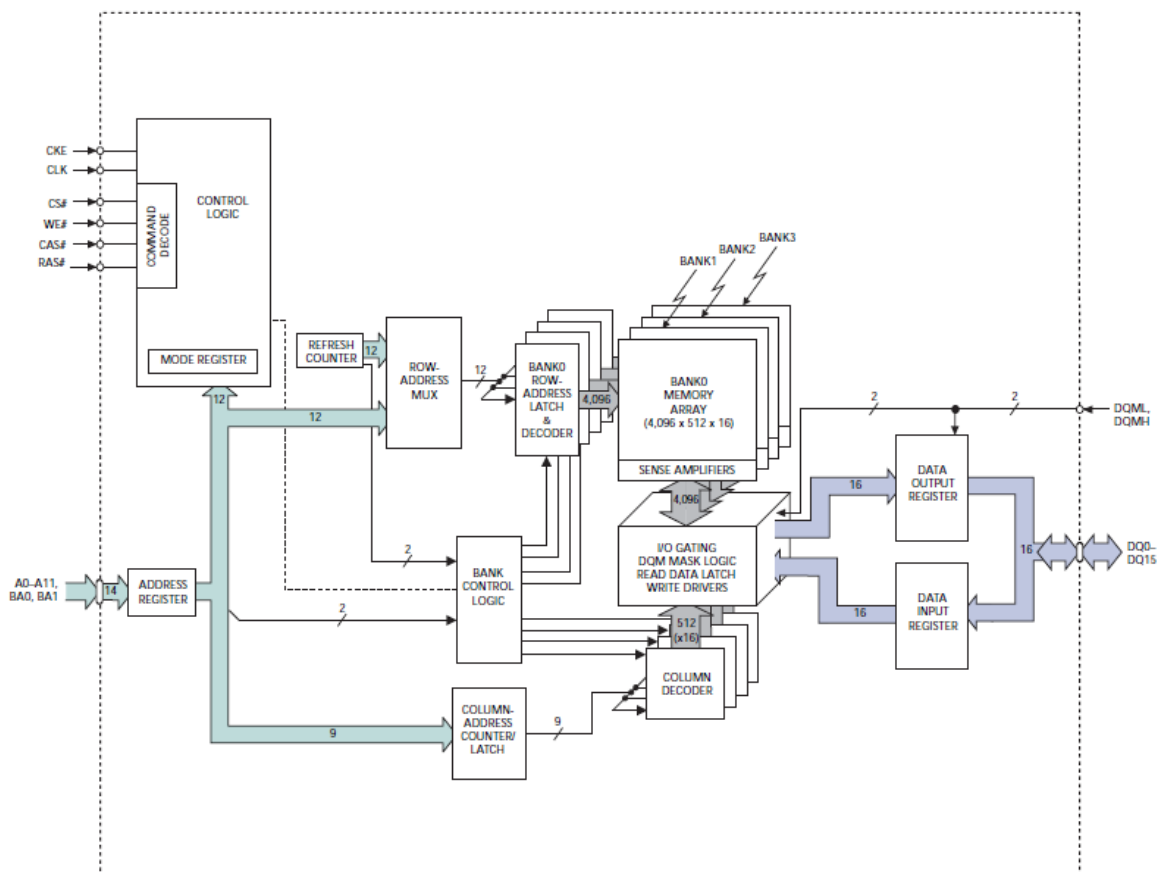


図 3.16: SDRAM のブロック図 [24]

SPI Flash Memory

SPI (Serial Peripheral Interface) Flash メモリとして STMicroelectronics 社の M25P64 を搭載している。これは将来的に MicroBlaze で動かすための OS やブートローダの保管場所としての使用を想定している。

DPM (Dual Port Memory)

DPM としては IDT 社の IDT70V28L を搭載している。DPM は図 3.17 のように双方向から読み書きが可能なメモリで、VME 側からの読み書きは CPLD が制御し、FPGA 側からの読み書きは FPGA 自身で制御する。

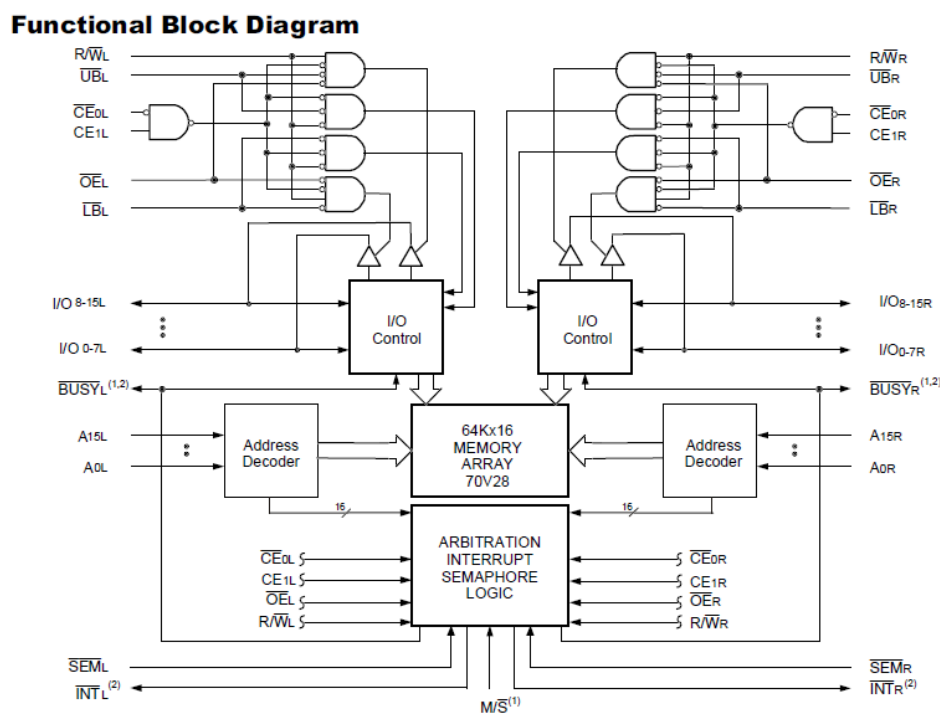


図 3.17: DPM のブロック図 [20]

3.6.7 Mezzanine Card

PT6 は Mezzanine Card Slot を 1 つ搭載している。これは PT5, PT4 のものとも互換性があり、子ボードである Mezzanine Card を取り付けることができる。Mezzanine Card にはいくつかの種類があり、それぞれに役割があるが、今回の主な使用目的としては光モジュールからの G-Link 信号 (2.2.3 節) や S-Link 信号の送受信である。これにより、実際の ROD に近い状態でのテストベンチを構成することが出来る。

3.6.8 RS232

PT6 はコンソール用に RS232 の信号線も持っている。ただしコネクタがフロントパネルに載らないのでボード上にピンだけ出している。これは MicroBlaze CPU コアの標準入出力として使用することができる。RS232 信号の Driver/Receiver としては ADM3202 を搭載している。

3.6.9 NIM 入出力

PT6 は高エネルギー物理学実験に置いてよく用いられる規格である NIM⁹信号の入出力も持っている。入力と出力はそれぞれ 2 口ずつ持っており、片方はそれぞれクロック用である。NIM からの外部入力によるクロックで FPGA を動作させることも可能になっている。

3.6.10 クロック

PT6 は以前の PT5 と互換するために、また LHC のバンチ衝突のタイミングに合わせるために 40 MHz のクロックを搭載している。また、それとは別に RocketIO GTP の REFCLK 用に 125 MHz のクロックも搭載している。このクロックをユーザーロジックに使用することも可能である。

3.7 PT6 のアドレス空間

VME バスから PT6 がどのように見えるか、そのアドレス空間の割り振りを説明する。

A[31:19] の 13 bit のアドレスは DIP スイッチによって指定するボード自身のアドレスである。コンパレータにより、送られてきたアドレスと DIP スイッチのアドレスが正しいか比較し、正しかった場合は MATCH[1:0] の信号を H にする。

A[1:0] の 2 bit は VME プロトコルのバイトアクセス¹⁰に使用するので、ユーザーは直接的には使用しない。

3.7.1 DPM のアドレス空間

A18 を立てると、A[17:2] の 16bit が DPM のアドレス DPM_A[15:0] になる。

アドレス	31 - 19	18	17 - 2	1,0
意味	DIP スイッチ	1	DPM_A[15:0]	Byte Access

表 3.3: DPM のアドレス空間

3.7.2 FPGA のアドレス空間

A10 を立てると、A[9:2] の 8 bit が FPGA のアドレス FPGA_IA[7:0] になる。

アドレス	31 - 19	18	17-11	10	9 - 2	1,0
意味	DIP スイッチ	0	未使用	1	FPGA_IA[7:0]	Byte Access

表 3.4: FPGA のアドレス空間

⁹Nuclear Instrument Modules: 放射線測定モジュール標準規格
¹⁰32 bit (4 B) のアドレスのどのバイトにアクセスしているかを示す

3.7.3 CPLD のアドレス空間

A18 も A10 も立てないと, A[9:2] の 8 bit が CPLD のアドレス CPLD_IA[7:0] になる.

アドレス	31 - 19	18	17-11	10	9 - 2	1,0
意味	DIP スイッチ	0	未使用	0	CPLD_IA[7:0]	Byte Access

表 3.5: CPLD のアドレス空間

3.8 PT6 の動作テスト

この節では, 作成した PT6 ボードの動作試験について述べる. 図 3.18 は PT6 ボードの写真である.

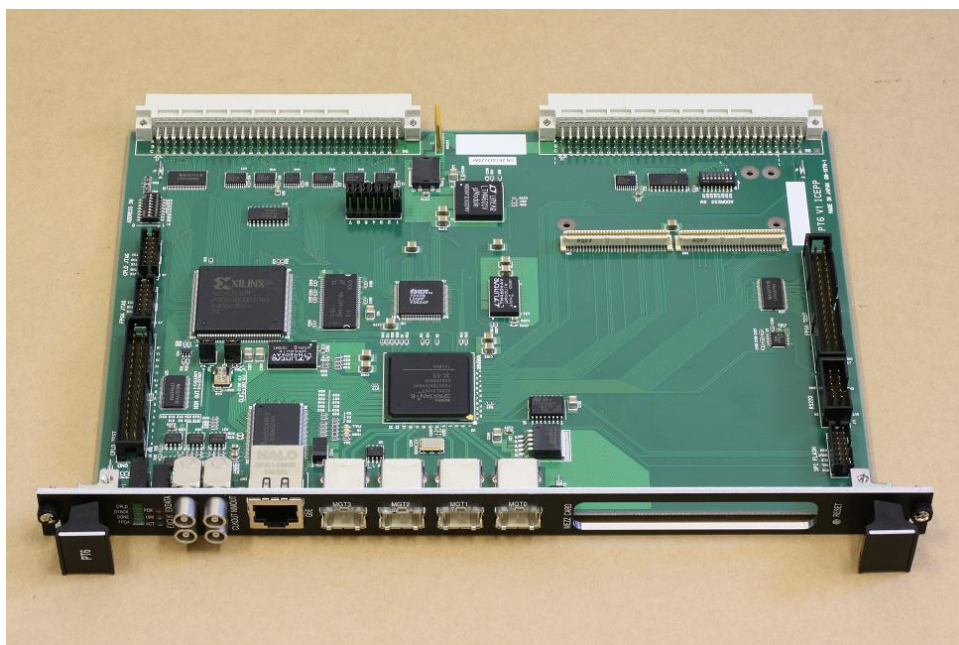


図 3.18: PT6 の写真

3.8.1 VME 制御のテスト

まず第一に PT6 は VME スレーブモジュールであるので, VME バスからアクセスできるような機能を実装した. VME バスからは CPLD と FPGA と DPM に直接アクセスできるが, その制御は CPLD が行う. CPLD 上の HDL デザインを作成し, VME Driver [36] を用いて動作を確認した.

図 3.19 は PT6 上のレジスタに値を書きこんでいるときの主要な信号線をロジックアナライザで観察したものである. WRITE* の信号線が L となり書き込みサイクルが開始され, PT6 が DTACK をアサートして書き込みサイクルが正常に終了していることが分かる (図 3.14 参照).

また、図 3.20 は PT6 上のレジスタから値を読みこんでいるときの波形である。今度は WRITE* が H で読み出しサイクルであり、同じように PT6 が DTACK をアサートして読み出しサイクルが正常に終了していることが分かる (図 3.13 参照)。

これにより、PT6 ボードへの VME アクセスは正常に機能することが確認できた。



図 3.19: PT6 WRITE

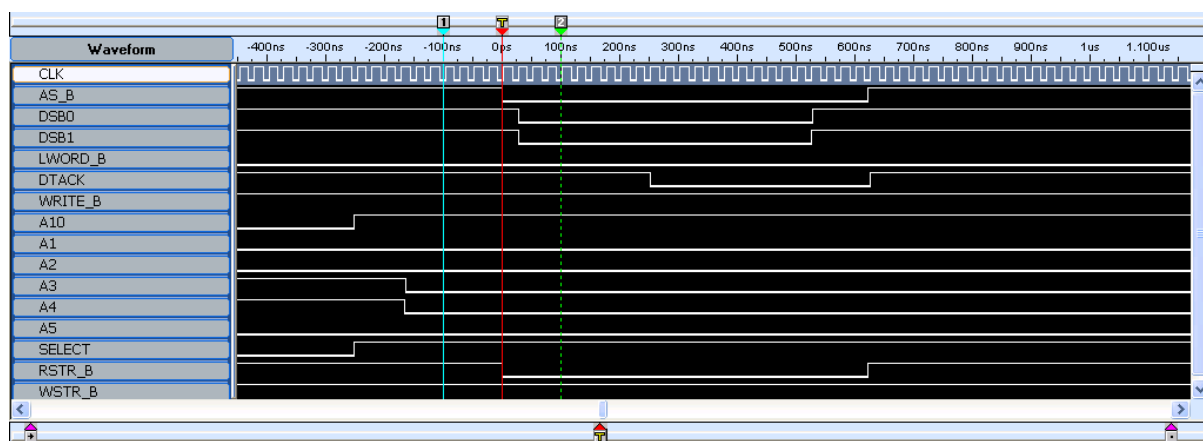


図 3.20: PT6 READ

3.8.2 Rocket IO GTP の動作テスト

Rocket IO GTP は Reference Clock を 10 倍, 20 倍, 40 倍にした周波数でシリアル通信を行うことができる。最大通信速度は 3.125 Gbps であるが、PT6 の場合は Reference Clock は 125 MHz であるので、通信速度としては 1.25 Gbps, 2.5 Gbps が可能である。

Core Generator によって Rocket IO GTP コアを生成し、そのコアを利用した FPGA デザインを作成し、Rocket IO GTP のテストを行った。図 3.21 は Core Generator の Rocket IO GTP コア選択画面である。また図 3.22 は Core Generator によるコア生成時のラインレートを選択できる。

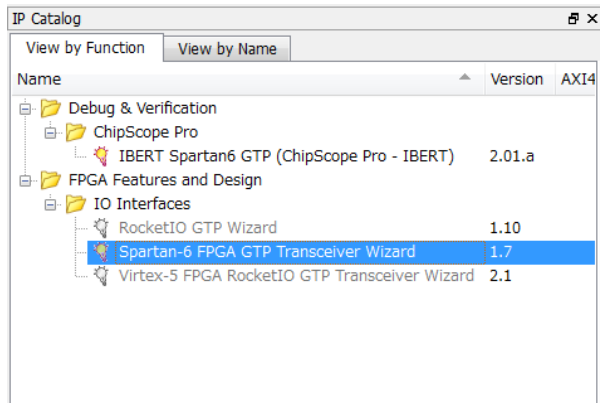


図 3.21: コアジェネレータ

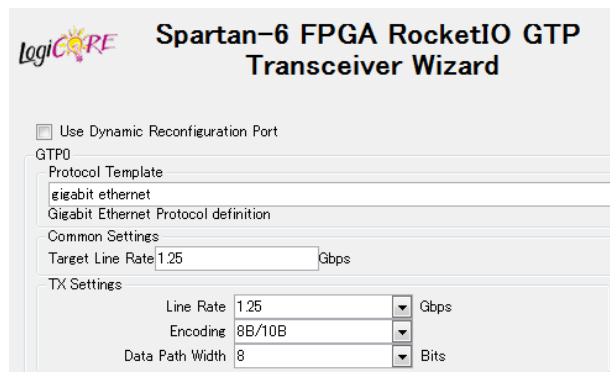


図 3.22: ラインレート

テストの手順は以下である。

1. VME 経由で FPGA 上のレジスタにパラレルデータを書き込む
2. その値を, Rocket IO GTP によってシリアル変換し, 1 つの口から送信する
3. その信号を別の Rocket IO GTP の口で受け, パラレル変換する
4. 受けた値を LED に表示させる

このテストを, PT6 上の 4 つの Rocket IO GTP の口全てで送受信両方のテストを行ったが, 全ての場合においてレジスタに書きこんだ値が Rocket IO で送受信された後, 正しく LED 上に表示された。

また, ラインレートは 1.25 Gbps, 2.5 Gbps の両方で試したが, どちらの場合でも問題なく動作した。

図 3.23 はそのテスト時のセットアップの写真であり, 図 3.24 は Rocket IO GTP で 2 進法の 5 を送受信して LED に表示させたときの様子である。



図 3.23: Rocket IO GTP 送受信テスト



図 3.24: LED で”5”を表示させたときの様子

次に, Rocket IO GTP でシリアル転送されているデータを直接オシロスコープで観察してみるという実験を行った。

ただし, PT6 に搭載されている Rocket IO GTP のコネクタは HSSDC2 であり, これはこのままオシロスコープで見ることができないため, 図 3.25, 図 3.26 に示すような SMA 変換ボードを

自作した. SMA コネクタは Spartan6 評価ボード SP605 でも Rocket IO GTP の送受信の口として使用されているため, これによって SP605 との通信も可能になるため有用である.

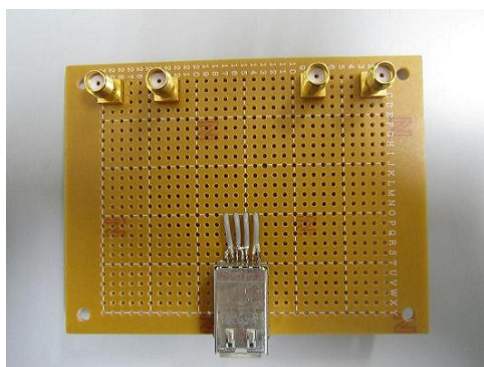


図 3.25: SMA 変換ボード (表)

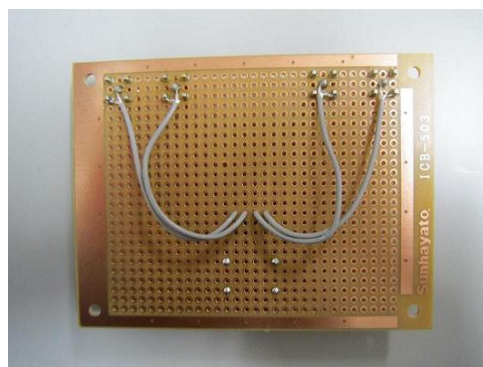


図 3.26: SMA 変換ボード (裏)

この変換器を用いて SMA に変換し, PT6 からの Rocket IO GTP 信号をオシロスコープで直接観察したところ, 以下のような波形が得られた.

図 3.27 は 1.25 Gbps で通信しているときの波形である. この画面では横軸が 1 目盛り 2 ns であるため, この波形が 8 ns の周期を持っていることが分かる. Rocket IO GTP では 8b/10b 変換をしているため, 1 周期で 10 bit のデータを転送する. よって 1 bit あたり 0.8 ns で転送していることになり, 1.25 Gbps での転送速度が実現していることが分かる. また, 図 3.27 ではパラレル 8 bit で 00000000 のデータを送信しているものであるが, このデータは 8b/10b 変換をすると 1001110100 という値になる. 良く見るとこの図でも波形が 1001110100 のパターンになっていることが認められる. よって 8b/10b 変換も正しく機能していることが確かめられた.

また, 図 3.28 では 2.5 Gbps で通信しているときの波形を観察したものである. 1.25 Gbps の場合と比べて波形が汚くなってしまっているので具体的なビットのパターンを認識するのは難しいが, 4 ns の周期をもっていることは認められる (横軸 1 目盛り 2 ns). 同じように 1 bit あたり 0.4 ns で通信しているので 2.5 Gbps の転送速度が実現できていることが分かる.

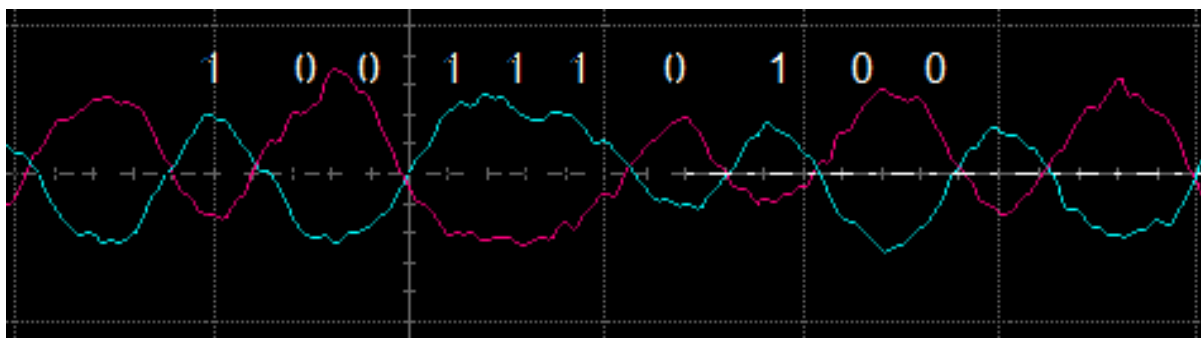


図 3.27: 1.25 Gbps の波形

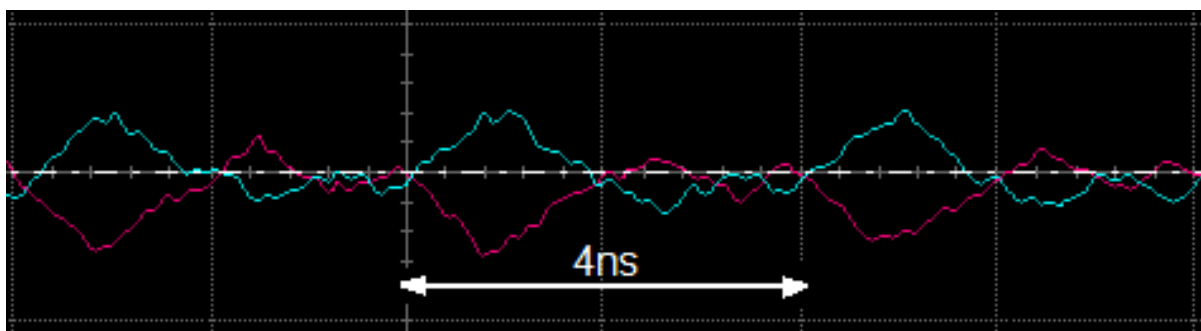


図 3.28: 2.5 Gbps の波形

なお、これらの波形は汚く見えるが、これは HSDDC2-SMA 変換ボードを自身ではんだ付けして作成したためインピーダンスマッチングがきちんとはとれていないからであり、本来であれば図 3.29 のようにオシロスコープであってもデジタル波形が綺麗に観察できる。なおこの図は、Spartan6 評価ボードからの Rocket IO 出力を SMA ケーブルから直接オシロスコープで観察したものである。インピーダンスマッチングがきちんとはとれていれば、このような波形が見られる。

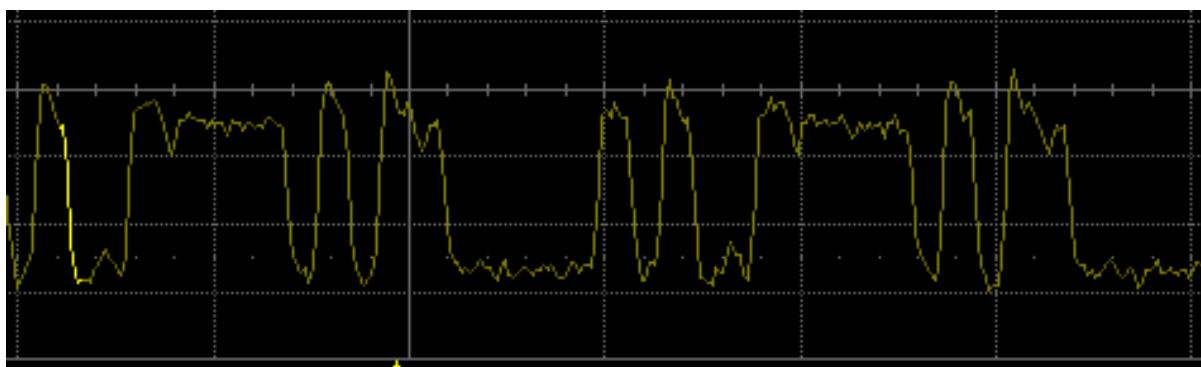


図 3.29: Spartan6 評価ボードからの Rocket IO GTP のシリアル信号を見た様子

3.8.3 SiTCP によるギガビットイーサネットの動作テスト

FPGA 上に搭載可能な TCP プロセッサである SiTCP を PT6 の FPGA 上に実装させることによって、ギガビットイーサネットの通信テストを行った。図 3.30 にそのテストの様子を載せる。

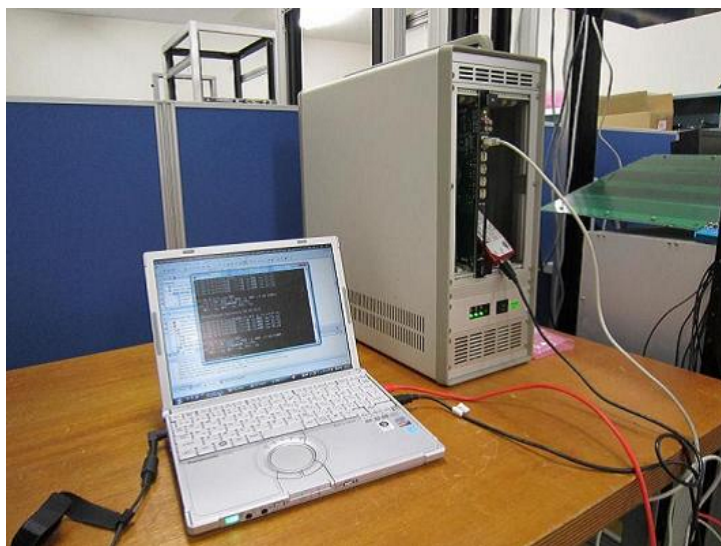


図 3.30: GbE テストの様子

ギガビットイーサネットの物理層トランシーバには 25 MHz のクロックと、1 Gbps 通信をする場合には 125 MHz のクロックを供給しなければならないが、PT6 の場合 Rocket IO GTP 用に 125 MHz のリファレンスクロックがあるため 125 MHz にはこれをそのまま使い、25 MHz のクロックはこれを 5 分の 1 に分周させたものを用いた。

ギガビット通信をする場合 SiTCP のシステムクロックには 125 MHz を越える周波数のクロックを用いる必要があるが、今回は FPGA に供給されている 40 MHz のクロックを 13/4 に 逡倍/分周 させて 130 MHz のクロックとして用いた。

また、PT6 上の物理層トランシーバである Gig PHYTER V は相手の通信速度を自動的に検出することができるため、それによって SiTCP の方も自動的に 1 Gbps 通信なのか 100 Mbps 通信なのかを切り替えられるように設計した。

PT6 の FPGA 上に SiTCP を実装しギガビットイーサネットの通信テストを実行したところ、期待通りの動作をすることが確認できた。


```
C:\Users\takayuki.Kamiya>ping 192.168.10.16

192.168.10.16 に ping を送信しています 32 バイトのデータ:
192.168.10.16 からの応答: バイト数 =32 時間 =1ms TTL=128
192.168.10.16 からの応答: バイト数 =32 時間 =1ms TTL=128
192.168.10.16 からの応答: バイト数 =32 時間 =1ms TTL=128
192.168.10.16 からの応答: バイト数 =32 時間 =1ms TTL=128

192.168.10.16 の ping 統計:
    パケット数: 送信 = 4、受信 = 4、損失 = 0 (0% の損失)、
    ラウンド トリップの概算時間 (ミリ秒):
        最小 = 1ms、最大 = 1ms、平均 = 1ms
```

図 3.31: ping コマンドによる通信確認

図 3.31 は ping コマンドによって通信状態を確認している様子である。SiTCP はデフォルトで 192.168.10.16 という IP アドレスを持っているため、ping 192.168.10.16 というコマンドで PT6 上に実装された SiTCP にアクセスすることができる。この図より、正しく応答が帰ってきていることが分かる。

また図 3.32 はソフトウェアによってギガビットイーサネット経由で FPGA 内のレジスタのデータを読み書きしている様子である。wrb というコマンドで最初の引数で与えるアドレスに二番目の引数で与えるデータを書き込み、rd というコマンドで引数で与えるアドレスのデータを読み込む。図では 0x8 というアドレスに 1 byte のデータ (0x44) を書き込み、また読み出しているが、書いた値と読んだ値が正しく一致していることが分かる。

```
SiTCP-RBCP$ wrb 0x8 0x44
wrb 0x8 0x44: OK
SiTCP-RBCP$ rd 0x8 0x1

Received data:

[0x00000008] 44
```

図 3.32: ソフトウェアによるレジスタの読み書き

また、1 Gbps の通信速度で通信を行ったときのインジケータ LED の点灯の様子を図 3.33 に示す。この図より 1 Gbps の通信速度でリンクがとれていることが分かる。また 100 Mbps の通信速度についても同様にテストした。テストに用いた PC はデフォルトで 1 Gbps の通信が可能でそのまま繋ぐと 1 Gbps になってしまうため、わざと 100 Mbps までしかサポートしていないハブを介して繋いだ。その時の LED の様子が図 3.34 である。100 Mbps でリンクがとれていることが分かる。100 Mbps の場合でも 1 Gbps の場合でも同じようにテストを行い、ping コマンドが通ってレジスタに読み書きが出来ることが確認できた。

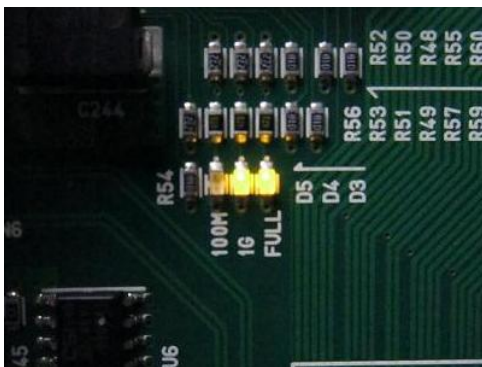


図 3.33: 1 Gbps で通信しているときの様子

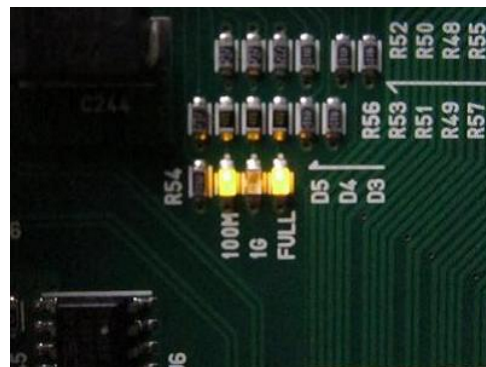


図 3.34: 100 Mbps で通信しているときの様子

3.8.4 MicroBlaze と RS232 出力の動作テスト

PT6 は MicroBlaze CPU コアを搭載した際の標準入出力として RS232 の入出力を備えている。UART¹¹ は MicroBlaze 内に組み込み可能であり、RS232 信号の レシーバ/トランシーバ としては ANALOG DEVICES 社製の ADM3202 を搭載している。

PT6 の FPGA に MicroBlaze Processor Core を搭載し、その出力を RS232 で見ることによって PT6 ボードにおける MicroBlaze の動作テストと、RS232 出力のテストを同時に行った。

MicroBlaze は Xilinx 社のツールである Xilinx Platform Studio で生成が可能である。このツールを使うことである程度簡単に MicroBlaze を含むシステムを構築することが出来る。図 3.35 は Xilinx Platform Studio の開発画面のスクリーンショットである。このツールを用いると、MicroBlaze CPU コアで処理するプログラムのバイナリファイルも FPGA デザインと同時に FPGA にダウンロードできる。

また MicroBlaze の動作クロックも、クロックジェネレータによって、40MHz を逡倍もしくは分周することで調整可能となっている。MicroBlaze の最大動作速度は仕様で 230 MHz となっているが、今回は 120 MHz でテストをした。

今回は MicroBlaze を用い、図 3.36 のように、単純に "Hello PT6" と出力するだけのプログラムを作成した。

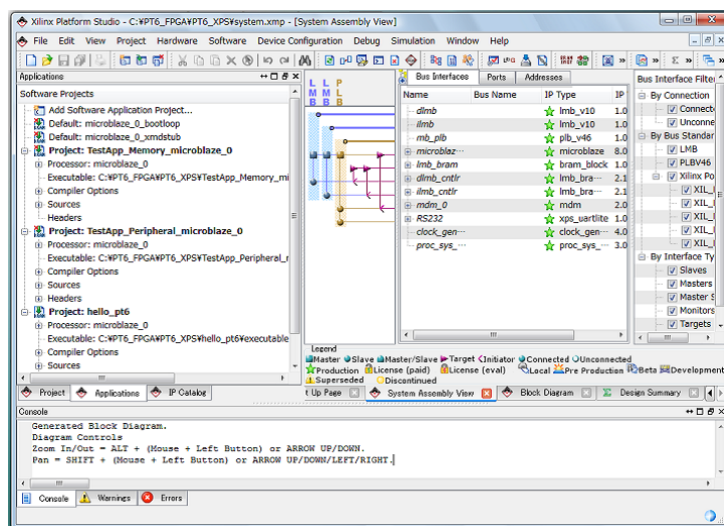


図 3.35: Xilinx Platform Studio

また、PT6 には RS232 コネクタは大きすぎて搭載できなかったため図 3.37 のように出力のピンだけ出して図 3.38 のように導線で RS232 ケーブルと接続した。

図 3.36: Hello PT6 と出力するプログラム

¹¹Universal Asynchronous Receiver Transmitter: シリアル信号とパラレル信号を変換する回路



図 3.37: RS232 出力ピン



図 3.38: RS232 ケーブルとの接続

セットアップが完了したところで MicroBlaze とソフトウェアプログラムを含むデザインを FPGA にダウンロードし、その出力を Tera Term¹²によって確認した。図 3.39 がその様子である。プログラム通りに "Hello PT6" と表示されていることがわかる。

これにより MicroBlaze と RS232 出力の動作を確認できた。

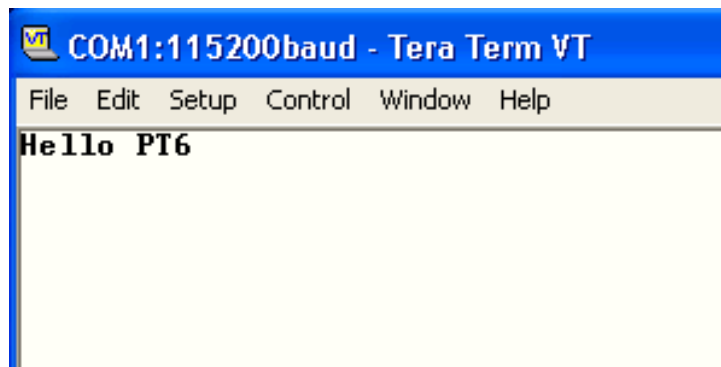


図 3.39: Tera Term の出力画面

3.8.5 NIM 入出力のテスト

PT6 の NIM 入出力の信号についても簡単にテストを行った。

NIM 信号の電圧レベルは、50 Ω 終端抵抗で見た場合、0 V: L, -800 mV: H と規定する。

まず PT6 は NIM 入出力を 2 つずつもっているため、FPGA 内部の 40 MHz のクロックをそのまま NIM 出力に出してオシロスコープで観察することを行った (図 3.40)。図 3.42 がそのときのオシロスコープの波形である。DC 接続で見て 40 MHz (横軸 10 ns), 0 V と -800 mV (縦軸 500 mV) の矩形波が見えていて、NIM 出力信号に問題ないことが確かめられた。

また、入力のテストをするために、1 つの出力から出た信号を LEMO ケーブルで入力端子につなぎ、CPLD 内部でその信号線をまた出力に割り当て、その出力をオシロスコープで観察するとい

¹²シリアル接続に対応した Windows 用ターミナルクライアント

うことを行った (図 3.41). 図 3.43 がそのときのオシロスコープの波形である. 多少波形がなまっているが, もととの信号とほとんど同じ波形が観察でき, これによって NIM 入力も問題ないことが確認できた.

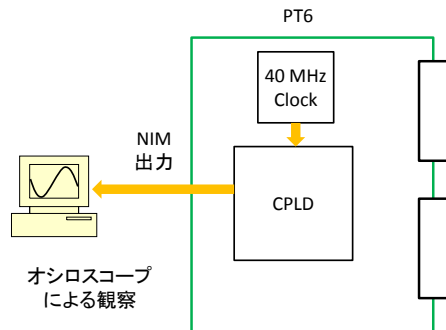


図 3.40: NIM 出力テスト

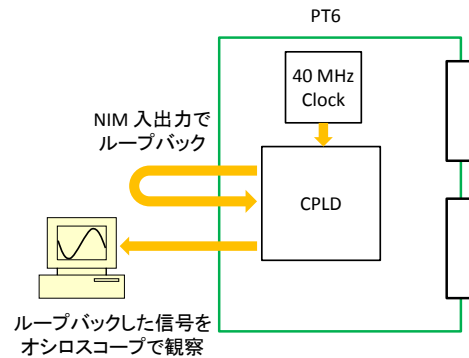


図 3.41: NIM 入力テスト



図 3.42: クロックを NIM 出力で直接見たときの様子

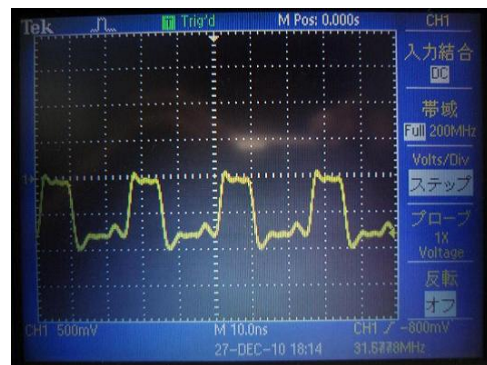


図 3.43: NIM 出力のクロックを NIM 入力に入れ, それを再度 NIM 出力に出して見たときの様子

3.8.6 Mezzanine Card のテスト

PT6 は Mezzanine Card スロットを搭載しており, Mezzanine Card を取り付けることによって様々な拡張機能を備えることができる. 今回は CERN で用いられている光ファイバー送受信の規格である G-Link 送受信用の Mezzanine Card を搭載してそのテストを行った. 手順は以下である.

1. VME 経由で FPGA 上のレジスタにパラレルデータを書き込む
2. その値を, Mezzanine Card 上のシリアルライザによってシリアル変換する
3. シリアルデータを光信号に変換して送信する
4. 光信号を同じ Mezzanine Card 上の受信の口で受け, また電気信号に変換する

5. そのシリアル電気信号をデシリアライザでパラレル変換する
6. パラレルデータを FPGA 上のレジスタに書きこむ
7. VME 経由でそのデータの値を読む

図 3.44 がそのテストの概略図であり、図 3.45 がそのテストを行っている様子である。

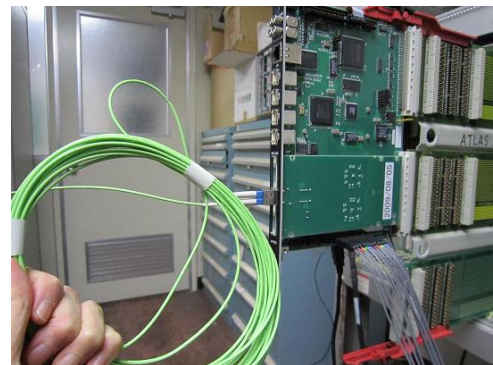
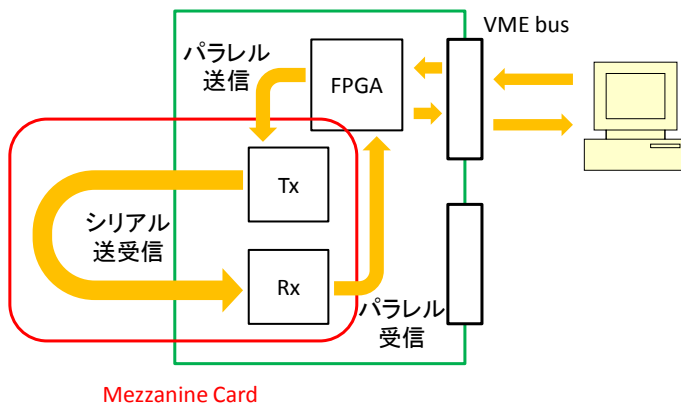


図 3.45: G-Link の Mezzanine Card のテストの写真

図 3.44: G-Link Mezzanine Card のテストの概略図

このテストを行ったところ、Mezzanine Card 経由で送信したデータと受信したデータが一致することが確認できた。この G-Link Mezzanine Card では 16 bit のデータを送受信できるが、 $2^{16} = 65,536$ 通り全てのデータを送受信させても、エラーは認められなかった。

よって Mezzanine Card Slot が正しく機能することが確認できた。

3.8.7 DPM (Dual Port Memory) のテスト

PT6 は、DPM (Dual Port Memory) として IDT 社の IDT70V28L を搭載しており、VME バスからと FPGA からの両方から読み書きが可能である。

この DPM は アドレス線が 16 本あるため $2^{16} = 65,536$ だけデータ格納場所があり、それぞれのデータ幅は 16 bit であるため $64 \text{ k} \times 16 \text{ bit} = 128 \text{ kB}$ のデータ容量がある。

今回はこの DPM の VME バス側、FPGA 側の双方向から全てのアドレスにアクセスしてデータを読み書きするテストを行った。テストにあたっては VME Driver [36] を利用し、テスト用のプログラムは C++ 言語で独自にソースコードを書いた。

まず VME 側のテストであるが、PT6 は VME アドレスの A18 を H にすることで DPM へのアクセスが可能になり、そのとき A17-A2 が DPM の 16 bit アドレスになるように設計してある (3.7.1 節)。今回は $2^{16} = 65,536$ パターン全てのアドレスにアクセスしてアドレスと同じ値のデータを書きこみ、その後そのデータを読んで書いた値と読んだ値が一致しているか確認するテストを行った (図 3.46 (1))。

また FPGA 側からのアクセスについては, FPGA から DPM への制御線が出ているためこれらを FPGA 側から制御し DPM にアクセスするような論理回路を作成した. こちらの場合も, $2^{16} = 65,536$ パターン全てのアドレスにアドレスと同じ値のデータを書き込んで, その後そのデータを読んできちんと読み書きが成功しているかのテストを行った (図 3.46 (2)).

結果, DPM のどちら側からのアクセスに対しても, 全てのアドレスに対して書き込んだ値と読んだ値が一致し, DPM の動作に問題ないことが確認できた. 図 3.47 に, その結果の一部を示す. 左側の列がアドレス, 真ん中の列が書きこんだ値, 右側の列が読んだ値である. 65,536 パターンのアドレス全てに対して書いた値と読んだ値が一致することが確認できた.

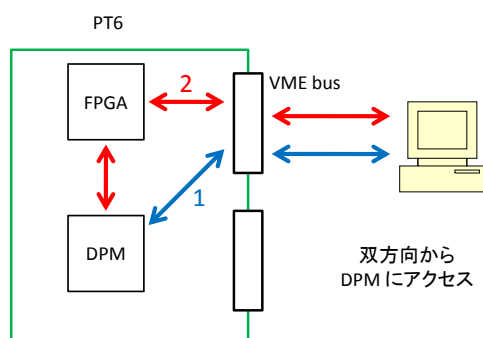


図 3.46: DPM テストの概略図

```
tkamiya@misuzu:~/PT6_Test/DPM_FPGASide_Tes
Address: ffe9 Write Data: ffe9 Read Data: ffe9
Address: ffea Write Data: ffea Read Data: ffea
Address: ffeb Write Data: ffeb Read Data: ffeb
Address: ffec Write Data: ffec Read Data: ffec
Address: ffed Write Data: ffed Read Data: ffed
Address: ffee Write Data: ffee Read Data: ffee
Address: ffef Write Data: ffef Read Data: ffef
Address: fff0 Write Data: fff0 Read Data: fff0
Address: fff1 Write Data: fff1 Read Data: fff1
Address: fff2 Write Data: fff2 Read Data: fff2
Address: fff3 Write Data: fff3 Read Data: fff3
Address: fff4 Write Data: fff4 Read Data: fff4
Address: fff5 Write Data: fff5 Read Data: fff5
Address: fff6 Write Data: fff6 Read Data: fff6
Address: fff7 Write Data: fff7 Read Data: fff7
Address: fff8 Write Data: fff8 Read Data: fff8
```

図 3.47: DPM の動作テストの結果

3.8.8 SDRAM のテスト

PT6 は 16 MB の容量の SDRAM を搭載している. この SDRAM に対しても動作テストを行った. 図 3.48 がそのテストの概略図である. SDRAM は内部に Row Address 12 bit, Column Address 9 bit, Bank Address 2 bit の合計 $2^{12+9+2} = 8,388,608 = 8 \text{ M}$ のデータ格納場所があり, それぞれに 16 bit のデータが格納できるため, 16 MB のデータ容量となっている.

FPGA 側から SDRAM の操作をする場合, これらのアドレスを与え, CKE, CS#, WE#, CAS#, RAS#, の信号線をコマンドとして用いて Read, Write 等の命令を与える.

今回, この SDRAM をコントロールするための FPGA デザインは, Design Wave Magazine 2009 年 1 月号に掲載されていたもの [9] を使用した. 図 3.49 がそのブロック図である. この SDRAM コントローラを含み, VME バスから制御できるな FPGA デザインを自作して SDRAM の動作テストを行った (図 3.48 参照).

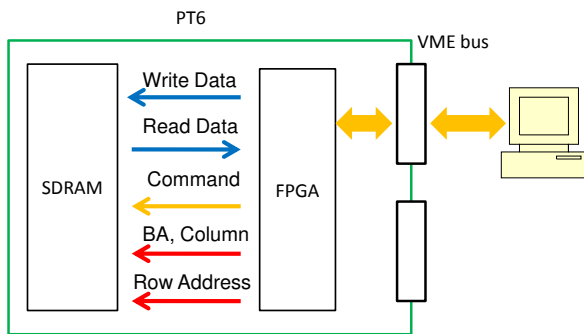


図 3.48: SDRAM テストの概略図

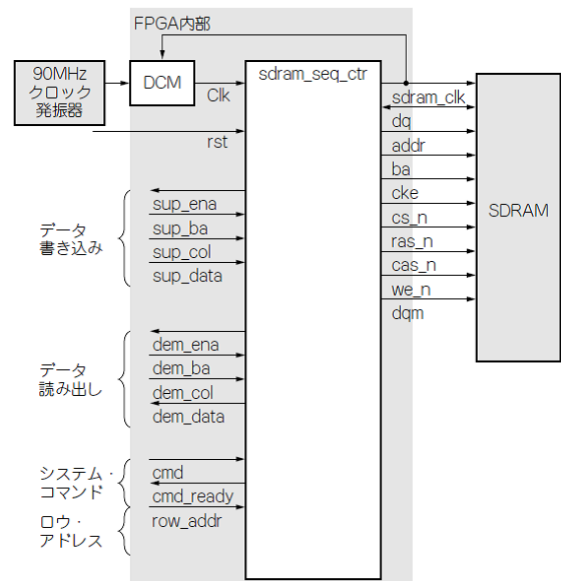


図 3.49: SDRAM コントローラのブロック図 [9]

図 3.50, 図 3.51 に, そのテストの結果を載せる. 図 3.50 は, ある Bank Address のある Column Address の 12 bit Row Address の全ての場所にデータを読み書きしたテストの結果である. 0x000 のアドレスから 0xffff のアドレスまでの全てに, アドレスと同じ値のデータを書き込んで, その後その値を読む試験を行ったが, 図を見ると分かるように書きこんだ値と読んだ値が一致していることが分かる.

また, 次にこのテストを全ての 2 bit Bank Address, 全ての 9 bit Column Address で $2^{2+9} = 2048$ 通り実行した. その結果が図 3.51 である. その結果, 読み書きに失敗することは一度もなく, この SDRAM が正常に機能していることが確認できた.

```
tkamiya@misuzu:~/PT6_Test/SDRAM_Tes
Address: fe9 Write Data: fe9 Read Data: fe9
Address: fea Write Data: fea Read Data: fea
Address: feb Write Data: feb Read Data: feb
Address: fec Write Data: fec Read Data: fec
Address: fed Write Data: fed Read Data: fed
Address: fee Write Data: fee Read Data: fee
Address: fef Write Data: fef Read Data: fef
Address: ff0 Write Data: ff0 Read Data: ff0
Address: ff1 Write Data: ff1 Read Data: ff1
Address: ff2 Write Data: ff2 Read Data: ff2
Address: ff3 Write Data: ff3 Read Data: ff3
Address: ff4 Write Data: ff4 Read Data: ff4
```

図 3.50: SDRAM テストの結果 (1)

```
2039 done, error: 0
2040 done, error: 0
2041 done, error: 0
2042 done, error: 0
2043 done, error: 0
2044 done, error: 0
2045 done, error: 0
2046 done, error: 0
2047 done, error: 0
ALL done
error:0
[tkamiya@misuzu SDRAM_Test]$
```

図 3.51: SDRAM テストの結果 (2)

3.8.9 SPI Flash Memory のテスト

PT6 は SPI¹³Flash Memory として STMicroelectronics 社の M25P64 を搭載している。容量は 64 Mbit (8 MB) であり、将来的に FPGA 上の CPU で OS を動かすことを想定しているため、その OS の格納場所として取り付けた。

この SPI Flash の動作テストであるが、本来ならば FPGA 上に SPI コントローラのデザインを作成して動作テストをすべきであるが、今回はとりあえず動いていることが確認できれば良かったため Ricreations 社の Universal Scan [35] というソフトウェアを用いて動作テストを行った。

Universal Scan を用いると Xilinx の JTAG-USB ケーブルによる JTAG のバウンダリスキャン機能を用いて FPGA に接続している SPI Flash Memory にアクセスできる。その設定も接続されている FPGA の型とパッケージの BSDL¹⁴ ファイルを指定して、SPI Flash が接続されているピンを指定するだけで簡単に行うことができる。図 3.52 に Universal Scan のスクリーンショットを載せる。

今回は、Xilinx の ISE¹⁵ で作成した FPGA デザインファイルを Universal Scan を用いて SPI Flash に書き込むテストを行った。書きこんだ後はまた Universal Scan を用いてデータを読み出すことができる。図 3.53 が SPI Flash に書きこんだ値を読んだものである。読みこんだデータが書きこんだデータと一致していることが確認できた。

これにより、PT6 ボード上の SPI Flash Memory は問題なく動作することが確認できた。

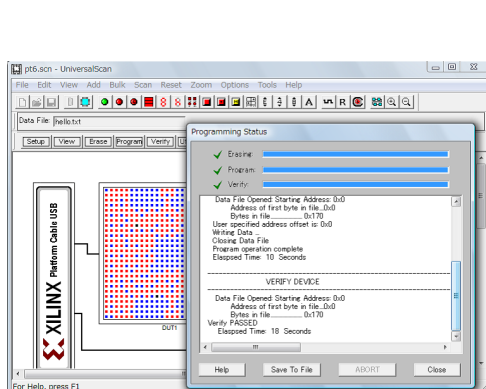


図 3.52: Universal Scan のスクリーンショット

The image shows the 'View Prom' software interface. At the top, there is a title bar 'View Prom'. Below it, there is a text field 'Address (Hex) 0x: 0' and a button 'Update Screen'. To the right, there is a text field 'Device Size (Bytes) 0x: 400000'. Below this is a table with 16 columns labeled 'OFFSET >>' and '00' through '0F'. The table contains 16 rows of hexadecimal data. The first row is '00000000 FF FF FF FF FF FF FF FF FF FF FF FF FF FF'. The second row is '00000010 AA 99 55 66 30 A1 00 07 20 00 31 A1 09 60 31 41'. The third row is '00000020 3D 00 31 61 09 EE 31 C2 04 03 D0 93 30 E1 00 CF'. The fourth row is '00000030 30 C1 00 81 20 00 20 00 20 00 20 00 20 00 20 00'. The fifth row is '00000040 20 00 20 00 20 00 20 00 20 00 20 00 20 00 20 00'. The sixth row is '00000050 20 00 20 00 20 00 33 81 3C C8 31 81 08 81 34 21'. The seventh row is '00000060 00 00 32 01 00 1F 31 E1 FF FF 33 21 00 05 33 41'. The eighth row is '00000070 00 04 33 01 01 00 32 61 00 00 32 81 00 00 32 A1'. The ninth row is '00000080 00 00 32 C1 00 00 32 E1 00 00 33 A1 1B E2 33 C2'. The tenth row is '00000090 00 00 00 00 20 00 20 00 30 22 00 00 00 00 30 A1'. The eleventh row is '000000A0 00 01 50 60 00 20 32 09 00 00 00 00 00 00 00'. The twelfth row is '000000B0 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00'. The thirteenth row is '000000C0 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00'. The fourteenth row is '000000D0 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00'. The fifteenth row is '000000E0 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00'. The sixteenth row is '000000F0 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00'.

図 3.53: SPI Flash から読んだデータ

¹³Serial Peripheral Interface: 比較的低速なシリアルバス

¹⁴Boundary Scan Described Language

¹⁵Integrated Software Environment: FPGA および CPLD デバイスを設計するための統合デザイン開発環境

3.9 結論

私は ATLAS 実験におけるデータ読み出しモジュール (ROD) のアップグレードの研究開発のためのプロトタイプモジュール (PT6) を開発し, その全ての機能について動作テストを行った. その結果全ての機能が良好に動作することが確認できた. それと同時に, 私は PT6 の機能を使うための FPGA デザインや動作プログラムなど, PT6 を今後使用していく際に必要な環境を整えた.

私はこれからの ROD 開発のために必要となるような新たな技術をいくつか導入した. FPGA に CPU コアを載せてソフトウェアでデータ処理を行うことや Rocket IO GTP を使って高速シリアル通信で並列計算をさせるといったことはこの業界ではあまり前例のないことであり, この技術を導入できたことは今後の素粒子物理実験において大きな貢献である.

新 ROD に必要なエラー診断システムや分散処理システムの具体的な開発は PT6 を用いてこれから行っていくことになるが, 私はその研究開発をするための基盤を築き上げた.

私の成果は今後の ATLAS 実験だけでなく, 素粒子物理実験に置いてデータ読み出しシステムを構築する際に様々な形で利用されることが期待される.

第4章 おわりに

私はこの大学院修士課程の2年間で ATLAS アップグレードに対応する読み出し系の研究開発のための環境を構築した。

まずは開発環境で用いるための汎用制御系として、放射線耐性を持つ PCI-VME 汎用制御系を開発した。

また、これからの研究開発を進めていくための基盤となるプロトタイプ用汎用モジュールを開発し、要求されている機能が実現できていることを確認した。

アップグレード後の読み出し系に要請される新たな技術である MicroBlaze CPU コアや Rocket IO ギガビットトランシーバ、SiTCP などの技術も導入できた。

新たな読み出し系の研究開発はこれからになるが、私はその研究開発をするためのインフラストラクチャを整備した。

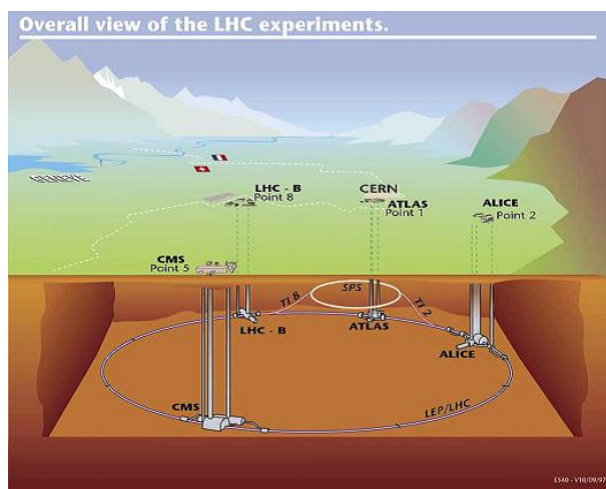
私の開発したエレクトロニクスシステムのインフラストラクチャは汎用的なものであるため、ATLAS 実験に限らず、他の様々な高エネルギー素粒子実験において利用されることが期待される。これにより、素粒子物理学のますますの発展が期待される。

付録 A LHC 加速器

LHC (Large Hadron Collider) はスイスとフランスの国境をまたぐ CERN 研究所に建設された大型ハドロン衝突型加速器である。地下 100 m に建設され、周長約 27 km の世界最大の円形加速器である。図 A.1 は LHC の概観である。また、LHC 加速器の主要パラメータを表 A.1 に示す。

LHC の最大の特徴は、14 TeV という世界最高の重心系エネルギーである。一般にエネルギーが大きくなるとシンクロトロン放射によるエネルギー損失が大きくなるが、LHC は質量の大きなハドロンコライダーであるため電子陽電子コライダーに比べてエネルギー損失が少ない¹。よってハドロンコライダーにすることで電子陽電子コライダーでは成し得なかった 14 TeV もの重心系エネルギーを実現できる。これにより 100 GeV から 1 TeV までの幅広い領域で Higgs 粒子の探索ができるほか、TeV 領域での超対称性粒子の発見などが期待される。

一方で、陽子はクォークとグルーオンから構成される複合粒子であるために反応が煩雑になることと、ルミノシティを稼ぐためにバンチ衝突頻度を 40 MHz と高頻度に行っていることから膨大な量のバックグラウンドが予想される。このため物理現象を解析するために必要なデータをいかに効率よく収集するかが重要となっている。



パラメータ	値
主リング周長	26.7 km
エネルギー（陽子）	7 TeV/proton
デザインルミノシティ	$10^{34} \text{ cm}^{-2}\text{s}^{-1}$
超伝導双極電磁石	8.33 T
バンチあたりの陽子数	1.15×10^{11}
バンチ数	2808
衝突間隔	25 ns

表 A.1: LHC の主要パラメータ [5]

図 A.1: LHC 加速器 [30]

A.1 LHC で行われている 4 つの実験

LHC 加速器の陽子ビームは、わずかにずれた二つの円形加速器の中をお互い逆向きに周回していて、図 A.2 に示す 4 つの衝突点で衝突する。それぞれの衝突点には ATLAS, CMS, ALICE, LHCb の 4 台の検出器が設置されていて、それぞれの検出器で実験が行われている。

¹シンクロトロン放射によるエネルギー損失は γ^4/R に比例する。ここで $\gamma = E/mc^2$, R は加速器の半径 [10]。陽子の質量は電子の質量の 1840 倍なので、エネルギー損失は電子の場合の 10^{13} 分の 1 となる。

以下ではその主要な 4 つの実験について簡単に述べる。

A.1.1 ATLAS 実験

ATLAS (A Toroidal LHC ApparatuS) 実験は LHC の実験の中でも最も大きな汎用検出器を用いて行われる実験である。検出器は円筒形で、長さ 44 m、直径 25 m、重量は 7000 トンにも達する。特徴としては、ソレノイド磁石だけでなく巨大な超伝導トロイド磁石を持っている点である。ATLAS 検出器は Higgs 粒子の探索だけではなく、超対称性粒子や余剰次元の探索など多岐に渡る実験が行われている。ATLAS 検出器の概観を図 A.3 に示す。

ATLAS 実験は世界中から 3000 人を超える研究者が参加している巨大実験で、私を含む多くの日本人が参加している。ATLAS 検出器については付録 B で詳しく説明する。

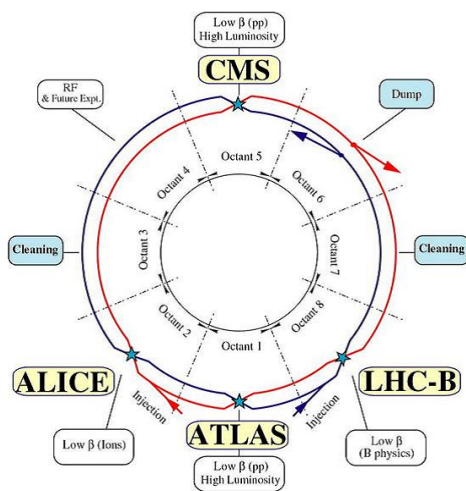


図 A.2: 4 つの衝突点と 4 つの実験 [32]

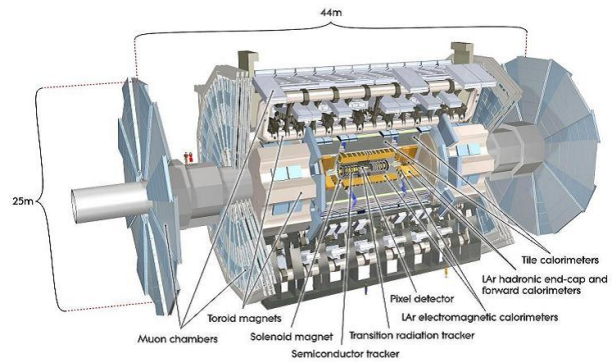


図 A.3: ATLAS[30]

A.1.2 CMS 実験

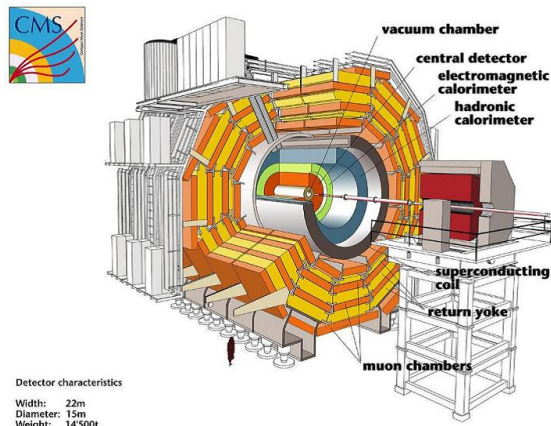
CMS (Compact Muon Solenoid) も ATLAS と同様に Higgs 粒子の探索を主目的とする汎用検出器である。検出器は長さ 21 m、直径 15 m の円筒形で、その名の通りコンパクトであるが、重量は 12,500 トンと ATLAS よりも重い。CMS は超伝導ソレノイド磁石によって発生させる 4 T の強磁場を鉄のヨークに閉じ込め、その周囲を検出器で取り囲むように作られており、重量の大部分はこの中心部のヨークによるものである。

CMS 検出器の概観を図 A.4 に示す。

A.1.3 LHCb 実験

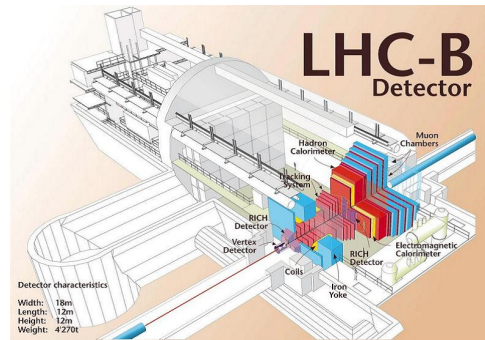
LHCb (Large Hadron Collider beauty) は b クォークの物理に特化した実験である。 b クォークを含む B ハドロン粒子の対称性の破れを測定し、物質と反物質の性質の違いを調べることを主目的としている。

検出器は長さ 21 m、高さ 10 m、幅 13 m、重量 5600 トンで、衝突点の全方位をカバーせずに前方向に特化している点と、可動式のトラッカーを有する点が特徴である。図 A.5 に概観図を示す。



Detector characteristics
 Width: 22m
 Diameter: 15m
 Weight: 14200t

図 A.4: CMS[33]



Detector characteristics
 Width: 18m
 Length: 12m
 Height: 12m
 Weight: 4270t

図 A.5: LHCb[33]

A.1.4 ALICE 実験

ALICE (A Large Ion Collider Experiment) では陽子ではなく鉛イオン同士を衝突させる実験を行う。LHC 加速器では鉛イオン ($^{208}\text{Pb}^{82+}$) を核子あたり 2.76 TeV まで加速することができ、1つの Pb あたりの全重心エネルギーは 1.15PeV にも達する。この実験はビッグバン直後の超高温初期宇宙におけるクォーク・グルーオンプラズマ (QGP) を再現し、そこから現在の物質の状態に至る過程を観察することを目的とする。検出器の大きさは長さ 26 m, 直径 16 m, 重量 10,000 トンである。ALICE 検出器の概観図を図 A.6 に示す。

なお、2010年11月にLHCは重イオン(鉛イオン)のビーム周回を開始し、2010年11月8日には初めて核子あたりの重心エネルギー 2.76 TeV で衝突させることに成功した。図 A.7 は ALICE 検出器が衝突の様子をとらえた図である。

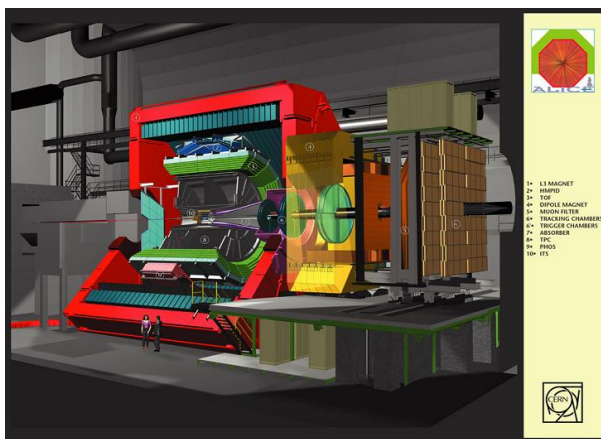


図 A.6: ALICE[33]

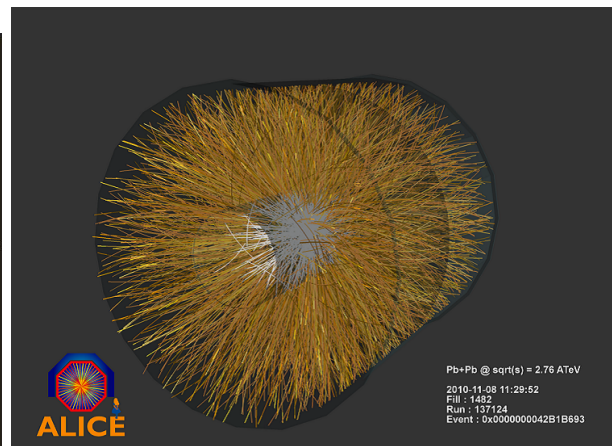


図 A.7: ALICE 検出器が観測した鉛イオン同士の衝突 [34]

A.2 ATLAS 実験の目指す物理

ATLAS 実験の主目的は Higgs 粒子の探索である。ATLAS 検出器は汎用検出器であり、対象を特定の事象に限定せず様々な事象のデータを取得できるように設計されているが、Higgs 粒子は運転開始後の比較的早い時期に発見することが出来ると考えられている。

A.2.1 Higgs の質量

Higgs 粒子の質量は標準模型に置いては実験で決定されるべき量である。理論的制限から、Higgs 粒子の質量は 1 TeV 程度が上限であると考えられている [6]。

また、その他に LEP の実験からも Higgs の質量には制限がつけられている (図 A.8)。

LEP2 の実験結果によると 114 GeV までの Higgs の存在が 95 % CL の制度で棄却された。また、その上限についても図 A.8 の青帯に置いて $\Delta\chi^2 = 2.7$ となる 185 GeV が Higgs 質量の上限である。また、2010 年 7 月までに、Tevatron の実験により 158 GeV から 175 GeV の領域が棄却された [31]。

ただしこれは素粒子標準模型が正しいとした場合であり、標準模型を超える新しい粒子が存在した場合はこの限りではない。

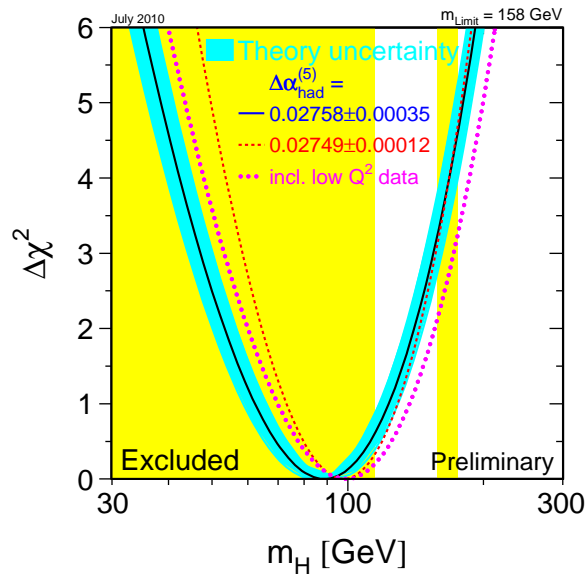


図 A.8: LEP による制限 [28]

A.2.2 Higgs 粒子生成過程

LHC では、Higgs 粒子は主に以下の 4 つの過程で生成する。

(a) $gg \rightarrow H$ (gluon fusion)

この過程はグルーオンの寄与が大きいので、LHC では最も断面積が大きい過程となる。Higgs は質量が大きい粒子との相互作用が大きいので、主に t クォークのループを介して反応が起こる。この過程はバックグラウンドとの区別が難しいが、Higgs が $\gamma\gamma$, $ZZ \rightarrow 4l$, $W^+W^- \rightarrow l\nu l\nu$ という崩壊をした場合は解析可能である。ファインマンダイアグラムを図 A.9 に載せる。

(b) $qq \rightarrow qqH$ (vector boson fusion)

この過程は (a) の次に大きな断面積を持ち、2 本の jet が出るため識別が容易であり LHC において最有力候補の過程である。ファインマンダイアグラムを図 A.10 に載せる。

(c) $q\bar{q} \rightarrow W/Z H$ (W/Z associate production)

この過程は LHC では断面積は上記の過程に比べて落ちるが、 W/Z がレプトンに崩壊した場合にイベントの識別が容易である。LEP や Tevatron では粒子と反粒子の反応であり、この過程が Higgs 探索の最有力候補であった。ファインマンダイアグラムを図 A.11 に載せる。

(d) $q\bar{q}/gg \rightarrow t\bar{t}H$ (top associate fusion)

この過程は断面積は小さいが、終状態に t クォークが 2 つ含まれるためイベントの識別は容易である。ファインマンダイアグラムを図 A.12 に載せる。

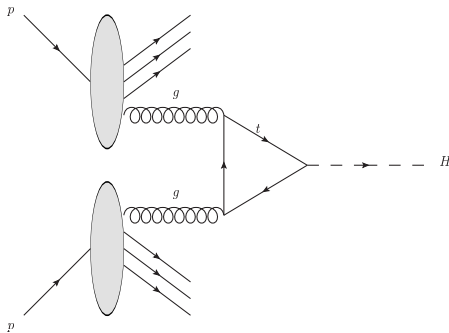


図 A.9: (a) gluon fusion

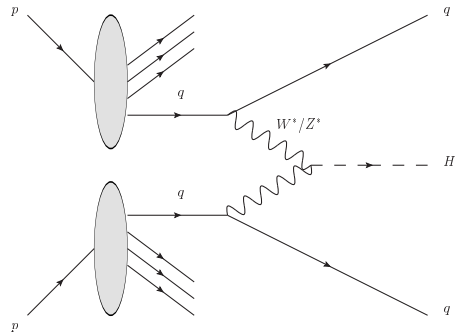


図 A.10: (b) vector boson fusion

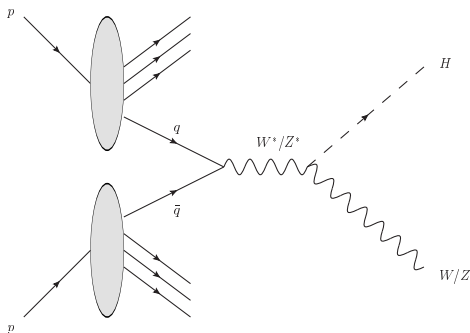


図 A.11: (c) W/Z associate production

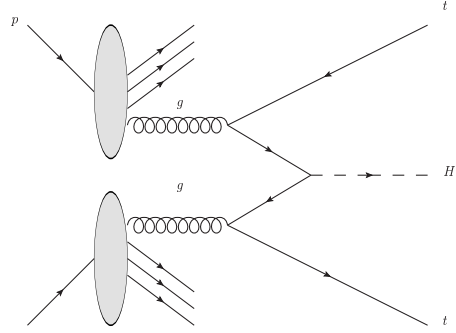


図 A.12: (d) top associate production

また、それぞれの過程における生成断面積を図 A.13 に載せる。

A.2.3 Higgs 粒子の崩壊過程

図 A.14 に Higgs 粒子の崩壊分岐比を示すが、この図から分かるように崩壊分岐比は Higgs の質量によって異なる。以下では各質量領域において有望な崩壊過程について説明する。

(a) $H \rightarrow b\bar{b}$ ($M_H < 150$ GeV)

Higgs の質量が W の質量の 2 倍以下の領域では b クォーク対への崩壊が主になるため、Higgs の質量が小さい場合はこのチャンネルが支配的となる。

しかしこのとき生じる b のジェット対は QCD バックグラウンドのものと区別がつかない。そこでこの過程は W/Z ボソンや t クォーク対といった特徴的な粒子を伴う W/Z associate production や top associate production の生成過程についてのみ用いられる。生成過程に伴う W, Z, t が崩壊してできる高 p_T レプトンをトリガーとしてデータを記録することになるが、崩壊分岐比は大きいものの生成断面積が小さいためトータルのイベントレートはそれほどではない。

b クォーク対による 2 ジェットの不变質量を組むことによって Higgs のピークが得られる。

(b) $H \rightarrow \gamma\gamma$ (100 GeV $< M_H < 150$ GeV)

この過程は 100 GeV から 150 GeV の特定領域でのみ大きな分岐比を持つが、この領域は Higgs の存在する可能性が高いと考えられているので有望視されている。電磁力カリメータで高い精度で 2 つの γ のエネルギーと角度を測定できれば Higgs の鋭いピークが得られる。

(c) $H \rightarrow \tau\tau$ (110 GeV $< M_H < 150$ GeV)

Vector Boson Fusion 過程との組み合わせで有望視されているチャンネルである。どちらかの τ がレプトン崩壊を起こした場合にこのレプトンをトリガーとしてデータを取得する。しかしその場合終状態にニュートリノが含まれるため E_T^{miss} の精密な測定が必要である。主要なバックグラウンドは $Z \rightarrow \tau\tau$ のドレル・ヤン過程であるが、これは Z の質量 91 GeV 付近にピークを作るため 9 GeV 以下の質量分解能があれば分離できる。

(d) $H \rightarrow ZZ^* \rightarrow 4l$ (120 GeV $< M_H < 180$ GeV)

生成断面積の大きい Gluon Fusion との組み合わせにより 120 GeV から 150 GeV で有効とされているチャンネルである。終状態に複数のレプトンを含むためトリガーは容易であり、レプトンの再構成により Z の質量ピークがあらわれるという特徴も選別を容易にする。しかし 180 GeV 以下では Z の片方は仮想粒子になってしまうため Z のピークが得られるのは 4 つのレプトンのうち 2 つの組み合わせだけである。

(e) $H \rightarrow WW^* \rightarrow l\nu l\nu$ (150 GeV $< M_H < 180$ GeV)

170 GeV の近辺では上記の $H \rightarrow ZZ^*$ に代わって W への崩壊が支配的となる。しかしこの過程は終状態にニュートリノを含むため直接 Higgs の質量を再構成できない。そのため外挿によって質量を求めることになる。

(f) $H \rightarrow ZZ \rightarrow 4l$ (180 GeV $< M_H < 600$ GeV)

比較的重い Higgs の場合に主力となるチャンネルで、4つのレプトンから2つの Z を再構成できるという条件からバックグラウンドを効率的に落とすことができる。しかし Higgs の質量が大きくなればなるほど崩壊幅が大きくなってしまい、300 GeV 以上では検出器の分解能よりも崩壊幅が大きくなってしまう。

(g) $H \rightarrow ZZ \rightarrow ll\nu\nu$ ($500 \text{ GeV} < M_H < 700 \text{ GeV}$)

この質量領域では上記 $H \rightarrow ZZ \rightarrow 4l$ よりもこちらのほうが分岐比が6倍も高い。 $Z \rightarrow ll$ による高 p_T レプトンと $Z \rightarrow \nu\nu$ による大きな E_T^{miss} が特徴である。

(h) $H \rightarrow W^+W^- \rightarrow l\nu jj$ ($600 \text{ GeV} < M_H$)

この過程は非常に分岐比が大きいのが特徴で、 $H \rightarrow ZZ \rightarrow 4l$ の150倍にもなる。しかし $4l$ 過程と比べるとニュートリノやジェットを含むため信頼性は落ちる。バックグラウンドの効率的な除去のために Vector Boson Fusion 過程と合わせて用いる。

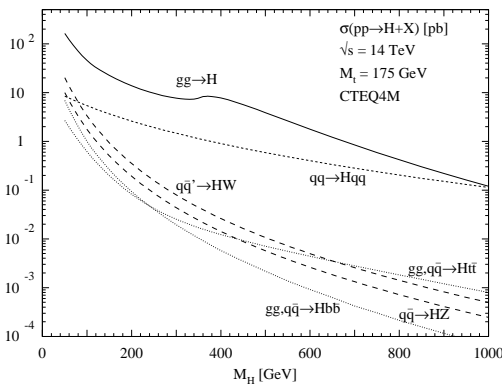


図 A.13: Higgs 粒子の生成断面積 [30]

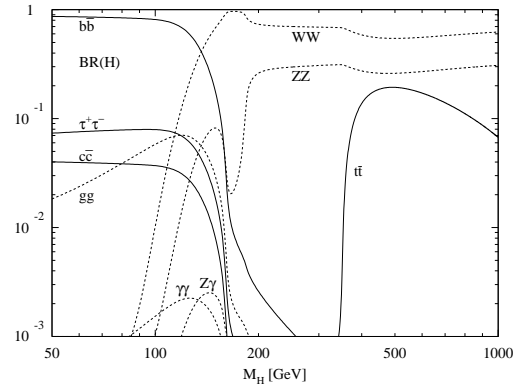


図 A.14: Higgs 粒子の崩壊分岐比 [30]

A.2.4 ATLAS 検出器の Higgs 発見能力

既に述べたように、理論的及び実験的側面から Higgs 粒子は 114 GeV から 1 TeV までの間にほぼ確実に存在していると考えられているが、前節で述べた様々なチャンネルを通じて ATLAS 検出器はほぼ全ての領域で十分な Higgs 発見能力を保持している。

図 A.15 及び図 A.16 はそれぞれ、LHC で 10 fb^{-1} 及び 30 fb^{-1} の積分ルミノシティがたまった時の ATLAS 検出器での Higgs 粒子発見能力を示したものである。横軸は Higgs の質量、縦軸はシグナルのイベント数を S 、バックグラウンドのイベント数を B としたときの S/\sqrt{B} である。この Signal/Noise 比が5を超えれば Higgs が発見できたと断言できるが、全てのチャンネルを加味すると 10 fb^{-1} の積分ルミノシティ (1年分のデータ量に相当) では 120 GeV 以上の領域で発見でき、 30 fb^{-1} の積分ルミノシティ (3年分のデータ量に相当) ではほぼ全ての質量領域で単独、もしくは複数のチャンネルによる発見が可能である。

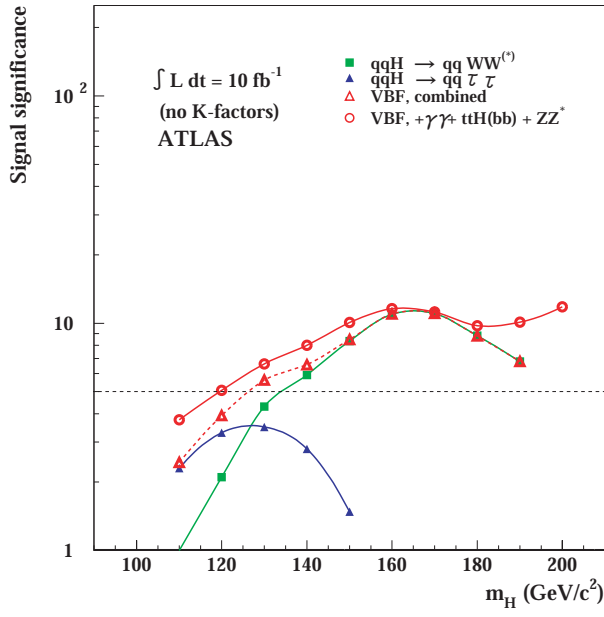


図 A.15: Higgs 粒子の発見能力 (10 fb^{-1})[12]

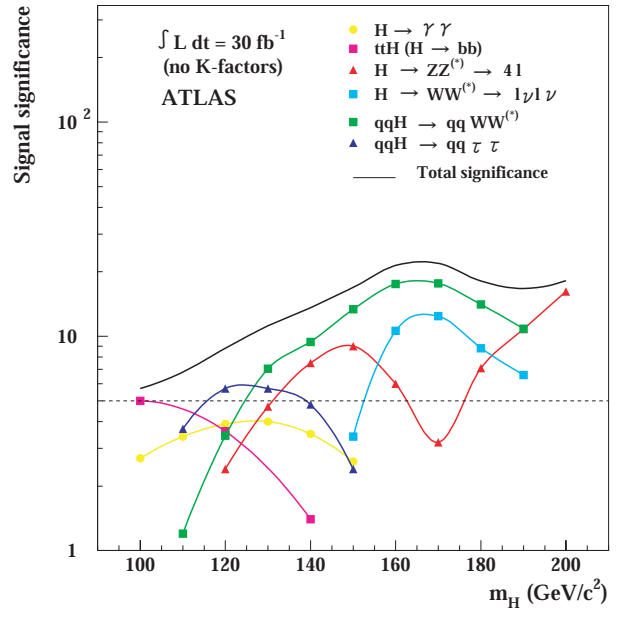


図 A.16: Higgs 粒子の発見能力 (30 fb^{-1})[12]

付録B ATLAS 検出器

既に述べたように, ATLAS 検出器は LHC での陽子陽子衝突実験において Higgs の探索のみならず様々な物理現象を観測するための汎用検出器である.

ATLAS 検出器は内側から順番に, 内部飛跡検出器, カロリメータ, ミューオンスペクトロメータで構成されている. また 2 種類の超伝導マグネットを持つ. 図 B.1 は ATLAS 検出器の概観図である. 本論文で用いられる座標軸はこの図のように定義される. 以下の節で各検出器の詳細を述べる.

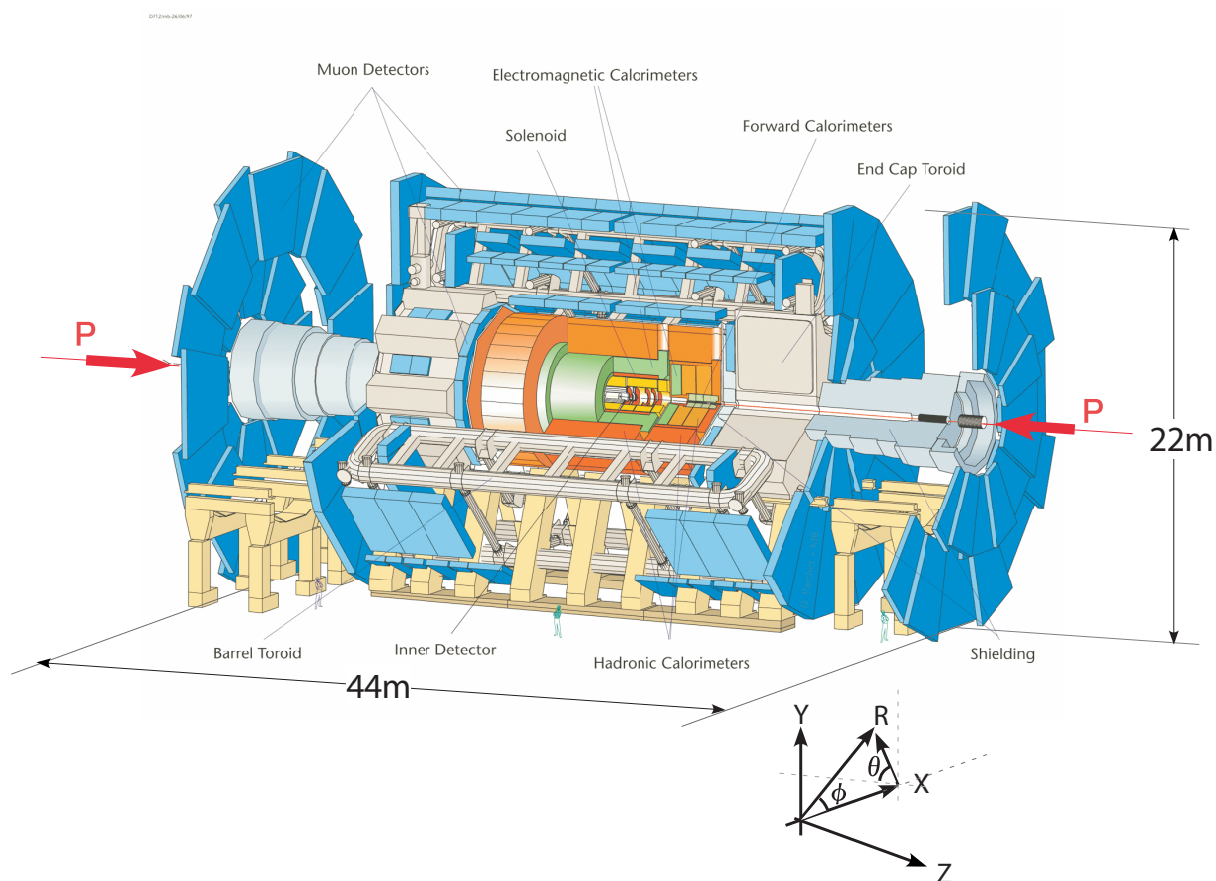


図 B.1: ATLAS の概観 [30]

B.1 内部飛跡検出器

ATLAS 検出器の一番内側にあり、粒子の飛跡を検出するのが内部飛跡検出器 (ID: Inner Detector) である。その概要図を B.2 に載せる。内部飛跡検出器は SCT (Semi-Conductor Tracker), TRT (Transition Radiation Tracker) から構成される。 $\eta < 2.5$ の領域をカバーし、ソレノイド磁石によって作られる 2 T の磁場を用いて粒子の運動量測定が行われる。

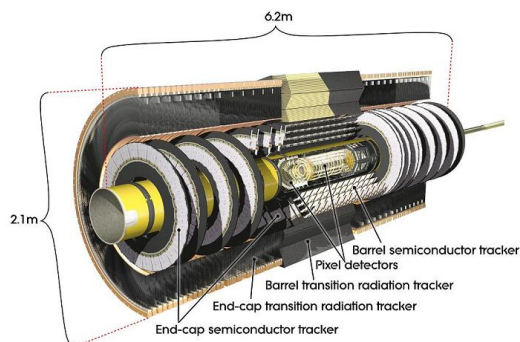


図 B.2: Inner Detector [3]

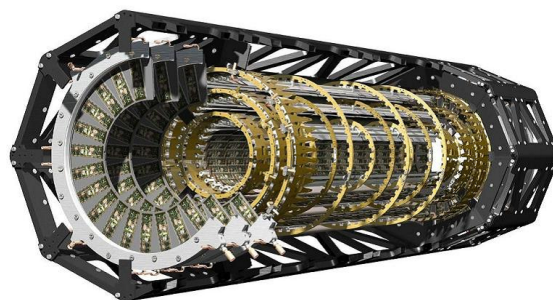


図 B.3: Pixel Detector [3]

B.1.1 Pixel 検出器

Pixel 検出器は衝突点から最も近い領域に設置されている検出器である。図 B.3 がその全体図である。50 $\mu\text{m} \times 400 \mu\text{m}$ または 50 $\mu\text{m} \times 600 \mu\text{m}$ を 1 ピクセルとし、1 つのモジュールは 47278 ピクセルからなる。高イベントレートに対応するために二次元読み出しが可能となっており、1 ピクセル毎に読み出しをする。バレル部、前後方部がそれぞれ 3 層ずつになっていて、読み出し総チャンネル数は 8040 万チャンネルに及ぶ。 $R - \phi$ 方向で 10 μm , z 方向で 115 μm という高い位置分解能を誇り、衝突点の位置測定に使用される。

B.1.2 SCT (Semi-Conductor Tracker)

SCT は Pixel 検出器と同様に多数のシリコン検出器の集合体から成る。1 つの SCT モジュールは 6~7 cm 角の長方形シリコンウェハー 2 枚からなり、それぞれのウェハーには 80 μm 幅の読み出し用アルミニウムストリップが敷き詰められていてウェハー 1 枚あたり 768 本のストリップがある。1 つのモジュール内では 2 枚のウェハーは 40 mrad だけ角度をずらして張りあわされるので二次元位置情報を得ることが可能となっている。バレル部では円筒の筒面上に 4 層、前後方部では円盤状に 9 層ずつ配置されている。

B.1.3 TRT (Transition Radiation Tracker)

TRT は遷移放射¹ の原理を利用した検出器である。遷移放射において放射されるエネルギーは荷電粒子の γ (ローレンツファクター) に比例するので、荷電粒子のエネルギーが高いほど顕著である。

¹荷電粒子が誘電率の異なる 2 つの物質を通るときに境界面において電磁的な放射をする現象。

TRT はストロー状のチューブを重ね、その隙間はポリプロピレンファイバーで埋めた構成となっている。ポリプロピレンファイバーによって遷移輻射が起きる。バレル部ではビーム軸に平行なストローチューブを 52,544 本を 73 層に、エンドキャップ部では径方向に 122,880 本を 160 層に並べている。それぞれ 2 次元の位置情報を提供し、その分解能は $130 \mu\text{m}$ と Pixel 検出器や SCT と比べると悪くなるが、多層構造によって平均 35 点をトラッキングに用いることができるため、精度高く軌跡を求めることができる。

また、TRT を使うもう 1 つ利点としてコストの削減があげられる。

B.2 カロリメータ

カロリメータの役割は、電子や γ 線、ジェットなどのエネルギーや角度の測定である。ATLAS 検出器に用いられているカロリメータは主に電子と γ 線の情報を得るための電磁カロリメータとジェット情報を得るためのハドロンカロリメータに大別される。

図 B.4 に、カロリメータの全体像を示す。以下ではそれぞれについて詳しく述べる。

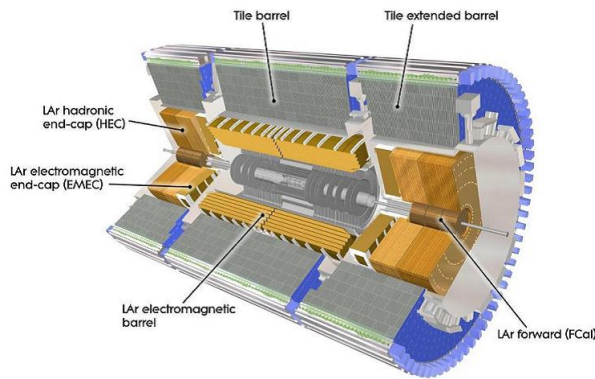


図 B.4: Calorimeter [3]

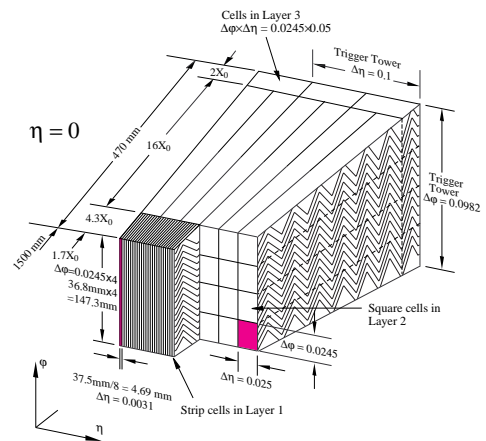


図 B.5: LAr 電磁カロリメータのバレル部 [3]

B.2.1 電磁カロリメータ

ATLAS の電磁カロリメータは LAr (液体アルゴン) を使用したものである。鉛の吸収体と LAr を組み合わせたサンプリングカロリメータとなっている。アコーディオン構造になっているのが特徴で、こうすることにより ϕ 方向の不感領域を無くしている。

電磁カロリメータは $|\eta| < 1.5$ を担当するバレル部と、 $1.4 < |\eta| < 3.2$ を担当する前後方部に分かれていて、読み出しチャンネル数はバレル部で約 10 万チャンネル、前後方部で約 7 万チャンネルである。

また電磁カロリメータは 3 層構造になっている。(図 B.5) 第一層では η 方向成分の精密測定を行い、 $\pi_0 \rightarrow \gamma\gamma$ による γ の同定を行う。第二層では主に電磁シャワーの測定を行う。第三層では電磁シャワーとハドロンシャワーの区別を行う。

B.2.2 ハドロンカロリメータ

ハドロンカロリメータはジェットの測定を目的としていて、 $|\eta| < 1.7$ のバレル部と $1.5 < |\eta| < 3.2$ のエンドキャップ部で構造が異なり、それぞれ Tile, HEC (Hadronic End-cap Calorimeter) と呼ばれている。

Tile カロリメータは鉄板を吸収体とし、タイル状のシンチレータを交互に重ね合わせたサンプリングカロリメータである。検出器の厚さは $\eta = 0$ で 9.7λ である²。シンチレータタイルの両端には波長変換ファイバーがつながれていて、二つの光電子増倍管から読み出しを行う。図 B.6 が Tile カロリメータの構造を表した図である。

HEC は電磁カロリメータと同じく LAr を用いたサンプリングカロリメータである。ただし、吸収体には銅が使われている。HEC は 32 個の同一なくさび型のモジュールを組み合わせて円盤状になっている。図 B.7 が HEC の構造図である。

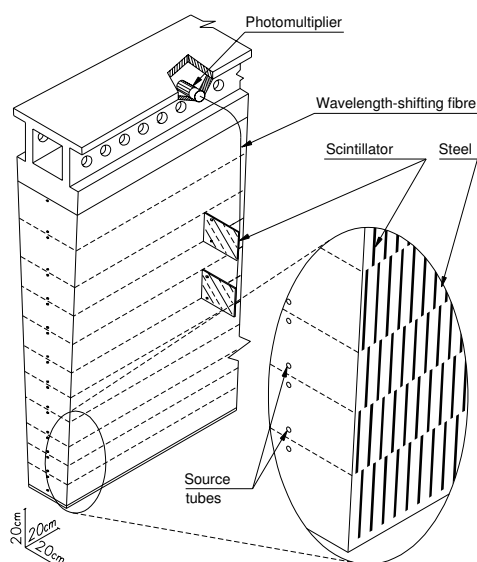


図 B.6: Tile Calorimeter の構造 [3]

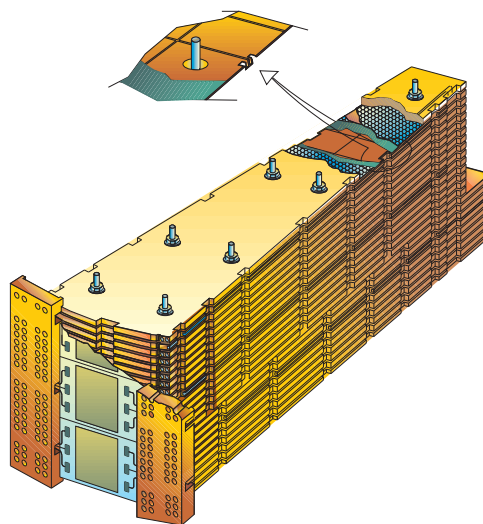


図 B.7: HEC の構造 [3]

B.3 マグネット

ATLAS 検出器にはソレノイド磁石とトロイド磁石の 2 種類の超伝導電磁石が用いられている。

B.3.1 ソレノイド磁石

ソレノイド磁石は内部飛跡検出器での荷電粒子の運動量測定に用いられる。磁場はビーム軸方向にかかるため、荷電粒子は ϕ 方向に曲げられる。ソレノイド磁石で発生させることができる磁束密度は 2 T 程度となっている。図 B.8 にソレノイド磁石の写真を載せる。

² λ は放射長: 放射線のエネルギーが $1/e$ に減少する長さ

B.3.2 トロイド磁石

トロイド磁石はミュオンスペクトロメータでミュオンの運動量測定に使用される。トロイド磁石は磁場を ϕ 方向にかけて荷電粒子を η 方向に曲げるように設計されているが、8 回対称で作られているため磁場が不均一性を免れず、他の成分もまざっている。トロイド磁石はバレル部と前後方部で別々のものが用いられている。その様子を図 B.9 に示す。トロイド磁石ではバレル部で約 0.5 T、前後方部で約 1.0 T の磁束密度を発生させる。

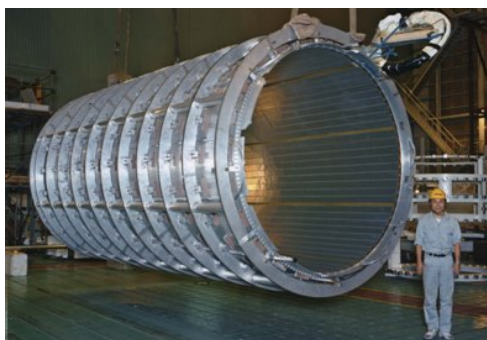


図 B.8: ソレノイド磁石 [3]

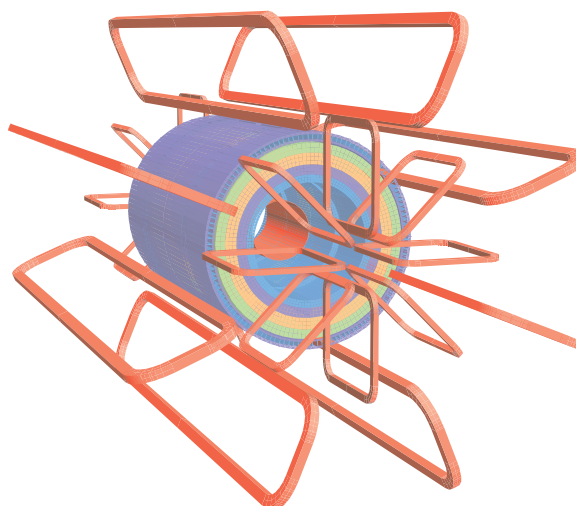


図 B.9: トロイド磁石の電磁コイル [3]

B.4 ミュオンスペクトロメータ

ミュオンスペクトロメータはミュオンの測定をするために ATLAS の一番外側を取り囲むように設置されている。ミュオンは物質の透過力が高く、寿命も長いために内部の検出器の影響をほとんど受けることなく検出することができる。

ミュオン測定はイベントの再構成のために運動量を精密測定するだけでなく、イベントトリガーとしての役割も持っている。特に ATLAS では 40 MHz という非常に高頻度で衝突が起こるため、興味のあるイベントだけを選び出すためにミュオンを使ってトリガーをかけることは非常に重要である。

ミュオンスペクトロメータは軌跡精密測定用の MDT (Monitored Drift Tube) , CSC (Cathod Strip Chamber), トリガー用の RPC (Resistive Plate Chamber) , TGC (Thin Gap Chamber) に大別される。

ミュオンスペクトロメータの配置を図 B.11, 図 B.10 に示す。図のように MDT はバレル部とエンドキャップ部の両方に設置され、CSC はフォワードの内側に設置される。トリガーチェンバーについては RPC はバレル部を、TGC はエンドキャップ部をそれぞれ担当する。

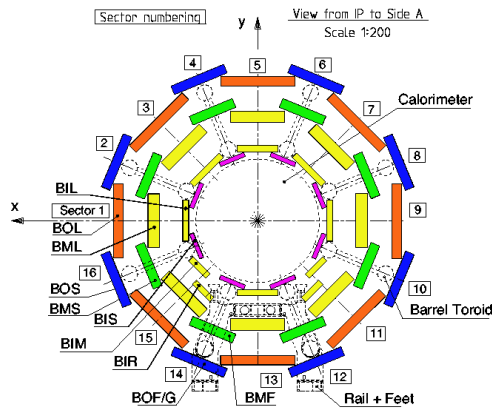


図 B.10: ミューオンスペクトロメータの配置 (x-y 平面) [3]

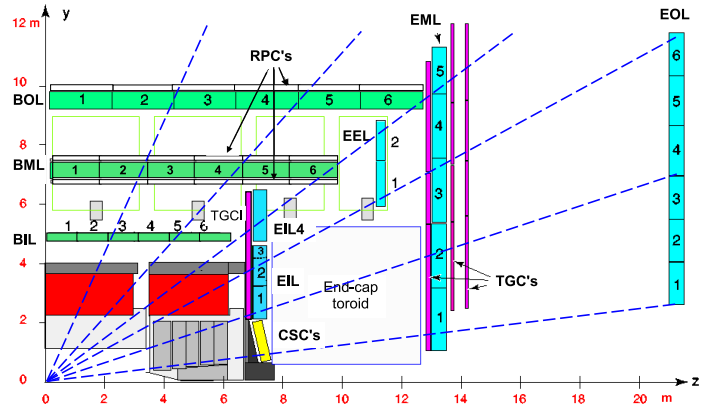


図 B.11: ミューオンスペクトロメータの配置 (r-z 平面) [3]

また, 表 B.1 にそれぞれの検出器の特徴をまとめる.

表 B.1: ATLAS 実験におけるミューオン検出器の構成

	役割	$ \eta $ の領域	特徴	チャンネル数
MDT	トラッキング (R-Z) 運動量測定	0 ~ 3.0	30mm ϕ のドリフトチューブ 位置分解能 $\sigma_x = 60\mu\text{m}$	3.7×10^5
CSC	トラッキング (3-dim) 運動量測定	2.0 ~ 3.0	カソードストリップ読み出し MWPC 位置分解能 $\sigma_x = 50\mu\text{m}$	6.7×10^4
RPC	トリガー 第 2 座標測定 (ϕ)	0 ~ 1.05	平行平板ガス検出器 時間分解能 $\sigma_t = 1\text{ns}$	3.5×10^5
TGC	トリガー 第 2 座標測定 (ϕ)	1.05 ~ 2.4	狭いギャップのワイヤチェンバー 時間分解能 $\sigma_t = 4\text{ns}$	3.2×10^5

B.4.1 MDT (Monitored Drift Tube)

MDT はドリフトチューブの一種で, 約 30 mm 径のカソードチューブの中に 50 μm 径のアノードワイヤを張った構造をしている. このチューブを 3 本または 4 本を層状に並べたものが 1 つのチェンバーとなる. 図 B.12 は MDT チェンバー全体の構造図である.

この MDT チェンバーがバレル部およびエンドキャップ部をカバーし, r, z 方向成分を精密に測定することが出来る.

MDT の位置分解能は 60 μm で, 総チャンネル数は約 30 万チャンネルである.

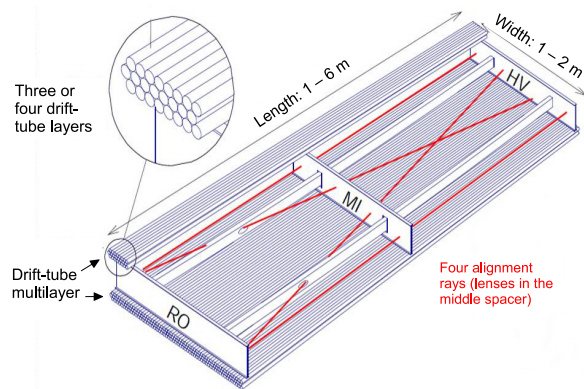


図 B.12: MDT の構造 [3]

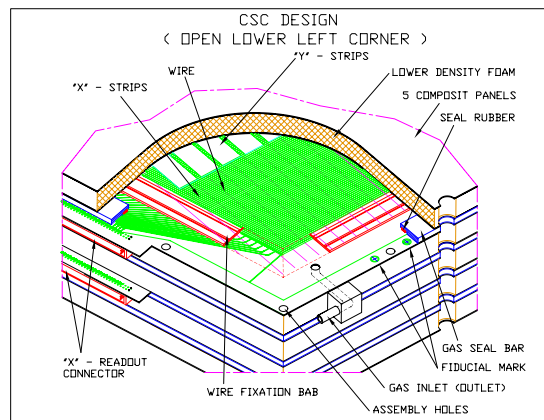


図 B.13: CSC の構造 [3]

B.4.2 CSC (Cathod Strip Chamber)

CSC はエンドキャップ領域でも特に放射線の多い $\eta \geq 2$ の領域に設置される MWPC (Multi Wire Proportional Chamber) であり、 1000 Hz/cm^2 のレートにまで耐えることができる。CSC はドリフト時間が 40 ns と短いこと、2トラックに対して高い分解能を持っていること、ガスに水素を含まないので中性子線への感度が低いこと、などがフォワード領域で MDT ではなく CSC が用いられる理由である。

CSC は平行に並ぶ陰極ストリップで挟まれたガスギャップに、ストリップと垂直に陽極ワイヤーを張った構造をしている。(図 B.13) ワイヤーストリップ間の距離、ワイヤー間の距離、ストリップ読み出し幅が全て 2.54 mm と等しくなっている。CSC は複数のストリップからの信号に対して重心法を用いることによって $60 \mu\text{m}$ の位置分解能を実現している。

B.4.3 RPC

RPC は $|\eta| < 1.05$ のバレル部のトリガー及び ϕ, z 方向の二次元位置情報を測定するガスチェンバーである。平行に配置されたストリップ間のガスギャップに高電圧をかける構造になっている。RPC は直行するストリップにより二次元情報を測定していて、ワイヤーは存在しない。図 B.14 に RPC の構造図を載せる。

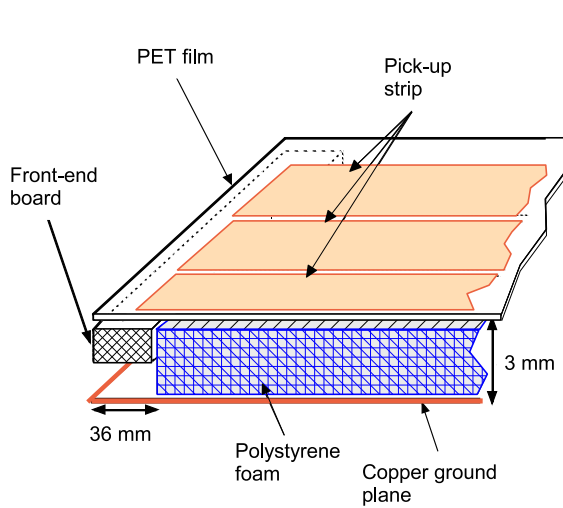


図 B.14: RPC の構造 [3]

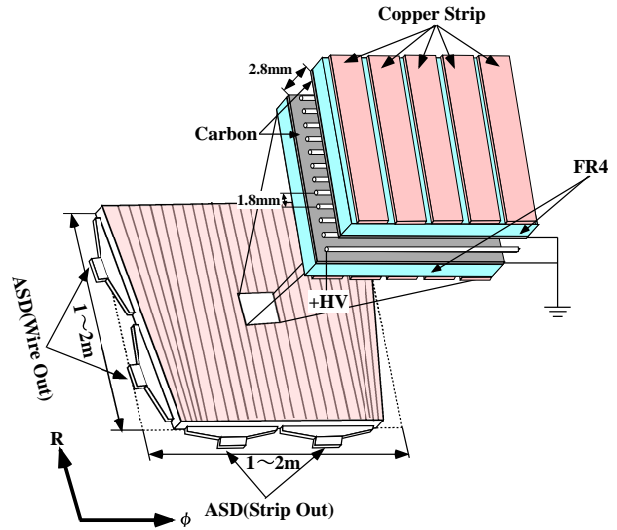


図 B.15: TGC の構造 [3]

B.4.4 TGC

TGC は $1.05 < |\eta| < 2.4$ の前後方部のトリガー及び $R-\phi$ の 2次元位置測定を行うガス検出器である。MWPC の一種でワイヤーによって R 方向を、ストリップによって ϕ 方向を測定する。アノードのワイヤー間の距離よりもワイヤー・ストリップ間の距離の方が狭くなっていることが特徴で、これは 25 ns 間隔で起こる衝突よりも短い時間で信号の読み出しを可能にするためである。

図 B.15 が TGC の構造を表した図である。TGC は付録 C でさらに詳しく説明する。

B.5 ATLAS のトリガーと DAQ システム

LHC では 40 MHz の高頻度で陽子ビーム同士を衝突させていて、一回の衝突あたり平均 23 個の陽子同士が衝突してイベントが発生する。1 回の衝突あたりのデータ量は 1.6 MB 程度であるので毎秒 数 10 ~ 数 100 TB の情報量になる。しかし現在の記憶装置では記録可能な情報量は 450 MB/s 程度である。このため記録すべき事象のレートは 200 MHz 程度にまで落とす必要があるが、これは元々のデータの 0.0005 % に過ぎない量である。したがって膨大なバックグラウンドを含むデータから物理的に興味のあるデータだけを効率よく選び出すトリガー機能は必要不可欠である。

ATLAS トリガーシステムでは Level 1, Level 2, EF (Event Filter) の 3 段階のトリガーにより 40 MHz, 75 kHz, 3.5 kHz, 200 Hz と段階的にレートを落としている。図 B.16 にトリガーとデータの流れの全体像を示す。

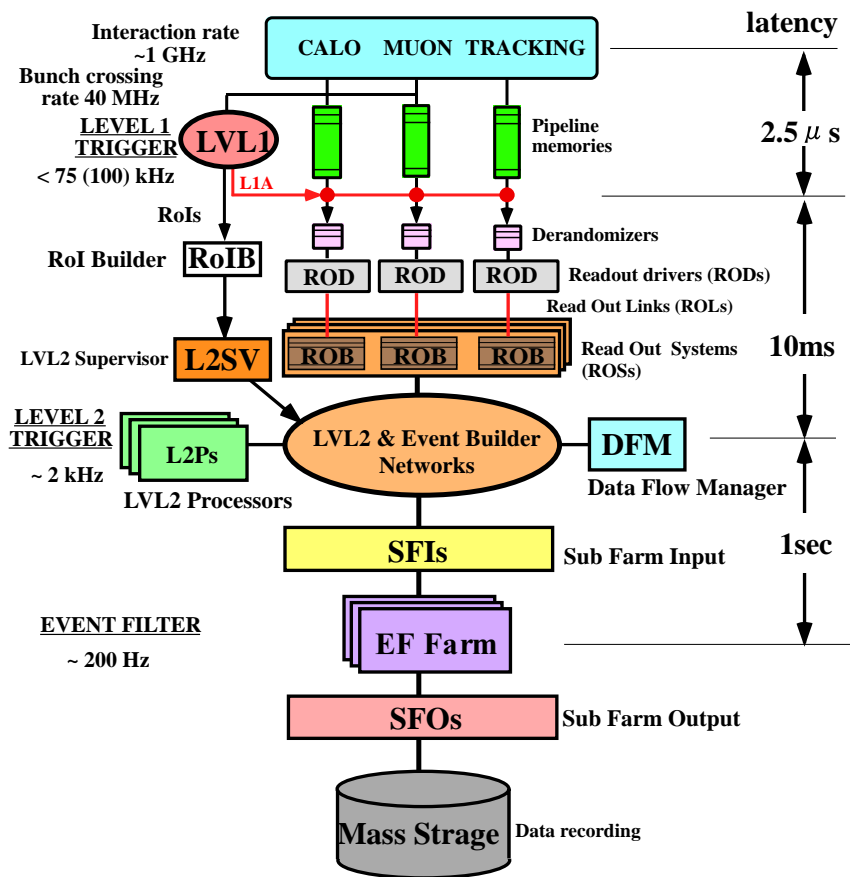


図 B.16: トリガーと DAQ システム [3]

B.5.1 Level 1 Trigger

Level 1 Trigger ではイベントレートを 40 MHz から 100 kHz まで落とす。各検出器から出た全ての情報は、各検出器のパイプラインメモリに一時的に保持され、L1A (Level 1 Accept) 信号が来るのを待つ。L1A 信号は衝突の発生から $2.5 \mu\text{s}$ 以内に発行されることになっているが、パイプラインメモリは 128 段構造になっていて $25 \text{ ns} \times 128 = 3.2 \mu\text{s}$ の間全ての情報を保持できるようになっている。L1A 信号は $2.5 \mu\text{s}$ という非常に短い時間の間に発行されなければならないが、コンピュータのソフトウェアによる計算では間に合わないため、全て電気回路の信号処理のみで判定を行うハードウェアトリガーとなっている。

Level 1 トリガーシステムは、TGC, RPC, カロリメータの各検出器及び MUCTPI (Muon trigger to CTP Interface), CTP (Central Trigger Processor), TTC (Timing Trigger and Control distribution system) から構成されている。TGC, RPC からはミューオンの p_T が、カロリメータからは精度を荒くした e, γ, jet 等のエネルギーが送られる。それぞれの情報は CTP で統合された上で最終的な Level 1 の判定が行われる。Accept された場合は L1A 信号が発行されて TTC を通じて ATLAS の各検出器のフロントエンドに配信される。CTP では粒子の種類毎に多段階の

条件を設定可能である.

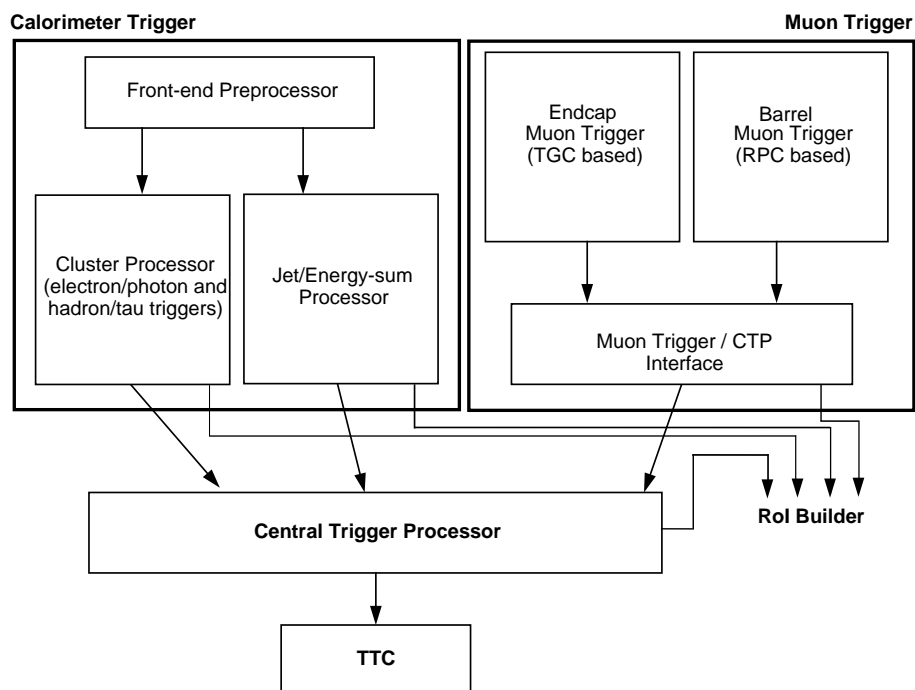


図 B.17: Level 1 Trigger system[3]

B.5.2 Level 2 Trigger

Level 2 Trigger ではイベントレートを 75 kHz から 3.5 kHz に落とす. MDT, CSC, 内部飛跡検出器による精密なトラック情報とカロリメータの高精度情報をレベル1の情報に加えてコンピュータ計算によってより精度の高いトリガー判断を下す. 許容されているレイテンシー³は 40 ms とあまり長くないのでそのイベントに対して特に重要と思われる領域に属する情報のみを持ってきて処理を行う. これはレベル1トリガー判定を通過した粒子が検出された領域およびその付近のことであり, これを ROI (Region Of Interest) と呼ぶ. ROI 情報はレベル1トリガー情報と共に L2SV (Level 2 SuperVisor) に渡される. L2SV はそのデータを L2P (Level 2 Processor) に割り振る. L2P は必要なイベント情報を ROS (ReadOut System) から受け取り Level 2 判定を行い, これを通過した場合は L2A (Level 2 Accept) 信号を発行する. L2A 信号は L2SV を経由して DFM (Data Flow Manager) に渡され, DFM はデータを SFI (Sub Farm Input buffer) に割り当てる. SFI は各 ROS から該当イベントの全検出器のデータを受け取り, フォーマットに従ってまとめる. この作業を Event Building という. 構築されたイベントは SFI のバッファに保持され EF の判断を待つ.

³コンピュータの待ち時間

B.5.3 EF (Event Filter)

EF によって最終段階のトリガー判定を下し、イベントレートは 200 Hz まで落とされる。ROI で限定せずに全検出器の全領域の完全な情報を用いてトリガー判定がなされる。EF はいくつかの独立した EF sub farm から構成されていて、全体で 1600 台程度の PC を含む多規模プロセッサファームである。EF sub farm では EFD (EF Data flow control program) というプログラムが SFI から受け取ったイベントデータをもとにトリガー判定を行っている。EF 全体でのトリガーレートは 200 Hz であるが、各 EF sub farm で並列に処理が行われるため、1 イベントにかかる処理時間は 1 s まで許容される。

EF Accept 信号が出ると EFD はトリガー判定のために生成された情報にイベントの完全な生データを付加し、SFO (Sub Farm Output buffer) へとデータを送る。そして SFO から Disk に記録される。1 イベントで発生するデータ量は約 1.5 MB 程度であり、最終的に 300 MB/s のデータが記録されていく。

B.5.4 TTC (Timing Trigger and Control system)

TTC システムはフロントエンドの各エレクトロニクスの同期をとるために BC (Bunch Crossing) クロックや L1A などの信号を分配するシステムである。各検出器は L1A 信号を TTC システムから受け取り、その信号に対応したヒット情報を読み出す。各検出器は、そのヒットデータに BCID⁴ と L1ID⁵ を付加して送信する。

また TTC システムはこれらの ID が実験全体を通して整合性を保つために BCR⁶ と ECR⁷ という信号も各測定器に分配する。

⁴Bunch Crossing ID: 何番目のバンチかの ID

⁵Level 1 ID: 何番目の L1A かの ID

⁶Bunch Counter Reset

⁷Event Counter Reset

付録C ミューオントリガーシステム (TGC システム)

C.1 TGC の基本構造

TGC は MWPC¹ の一種であり, Wire と Strip を用いて二次元読み出しをするトリガーチェンバーである. アノードにはタングステンワイヤーが用いられ, カソードにはストリップ状の銅板が使用されている. ワイヤーが R 方向, ストリップが ϕ 方向の読み出しに使われる. 図 C.1 が TGC の断面図であり, 表 C.1 に TGC の基本的なパラメータをまとめる.

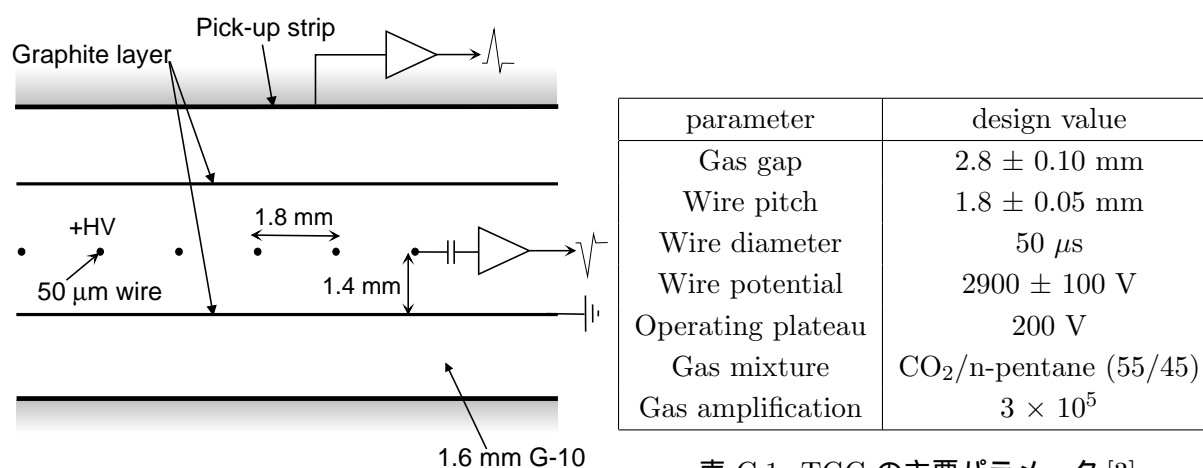


表 C.1: TGC の主要パラメータ [3]

図 C.1: TGC の断面図 [3]

アノードワイヤーには金メッキが施された $50 \mu\text{m}$ 径のタングステンワイヤーが使用され, 1.8 mm 間隔で張られている. カソードストリップは, ガラスエポキシ板の片面に表面抵抗 $1 \text{ M}\Omega/\text{cm}^2$ のカーボンを塗布し, もう片面に $30 \mu\text{m}$ の厚さの銅板をワイヤーと直角になるよう敷き詰めたものを使用している.

図 C.1 を見ると分かるように, ワイヤー間の間隔よりもワイヤー・ストリップ間の間隔の方が狭くなっているのが TGC の特徴である². これによって陽イオンがカソードに到達するまでの時間が短くなり, 不感時間が減少する.

TGC は CO₂ と n-C₅H₁₂ (n-Pentane) が 55:45 で混合されたガスを使用しており, CO₂ が電離ガスの役割を, n-Pentane が放電を防ぐクエンチガスの役割を担っている.

¹Multi Wire Proportional Chamber: 多線式比例計数管

²このために TGC: Thin Gap Chamber と呼ばれる

C.2 TGCの動作原理

TGC は内部に $\text{CO}_2/\text{n-Pentane}$ (55/45) 混合ガスが封入されており、ワイヤには 2.9 kV の高電圧が印加されている。ガス中を荷電粒子が通過すると、その経路にあるガス分子が電離されてイオン化する。電離された一次電子は陽極側にドリフトしながら印加電圧によって加速され、電離エネルギーを超えると二次電子を生成する。これを繰り返して、タウンゼントなだれと呼ばれるカスケード型の電子なだれを形成する (図 C.2)。電子とイオン雲はそれぞれドリフトによってお互い離れ、電子雲はワイヤを取り囲みイオン雲はさらにそのまわりを取り囲むようにしてワイヤ半径方向に拡散していく。TGC ではこの電子なだれをシグナルとしてワイヤから読み取る。同時にカソードでもカーボン面に電荷が誘起され、外側のストリップにも電荷が誘起されて信号として読みだされる。

タウンゼント型電子なだれで生じた励起分子やイオンの再結合による紫外線はカソード面やガスに二次電子を生じさせて自己放電を起こす可能性がある。そこでクエンチ効果³のある n-Pentane を封入して紫外線を吸収し、二次電子の発生を抑えている。

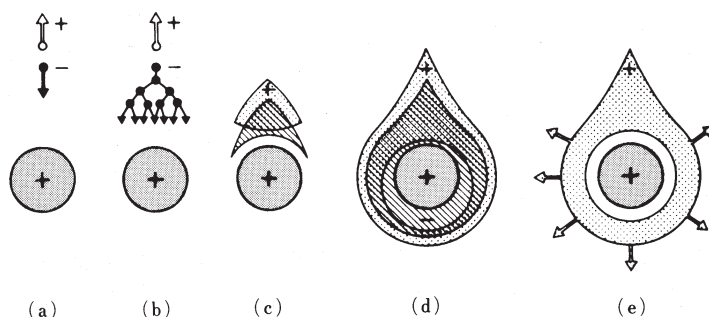


図 C.2: タウンゼントなだれのイメージ [11]

C.3 TGC の構造

TGC は図 C.3 に示すように扇形をしている。ワイヤは $R(\eta)$ 方向の読み出しに使われ、ストリップは ϕ 方向の読み出しに使われる。ワイヤは η に応じて 4~33 本を 1 つにまとめて読みだすようになっている。ストリップはチェンバーのタイプによらず 32 本あり、それぞれが 1 つのチャンネルとして読みだされる。各ストリップはエンドキャップ領域では 4 mrad、フォワード領域では 8 mrad に対応する幅を持つ。また図 C.4 にあるようにチェンバーにはワイヤサポートも備えられている。ワイヤサポートには、図のように棒状のものとボタン上のものである。ワイヤサポートはワイヤのたるみを防ぐだけでなく、ガスの流路を形成する役割と TGC 自体の歪みを防ぐ役割もある。

³紫外線を吸収する効果

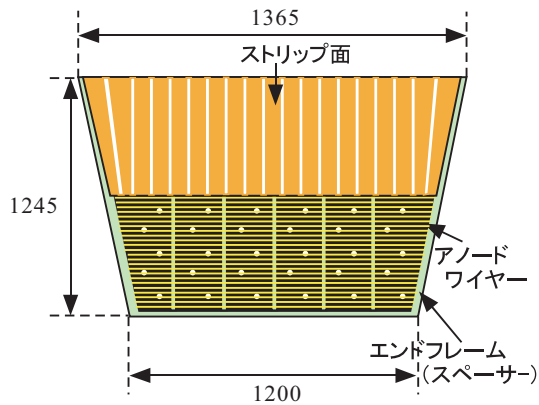


図 C.3: TGC の平面図 [13]

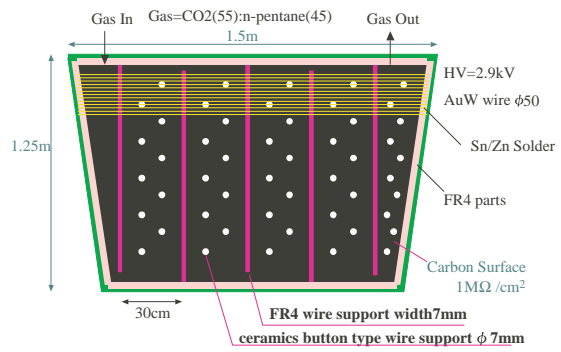


図 C.4: TGC のワイヤサポート [13]

TGC チェンバーにはガスギャップが 2 層の Doublet と 3 層の Triplet がある. 図 C.5 がそれら Doublet, Triplet の断面図である. Doublet はワイヤー 2 層とストリップ 2 層からそれぞれ読み出しが可能であるが Triplet には真ん中の層に読み出し用のストリップがないのでワイヤー 3 層, ストリップ 2 層の読み出しとなる. ガスギャップ間にはハニカムが使われ, 強度を保つ役割を果たしている.

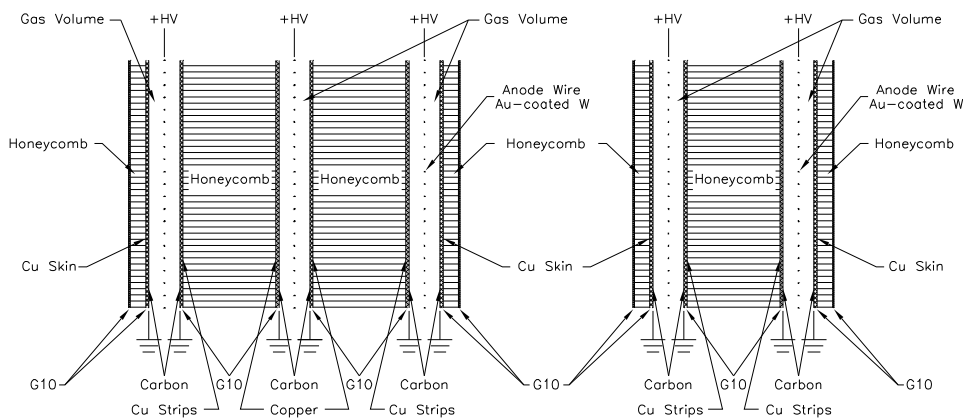


図 C.5: TGC の Triplet と Doublet の断面図 [3]

C.4 ATLAS における TGC の配置

ATLAS 実験で用いられている TGC チェンバーの総数は約 3600 枚あり, 台形型のチェンバーを敷き詰めて円形にして設置されている. 図 C.6 は $R-z$ 平面で見た TGC のレイアウトである. エンドキャプトロイドの内側に位置する EI, FI をインナーと呼び, M1, M2, M3 と, 間の MDT を合わせたものをビッグウィールと呼ぶ. M1 は Triplet チェンバーからなり, M2, M3 は Doublet チェンバーから成る. 合わせてワイヤー 7 層, ストリップ 6 層である. M3 は p_T 測定の起点となることからピボットプレーンとも呼ばれる. ビッグウィールを ϕ 方向に 12 分割したものをセクターと呼ぶ. セクターはさらに ϕ 方向に, エンドキャップでは 4 分割, フォワードでは 2 分

割される. さらに R 方向にも細かく分割され, これら分割された単位をサブセクターと呼ぶ. このサブセクターの大きさが TGC での ROI (Region Of Interest) に相当する.

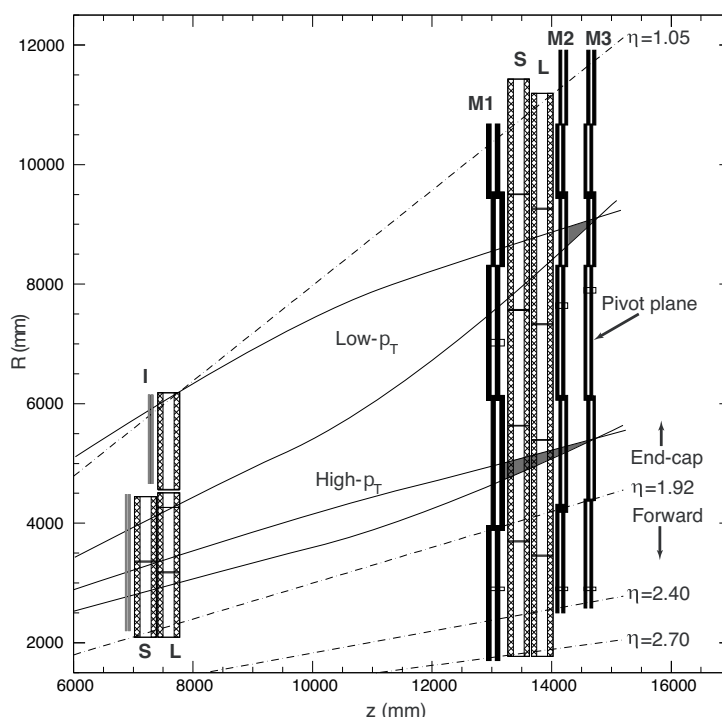


図 C.6: TGC のレイアウト [3]

C.5 TGC における p_T 測定の原理

Level 1 Trigger を担当する TGC システムは 6 段階の p_T のラベル付けを行いトリガーを発行するが, その際の p_T の測定はハードウェアによって行う. ここでは簡単にその原理について説明する.

まずピボットプレーン (M3) 上のヒット位置と衝突点を結んだ無限大運動量トラックを考える. 次に M2 上のヒットの位置から, 無限大運動量トラックからのずれ ($\delta R, \delta\phi$) を測定する. エンドキャプトロイドの磁場は一様ではなく, 粒子は ϕ 方向にも曲がるため ϕ 方向の位置も測定する必要がある. M1 にもヒットがあれば, M1 の $\delta R, \delta\phi$ も測定する. それぞれのデータは SL (Sector Logic) というモジュールに送られ, そこでコインシデンスウィンドウ⁴ と照らし合わせることで p_T の値が決められる. TGC システムでは 6 GeV 以上が Low p_T トリガーで 20 GeV 以上が High p_T トリガーとなっている.

⁴SL に保存されている LUT (Look Up Table)

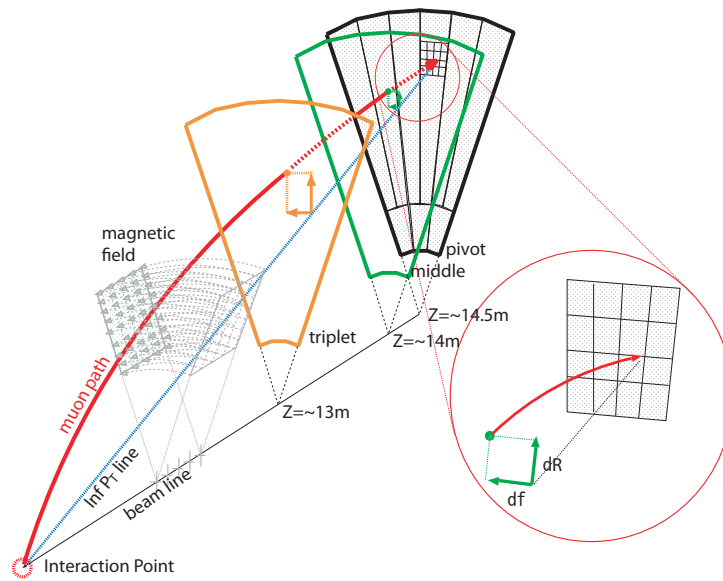


図 C.7: p_T 測定の原理 [13]

C.6 TGC のエレクトロニクスシステム

TGC エレクトロニクスシステムにおける信号の流れは以下の 3 つに大別される。

- トリガー系
- リードアウト系
- コントロール系

システムの全体像を図 C.8 に示す。赤線、青線、緑線はそれぞれトリガー系、リードアウト系、コントロール系を表す。

トリガー系信号は、25 ns ごとの衝突で発生するイベントが物理的に興味のあるものかどうかを判定するために用いられる信号である。リードアウト系信号は、TGC のヒット情報のデータそのものを扱う信号である。コントロール系信号は TGC の各モジュールを制御したり、クロックやタイミングの信号を分配するために用いる。

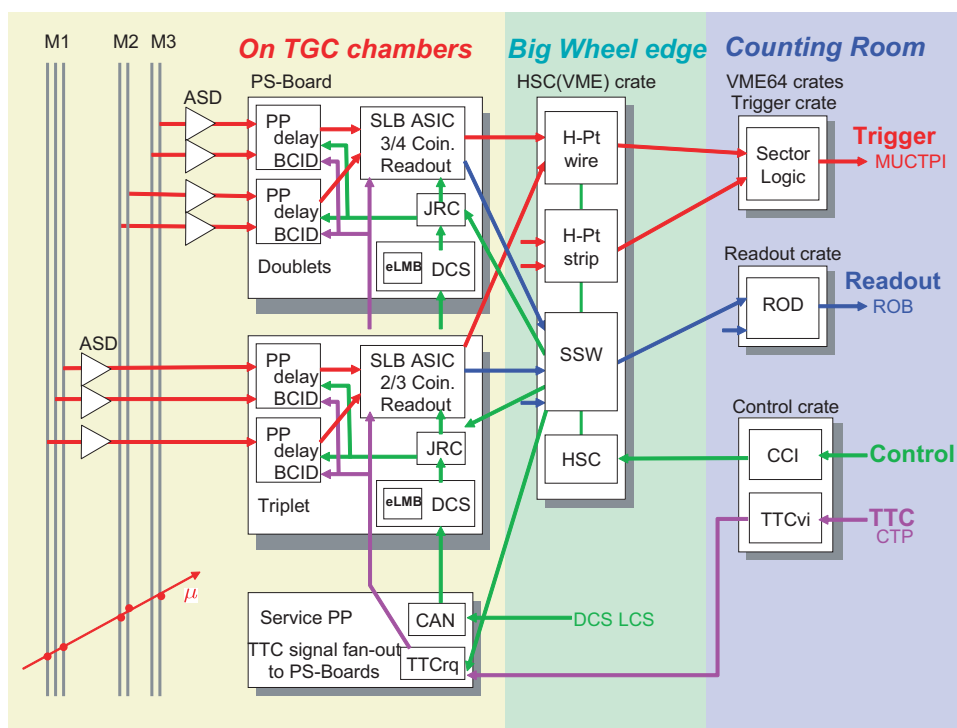


図 C.8: TGC エレクトロニクスシステム [14]

C.6.1 トリガー系

トリガー系の信号は図 C.9 のように ASD (Amplifier Shaper Discriminator), PP (Patch Panel), SLB (Slave Board), HPT (High- p_T Board), SL (Sector Logic) の順に処理される。

まず TGC でミュオンが検出されるとそれらのアナログ信号は ASD ボードに送られ、信号の増幅・整形・デジタル化が行われ、LVDS⁵ 信号で PP ASIC に送られる。PP ASIC では TOF⁶ やケーブル遅延から生じるタイミングのずれを調整し、パンチ識別を行う。SLB ASIC では各レイヤー間でのコインシデンス処理⁷ が行われ、その結果が HPT に送られる。HPT では SLB でのコインシデンス処理の結果を元にして R 方向と ϕ 方向でそれぞれコインシデンスがとられ、SL へと送られる。SL では今まで独立に扱われていたワイヤとストリップの情報を合わせて最終的なトリガー判定が行われ、その結果が MUCTPI に送られる。

⁵Low Voltage Differential Signal

⁶Time Of Flight: 各検出器に粒子が到達するまでの飛行時間

⁷M2 と M3 の 2 つの Doublet では 3/4, M1 Triplet ではワイヤは 2/3, ストリップは 1/2

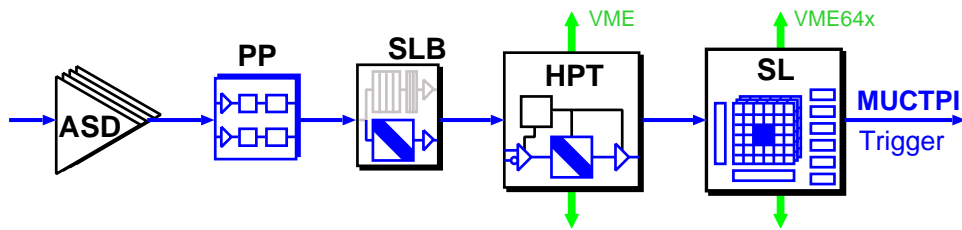


図 C.9: トリガーラインのモジュール構成 [14]

C.6.2 リードアウト系

読み出しデータはは図 C.10 のように ASD, PP, SLB, SSW (Star SWitch) , ROD (Read Out Driver) の順に処理され ROB (Read Out Buffer) へ送られる。

PP ASIC から送られてきた読み出しデータは SLB ASIC の中にある 128 段のレベル 1 バッファに蓄えられ, $25 \text{ ns} \times 128 \text{ Clock} = 3.2 \mu\text{s}$ の間 L1A⁸ 信号が来るのを待つ. L1A 信号を受けたデータはバンチ情報やトリガー情報を付加されてデランダムマイザ⁹を通じて SSW に送られる. SSW では複数の SLB からのデータをまとめてゼロサプレス¹⁰によって圧縮して, G-Link¹¹を通じて ROD に送られる. ROD ではさらに複数の SSW からのデータを 1 つにまとめ, ROB にデータを送る.

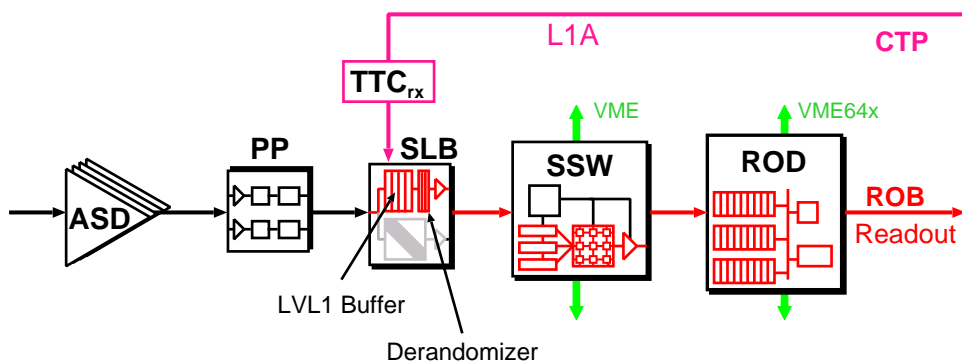


図 C.10: リードアウトラインのモジュール構成 [14]

C.6.3 コントロール系

実験ホール内の各モジュールのコントロールはカウンティングルームにある CCI (Control Con-figure Interface) から HSC (HPT SSW Controller) を通じて行う. PS Board 上の SLB, PP のコントロールはさらに SSW を介して行う. 図 C.11 がそのモジュール構成である.

⁸Level 1 Accept

⁹ランダムに来る信号を定期的なタイミングに合わせる

¹⁰値がゼロのデータセルを捨ててゼロでないセルデータをアドレスと共に送る

¹¹CERN で用いられている光信号規格

ATLAS 実験では各検出器の制御と監視を統一的な方法で行うために DCS¹² が導入されている。TGC では ADC¹³, DAC¹⁴, eLMB¹⁵ などを搭載した DCS カードが PS Board に設置されていて、DSC の操作は専用の CAN バスを用いて行われる。また PS Board 上には PP または SLB への JTAG の経路選択を行うための JRC (JTAG Routing Controller) が設置されている。

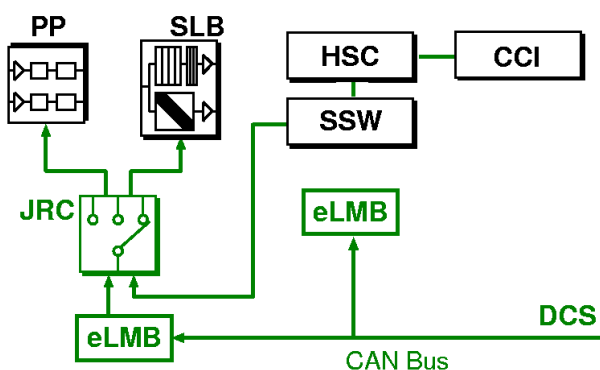


図 C.11: コントロールラインのモジュール構成 [14]

C.6.4 ASD (Amplifier Shaper Discriminator)

ASD ボードは TGC の側面に取り付けられており、4 個の ASD ASIC が搭載されそれぞれ 4 チャンネルを処理し、1 つのボードで 16 チャンネルを処理する。ASD ASIC は TGC からのアナログ信号を増幅、整形し、ある閾値電圧を越えた信号だけを LVDS レベルの信号で出力する。

また ASD ボード以降のエレクトロニクスの診断やタイミング調整のために、トリガー信号を受けて擬似的な TGC の出力信号 (テストパルス) を出力する機能も持っている。

ASD ボードは、後述する PS ボードとツイストケーブルで接続されており、動作電源、閾値電圧、テストパルスのためのトリガーを PS ボードから受け取る。また ASD ボードには 16 チャンネル目のアナログ信号をモニタできるアナログ出力もついている。図 C.12, 図 C.13 に ASD ボードの写真と ASD ASIC のブロック図を載せる。

¹²Detector Control System

¹³Analog to Digital Converter

¹⁴Digital to Analog Converter

¹⁵embedded Local Monitor Box

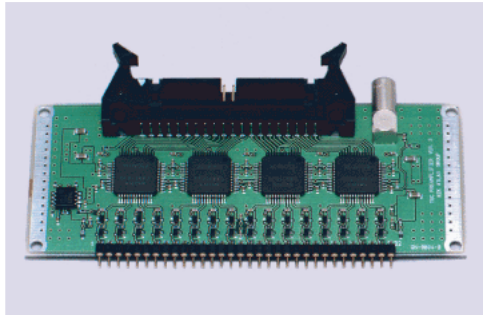


図 C.12: ASD Board[14]

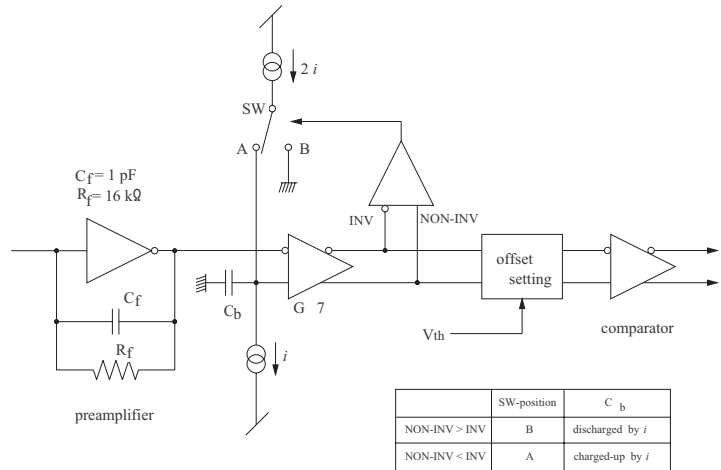


図 C.13: ASD ASIC のブロック図 [14]

C.6.5 PS Board

PS ボードは十数枚まとめて PS Pack と呼ばれるケースに納められて TGC Triplet 前面と TGC pivot Doublet 後面に取り付けられており, PP ASIC, SLB ASIC, JRC, eLMB が搭載されている. 図 C.14 に PS Board のブロック図を示す.

PS ボードでは ASD からの LVDS 信号を PP ASIC で受け, TGC の境界領域でのダブルカウントを防ぐための OR 論理回路を通して SLB ASIC へ信号を送る.

SLB ASIC では信号はトリガー系と読み出し系に分かれ, トリガー用データは HPT へ, 読み出し用データは SSW へと, それぞれシリアル化された LVDS 信号で送られる. また PP/SLB を制御するための JTAG 信号は JRC により PS Board 上の各 ASIC に分配される.

さらに PS Board は, ASD Board に電源電圧と閾値電圧を供給する役割も果たす.

また PS ボードは後述する SPP (Service Patch Panel) から TTC (Timing Trigger Control) によって供給される LHC clock や各種リセット信号, テストパルスのためのトリガー信号等を受け取る. 図 C.15 に PS ボードの写真を示す.

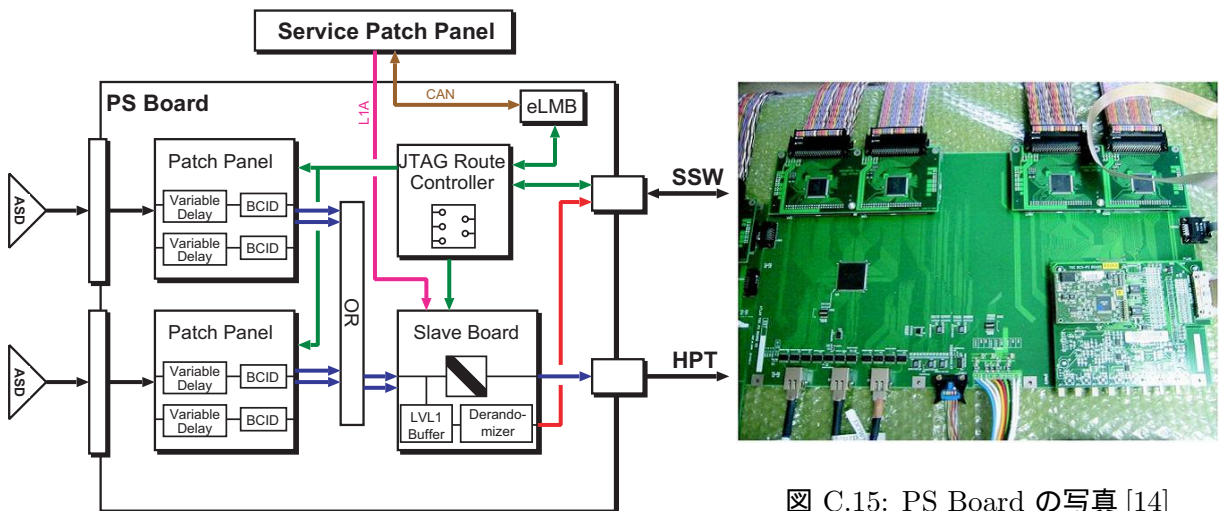


図 C.15: PS Board の写真 [14]

図 C.14: PS Board のブロック図 [14]

C.6.6 PP (Patch Panel)

PP ASIC では TOF (Time of Flight) やケーブル遅延などによる入力信号のタイミングのずれを調整する役割を持つ。信号のタイミングは Variable Delay 回路で 25/31 ns 単位で調整となっており、0~25 ns の範囲で Delay をかけることができる。

タイミング調整された信号は BCID (バンチ識別) 回路に入り、TTC から供給される LHC clock と同期がとられてバンチ識別が行われる。

また PP ASIC は ASD Board にテストパルスを発生させるための回路も搭載している。テストパルスの振幅、タイミングは可変であり、JTAG プロトコルによって制御する。

図 C.16 に PP ASIC のブロック図を示す。

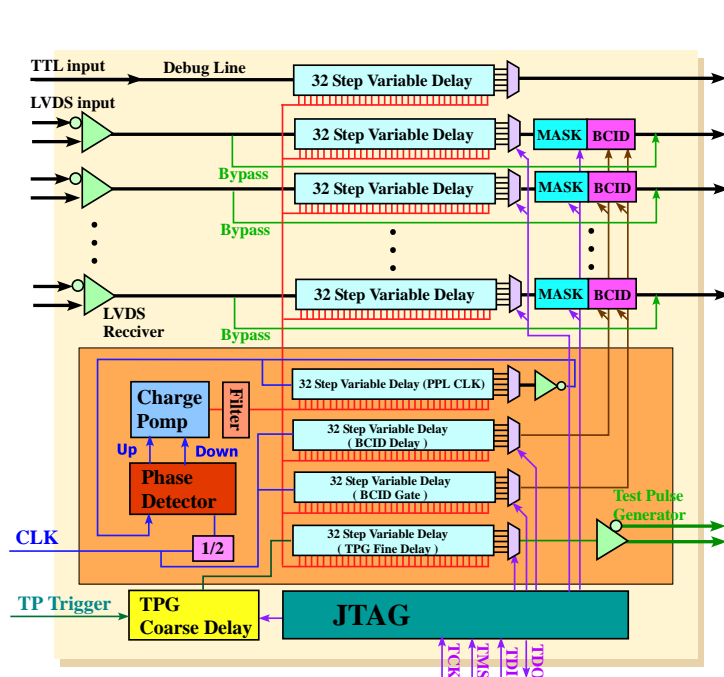


図 C.16: PP ASIC のブロック図 [14]

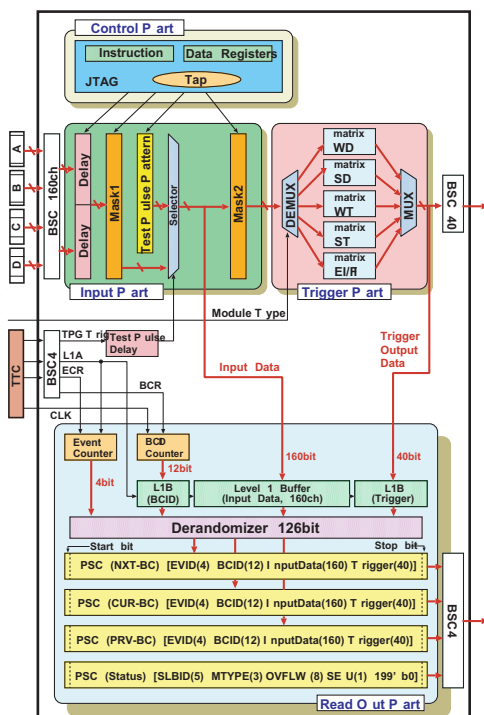


図 C.17: SLB ASIC のブロック図 [14]

C.6.7 SLB (Slave Board)

図 C.17 が SLB ASIC のブロック図である。SLB ASIC の役割は大きく分けてトリガー部とリードアウト部の 2 つに分けられる。以下ではそれぞれについて説明する。

トリガー部では、入力信号が Wire か Strip, Doublet か Triplet によって 5 種類のコインシデンスマトリックス¹⁶ を切り替えてトリガー処理を行う。2 つの Doublet では 3/4 コインシデンスがとられ、Triplet では 2/3 コインシデンスがとられる。 δR , $\delta\phi$ の値を決めるために、ワイヤでは ± 7 のコインシデンスウィンドウが、ストリップでは ± 3 のコインシデンスウィンドウがそれぞれ保持される。

¹⁶Wire Doublet, Strip Doublet, Wire Triplet, Strip Triplet, EI/FI

また連続したチャンネルにヒットがあった場合はその中の1チャンネルを選択してトリガー判断に用いるようになっており、その機能をデクラスタリングと呼ぶ。デクラスタリングの概念図を図 C.18 に載せる。

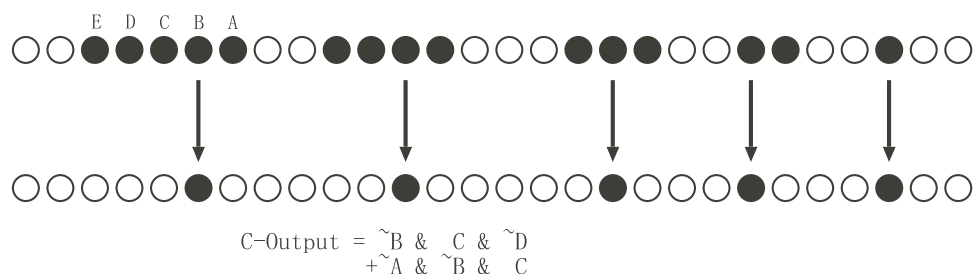


図 C.18: デクラスタリングの概念図 [14]

リードアウト部は主にレベル1バッファとデランダムマイザによって構成され、データの読み出しを行う。チェンバーからやってきたデータは L1A¹⁷ 信号がやってくるまでトリガーデータと共に一旦 212bit × 128 段のシフトレジスタに蓄えられる。212 bit の内訳はヒットデータ 160 bit, トリガーデータ 40 bit, バンチ・カウンタデータ 12 bit である。L1A を受け取ると、該当バンチとその前後 1 バンチ分のデータがデランダムマイザに送られ、デランダムマイザではそれぞれのデータを別々にシリアル変換して SSW に送る。

C.6.8 JRC (JTAG Routing Controller)

JRC は JTAG¹⁸ ポートのスイッチングルータである。入力が SSW と eLMB からの 2 系統あり、出力が PP と SLB 用に 7 系統ある。7 系統のうち 4 つが PP ASIC へのもので、3 つが SLB ASIC へのものである。

JRC は放射線耐性を持たせるため、Anti-Fuse FPGA を使用している。図 C.19 が JRC のブロック図である。

¹⁷Level 1 Accept

¹⁸Joint Test Action Group: 集積回路の検査, デバッグに用いるバウンダリスキャンの標準方式

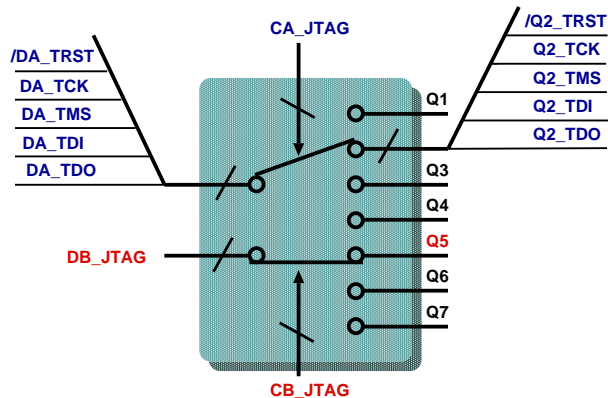


図 C.19: JRC のブロック図 [14]

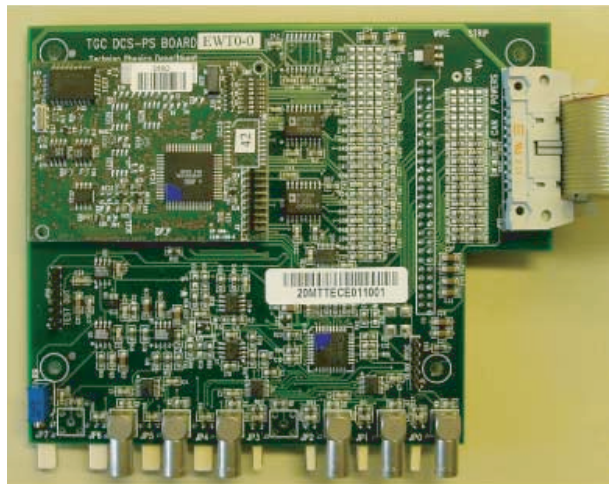


図 C.20: DCS の写真 [14]

C.6.9 DCS (Detector Control System)

DCS は eLMB と呼ばれるサブモジュールを使用し、ADC や DAC を用いてセンサーからのアナログ信号をモニターしたり制御用のアナログ信号を作りだしたりする。具体的には、温度モニタ、エレクトロニクスの電圧・電流モニタ、チェンバー位置モニタ、TGC のアノードに印加する HV モニタとコントロール、ASD の閾値電圧の設定を行う。eLMB は CAN バス¹⁹を通じてデバイス上のデータの読み書きが行える。図 C.20 に DCS の写真を載せる。

C.6.10 HPT (High p_T Board)

HPT は Doublet と Triplet からの情報を用いて High- p_T トリガー情報を生成するモジュールである。HPT は SLB まで独立に処理されてきた Doublet と Triplet のデータを統合して HPT トリガー情報を生成する。Triplet は Doublet よりもかなり衝突点に近い位置にあるため、Triplet を用いるとトロイダルマグネットによってあまり曲げられることがなかった高い p_T を持つミューオンを選別できる。HPT ではワイヤとストリップは独立に処理が行われ、 δR 、 $\delta\phi$ を出力する (図 C.21, 図 C.22)。出力データはシリアル化され、光信号に変換されて カウンティングルーム (USA15) にある SL に送信される。図 C.23 に HPT の写真を載せる。

¹⁹Controller Area Network: マルチマスターのシリアルバス

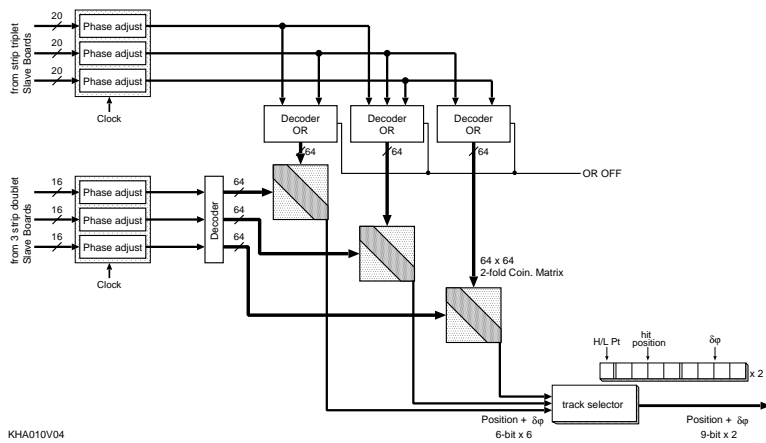


図 C.21: HPT-Strip のブロック図 [14]

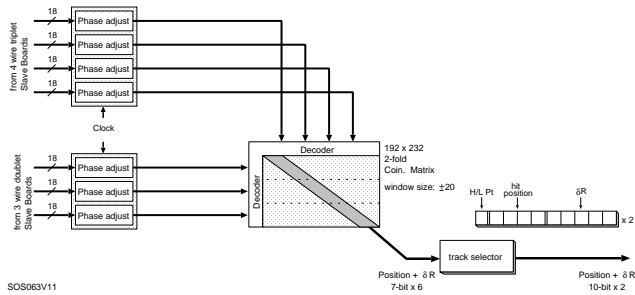


図 C.22: HPT-Wire のブロック図 [14]



図 C.23: HPT の写真 [14]

C.6.11 SL (Sector Logic)

SL は TGC システムのトリガーデータが最終的に集められるモジュールであり、1つのモジュールでトリガーセクター2つ分の信号を処理する。SL は主に $R-\phi$ コインシデンス、プレトラックセクタ、ファイナルトラックセクタから構成される。まず SL は HPT から送られてきたシリアルな光信号をパラレルな電気信号に変換する。そして HPT まで独立に処理されてきた R 方向 (Wire), ϕ 方向 (Strip) の情報を合わせて $R-\phi$ コインシデンスを取ることによってミューオンのトラックを構築する。それらのトラックを SSC²⁰ごとに6段階の p_T 閾値によって分類する。その閾値の値は LUT²¹ の書き換えによって変更可能である。

²⁰Sub Sector Cluster: R 方向に2つ, ϕ 方向に4つのサブセクターの集まり

²¹Look Up Table

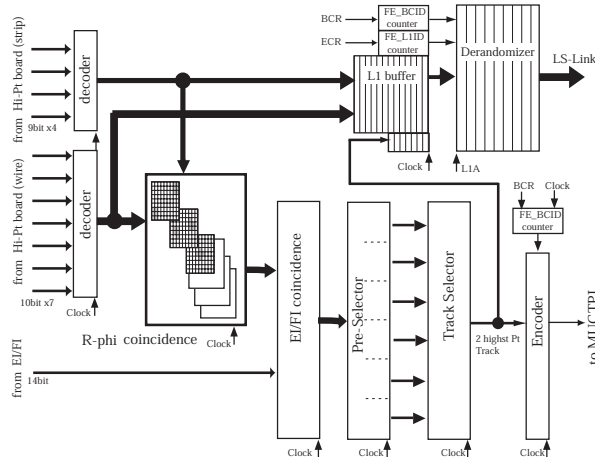


図 C.24: SL のブロック図 [12]

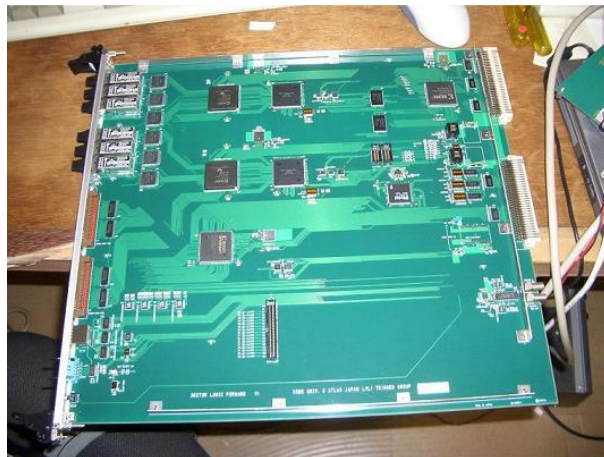


図 C.25: SL の写真 [14]

C.6.12 SSW (Star Switch)

SSW の主な役割は複数の SLB から送られてくるリードアウトデータを圧縮し、ROD にデータを送る前にデータ量を減らして効率良い読み出しができるようにすることである。具体的なデータ圧縮の方法はゼロサプレスと呼ばれ、データをセルと呼ばれる 8 bit ごとの塊に分け、各セルにアドレスを付加し、値がゼロでないセル情報だけをアドレスと共に送るという方法である。図 C.26 にゼロサプレスの概念図を載せる。

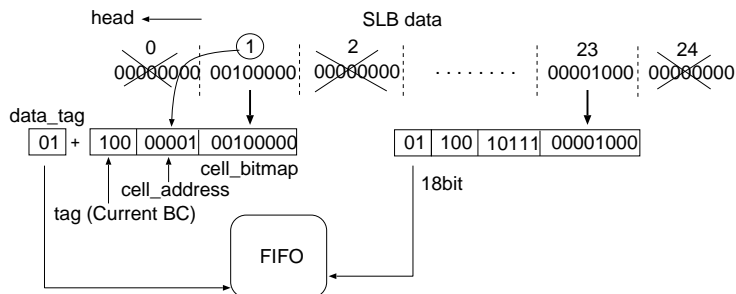


図 C.26: ゼロサプレスの概念図 [12]

TGC の全チャンネルのうちヒット信号を発生するのはごく一部なのでゼロサプレスの方法によってデータを減らすことが出来る。SSW は1つで最大 23 個の SLB のデータを受け取る。SSW はまず SLB からの LVDS レベルのシリアルデータを受け取り、パラレルに変換する。そのデータは SSW_{Rx} に送られ、データの圧縮が行われる。その後データは SSW_{Tx} に送られフォーマットされる。フォーマットされたデータはシリアル化されて光信号に変換されて約 100 m 離れた USA15 にある ROD に送られる。

また SSW は JTAG プロトコルによる PSB 上の PP, SLB のレジスタ設定や、I²C²² による SPP 上の TTC_{Rx} の設定も行う。

²²Inter-Integrated Circuit: 周辺機器用の低速シリアルバス

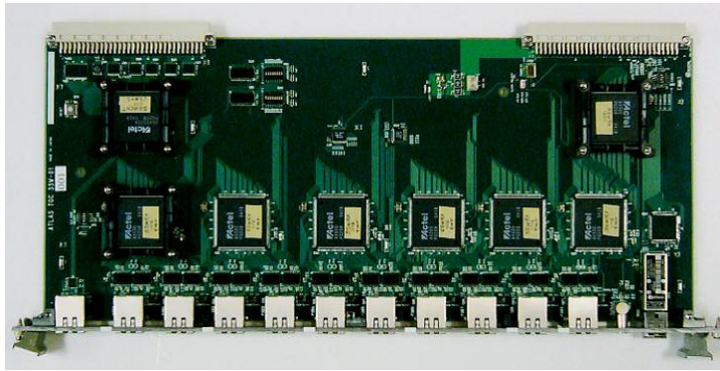


図 C.27: SSW の写真 [14]



図 C.28: ROD の写真 [14]

C.6.13 ROD (Read Out Driver)

ROD は TGC エレクトロニクスシステムの中でリードアウトのデータが最終的に集まるモジュールである。ROD は複数の SSW からのシリアルデータを光ファイバーを通して受け取り、光信号を電気信号に変換した後パラレル変換し、FIFO²³メモリに一時的に格納する。このデータをトリガー情報を元に同じイベントごとにまとめ、決められたフォーマットに従いヘッダ、トレーラーをつける。まとめられたデータは S-Link²⁴によって ROB に送信される。イベントの同定やヘッダ、トレーラをつけるためには TTC からのトリガー情報が必要となるため、ROD には TTCrx が載せられたメザニンボードが搭載され、これにより TTC からの信号を受け取ることが出来るようになっている。図 C.28 に ROD の写真を載せる。

C.6.14 HSC (HPT SSW Controller)

HSC は HTP, SSW と同じ VME クレートに取り付けられる VME マスターモジュールである。後述する CCI と光ファイバーで結ばれ、CCI からの命令を受け取る。HSC はその命令に応じた処理を行い、その後 CCI へ応答を返す。命令 VME スレーブモジュールである HPT や SSW をコントロールするためのものである。

また HSC には JTAG 機能も搭載されており、SSW を通じてさらに上流のエレクトロニクスのコントロールを行う。図 C.29 が HSC の写真である。

²³First In First Out: 先に書いたデータから順に読み出すメモリ

²⁴CERN で開発された光信号の規格

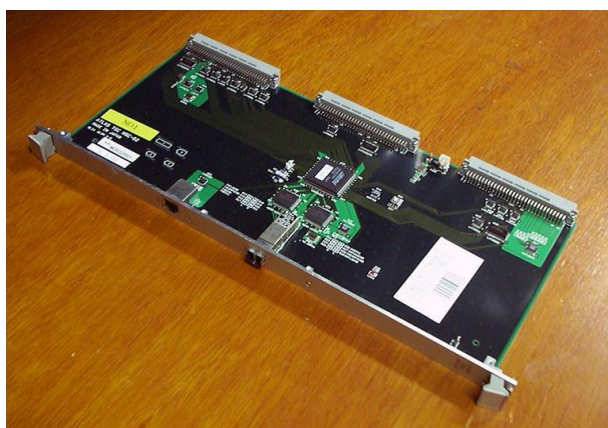


図 C.29: HSC の写真 [13]

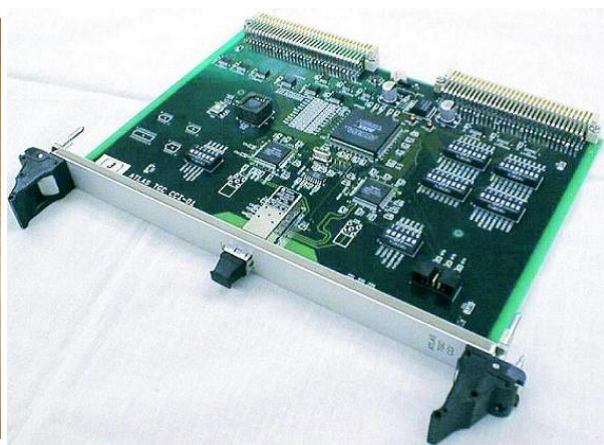


図 C.30: CCI の写真 [13]

C.6.15 CCI (Control Configuration Interface)

CCI はカウンティングルーム内に設置される VME スレーブモジュールで、光ファイバー経由で HSC とつながり、HSC の遠隔操作を行う。CCI はローカルホストからの命令を受け取り一旦命令専用レジスタに格納した後、光ファイバーによって HSC へと送信する。また HSC からの応答を応答専用レジスタに格納してローカルホストが読み出す。

またこれら以外にも状態監視用のレジスタや VME 優先割り込み用のレジスタが用意され、これらは VME 経由でアクセスすることが可能である。図 C.30 に CCI の写真を載せる。

付 録 D 本研究で設計した回路図

D.1 PCI-CCI の回路図

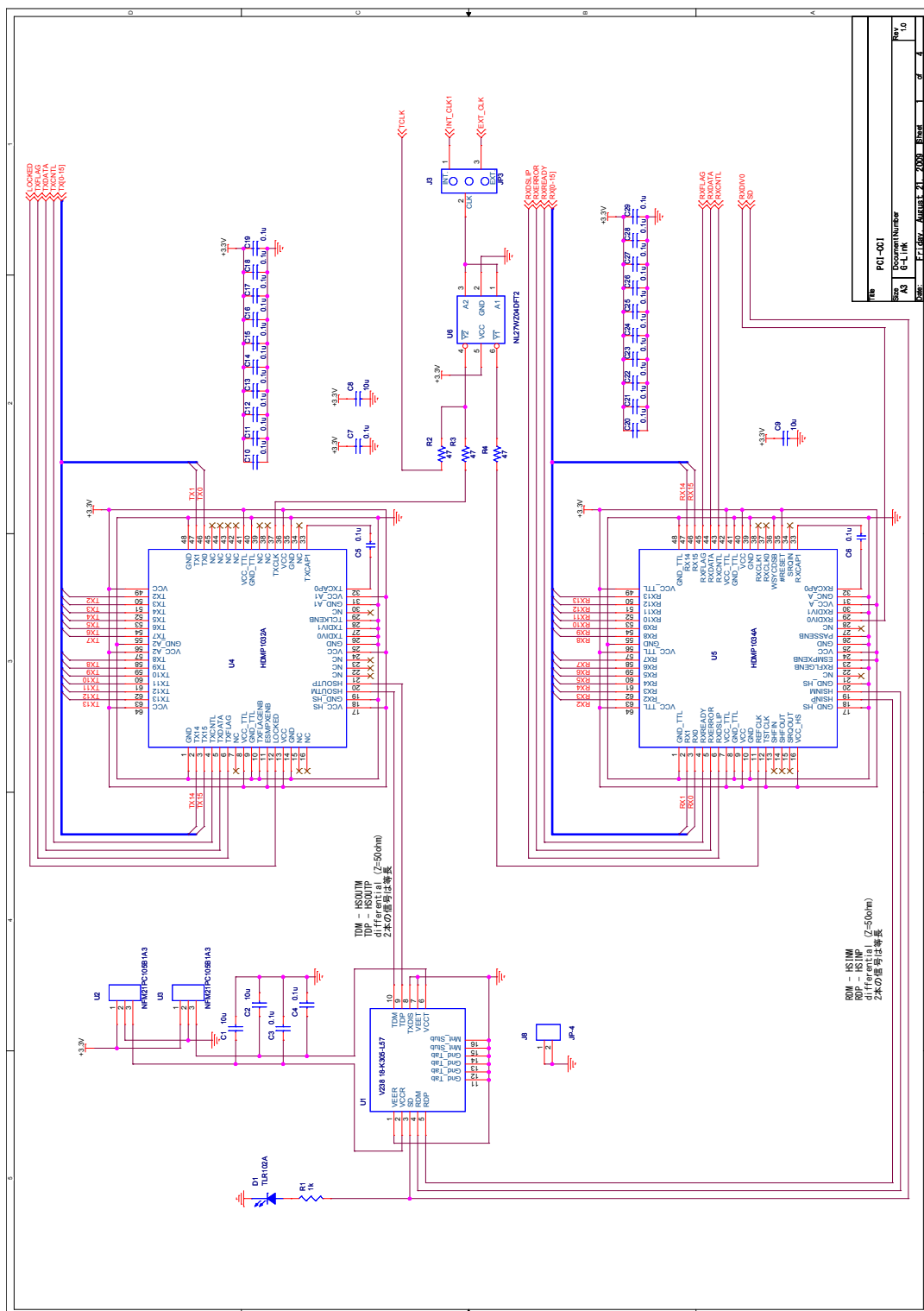


図 D.1: PCI-CCI の回路図 1: G-Link Tx Rx Chips, OE/EO Converter

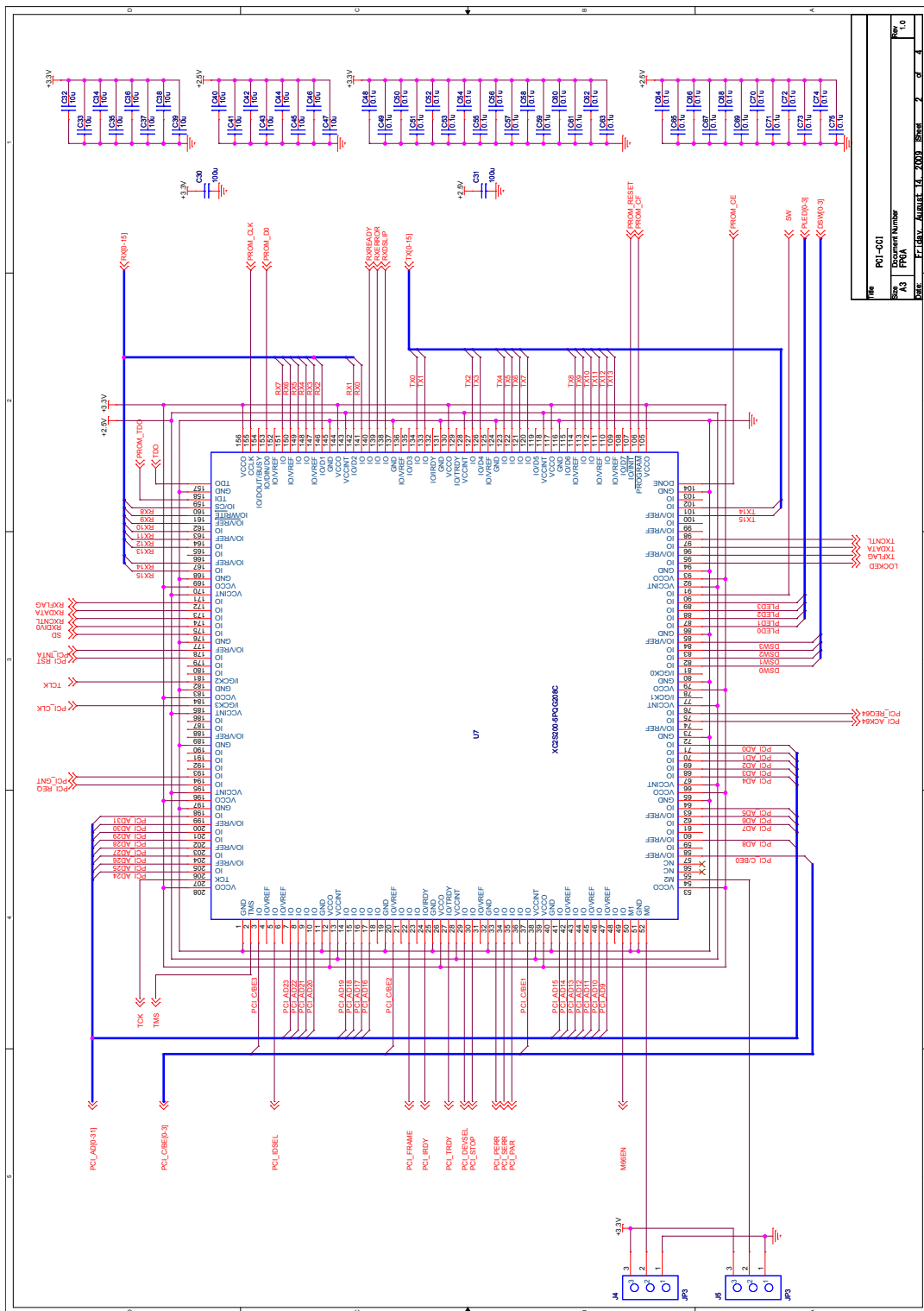
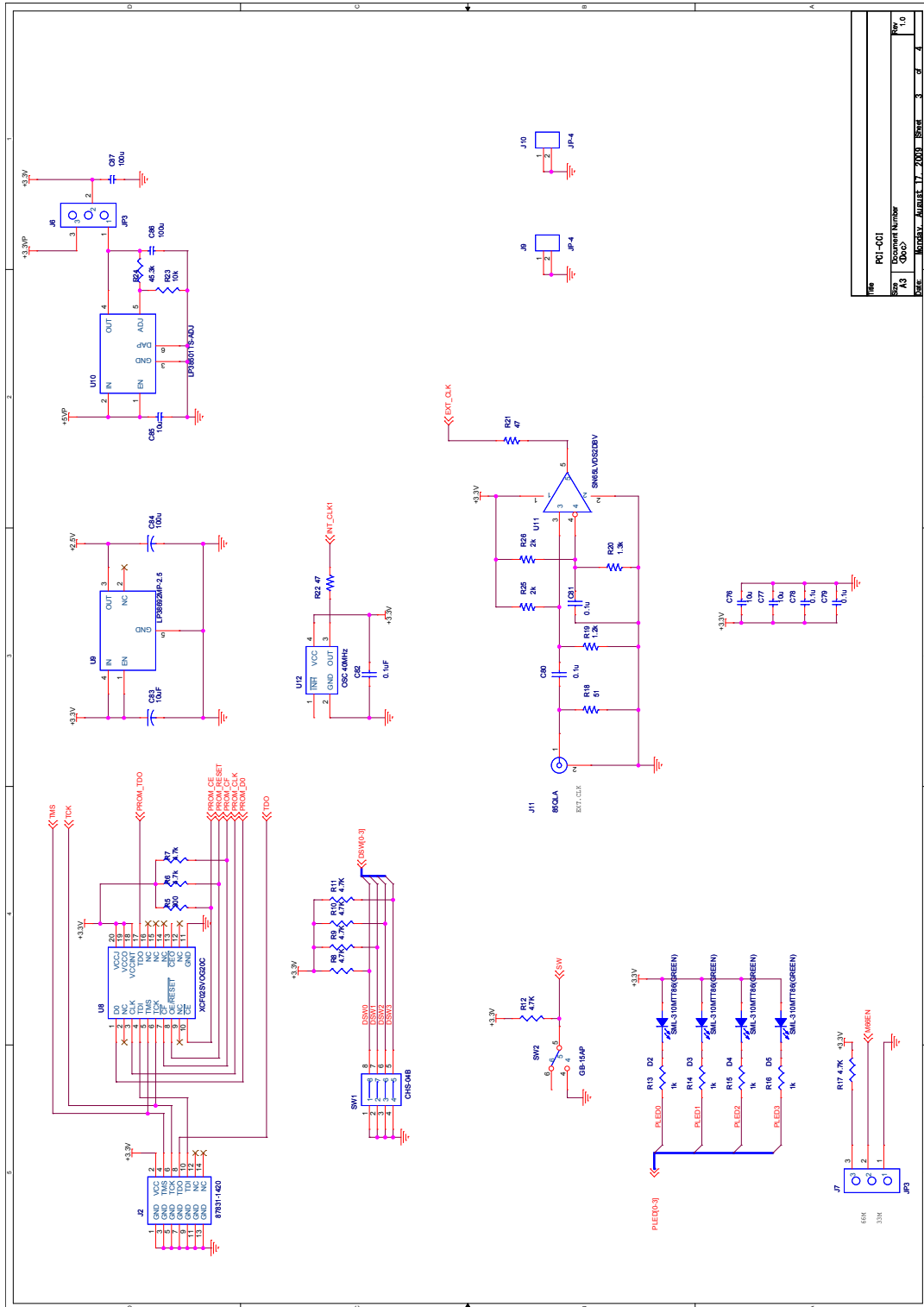


図 D.2: PCI-CCI の回路図 2: FPGA



File	PCI-CCI
Size	Document Number
Rev	A3
Date	Monday, August 17, 2009 10:58 AM
Page	3 of 4
Rev	1.0

図 D.3: PCI-CCI の回路図 3: Power, PROM, OSC

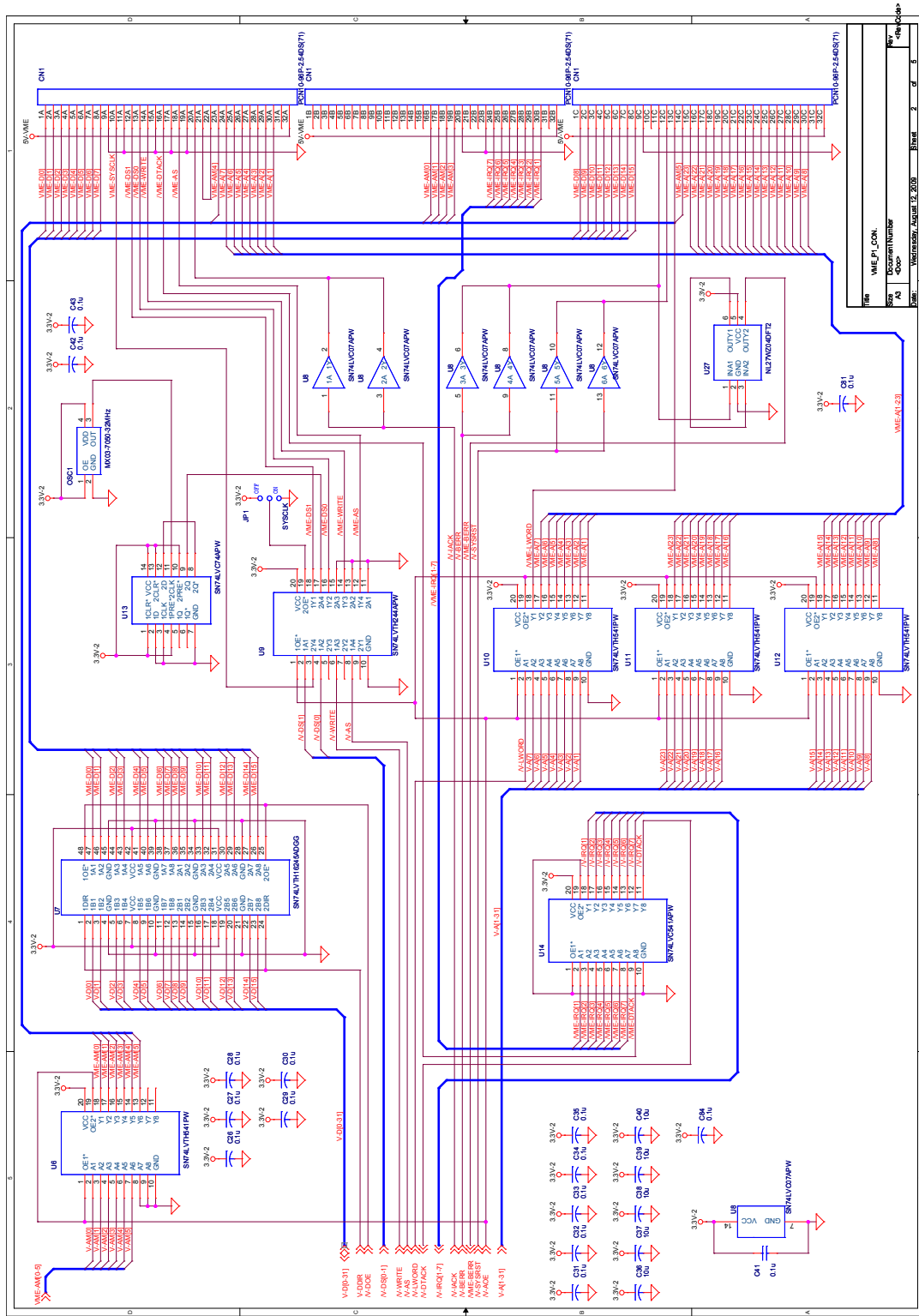


図 D.6: RTC の回路図 2: VME-J1

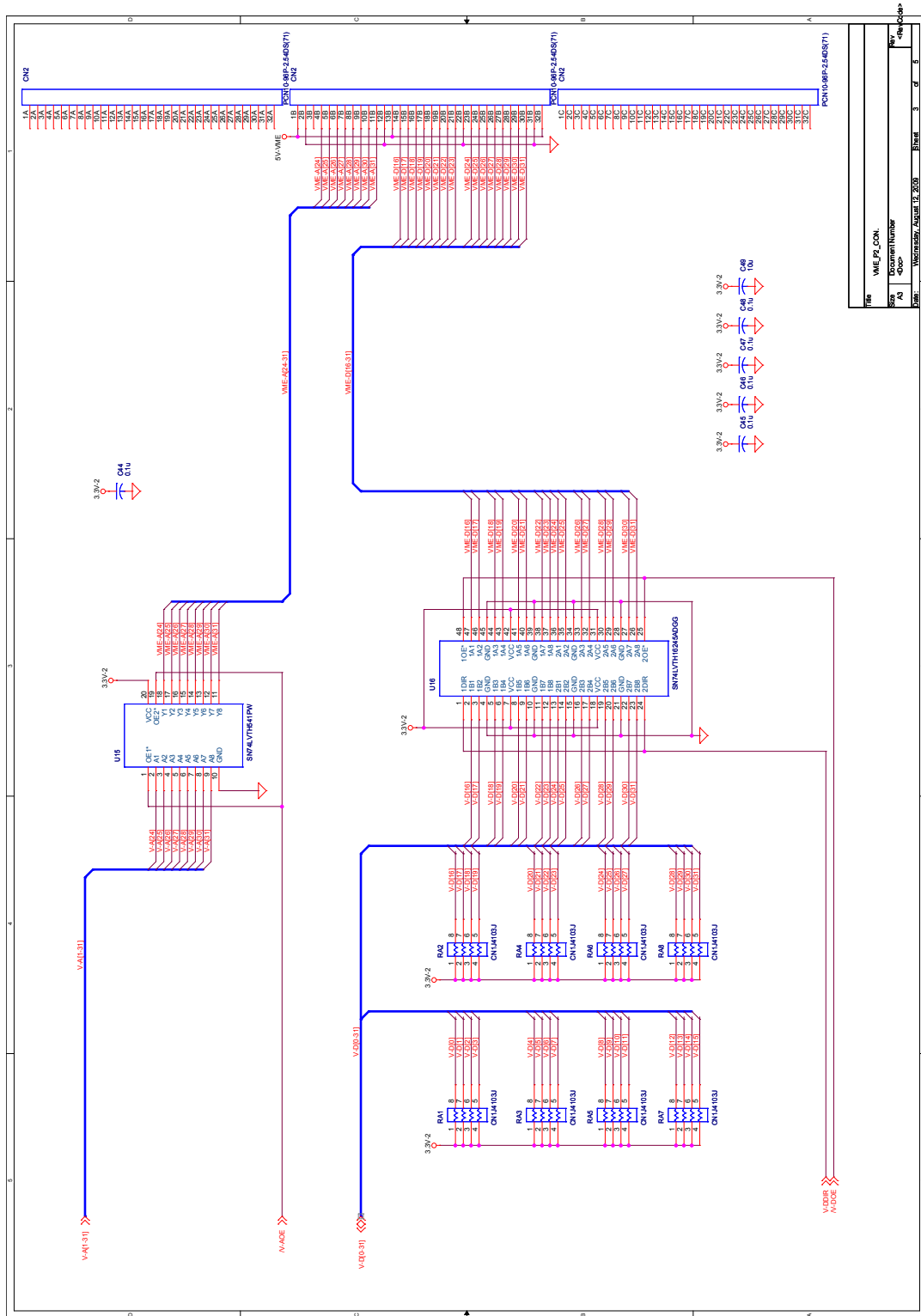


図 D.7: RTC の回路図 3: VME-J2

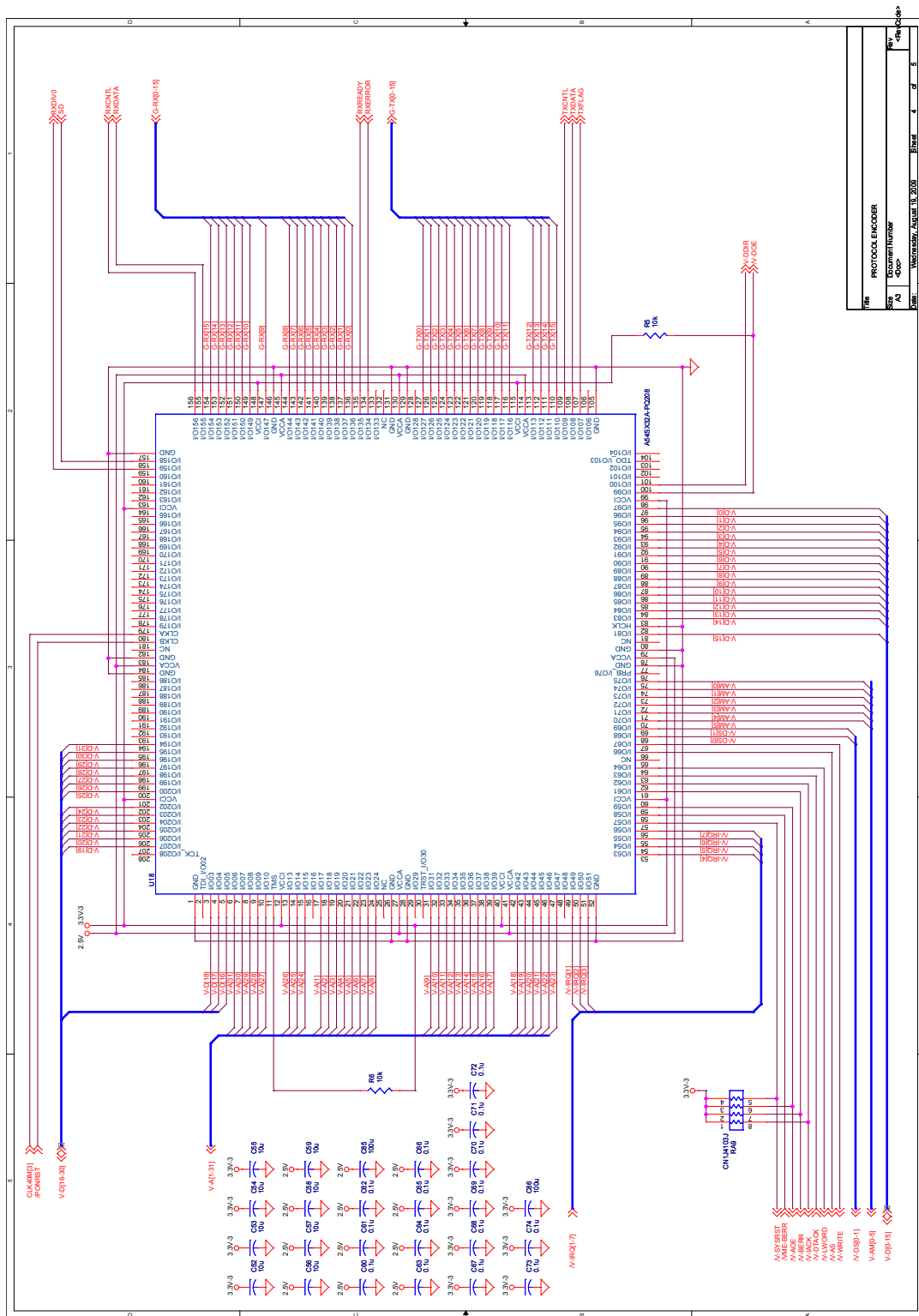
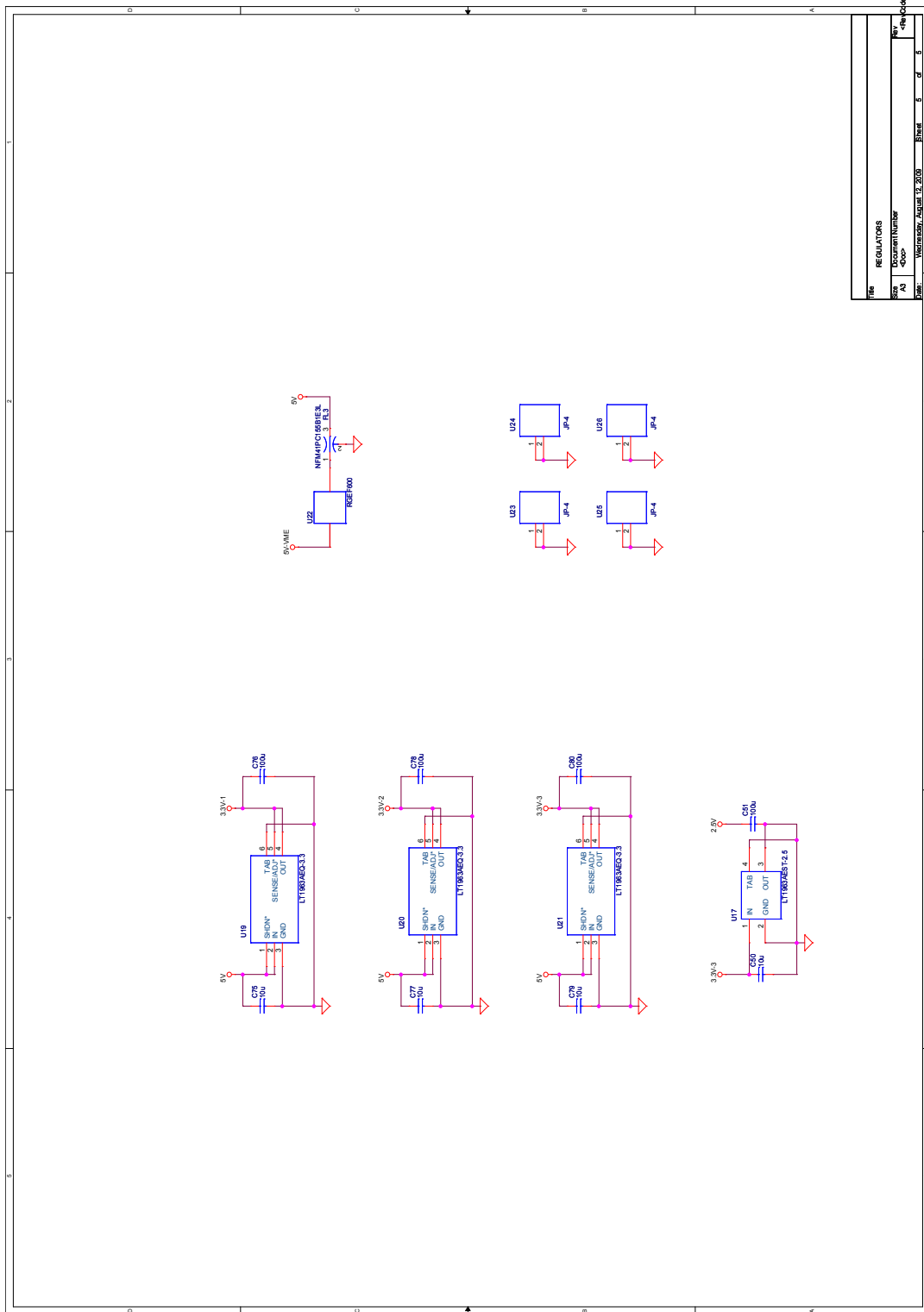


図 D.8: RTC の回路図 4: FPGA



File	REGULATORS
Sheet	Document Number
Part	44
Date	Wednesday, August 12, 2009
Sheet	5 of 6

図 D.9: RTC の回路図 5: Regulators

D.3 PT6 の回路図

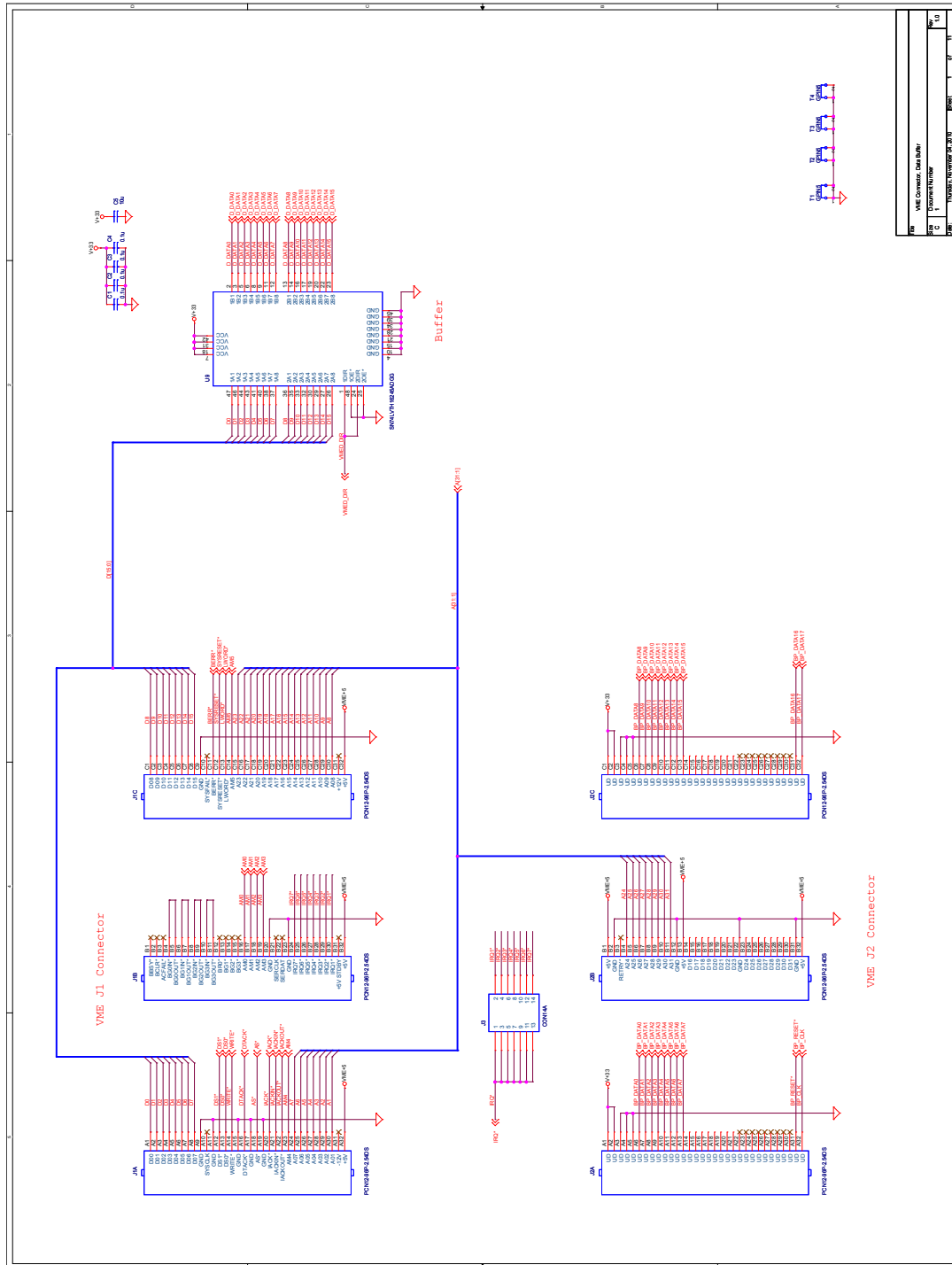
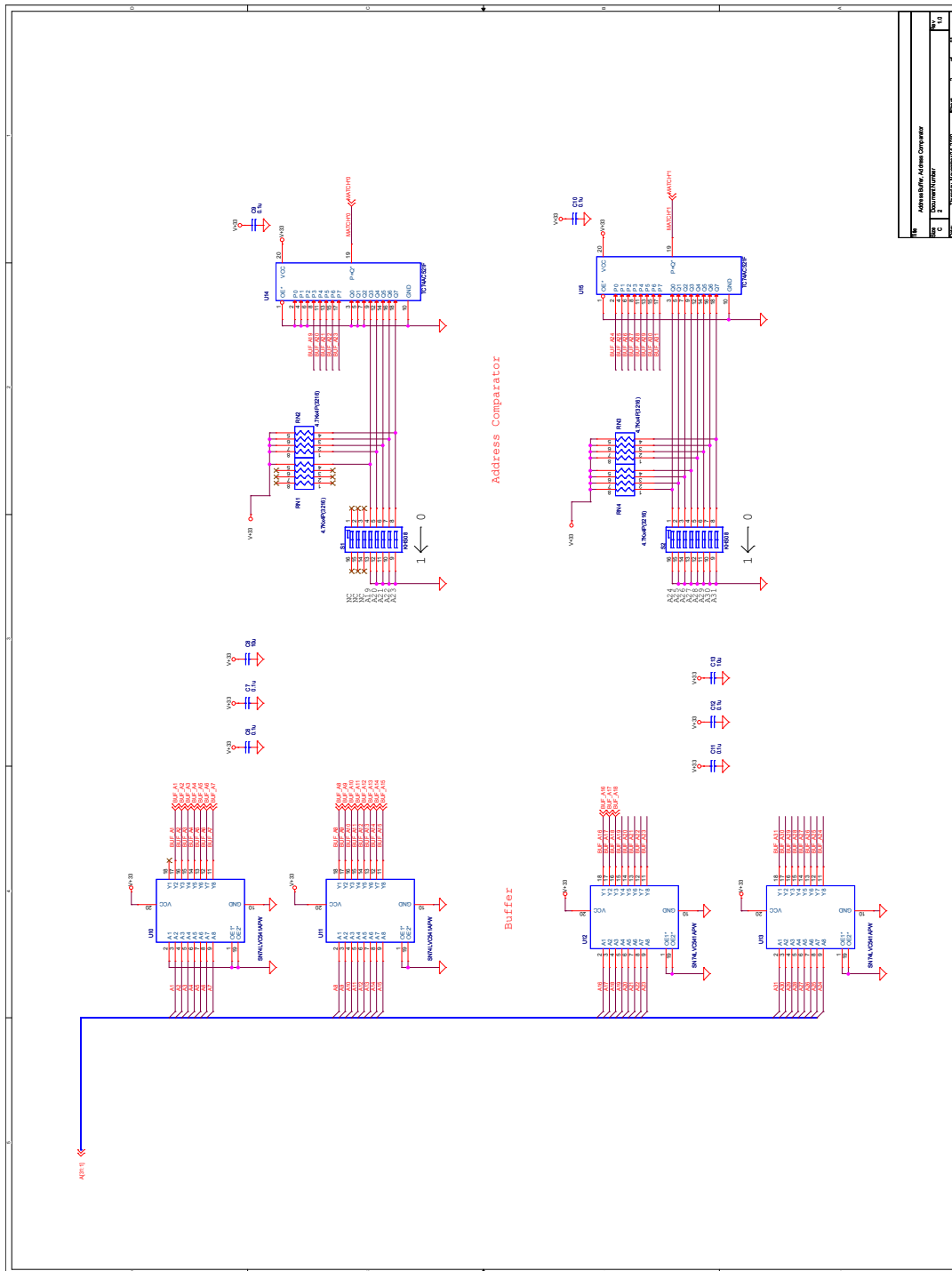


図 D.10: PT6 の回路図 1: VME Connector



Rev	1	Docu. No.	PT6
Rev	2	Docu. No.	PT6
Rev	3	Docu. No.	PT6
Rev	4	Docu. No.	PT6
Rev	5	Docu. No.	PT6
Rev	6	Docu. No.	PT6
Rev	7	Docu. No.	PT6
Rev	8	Docu. No.	PT6
Rev	9	Docu. No.	PT6
Rev	10	Docu. No.	PT6

図 D.11: PT6 の回路図 2: Buffer, Comparator

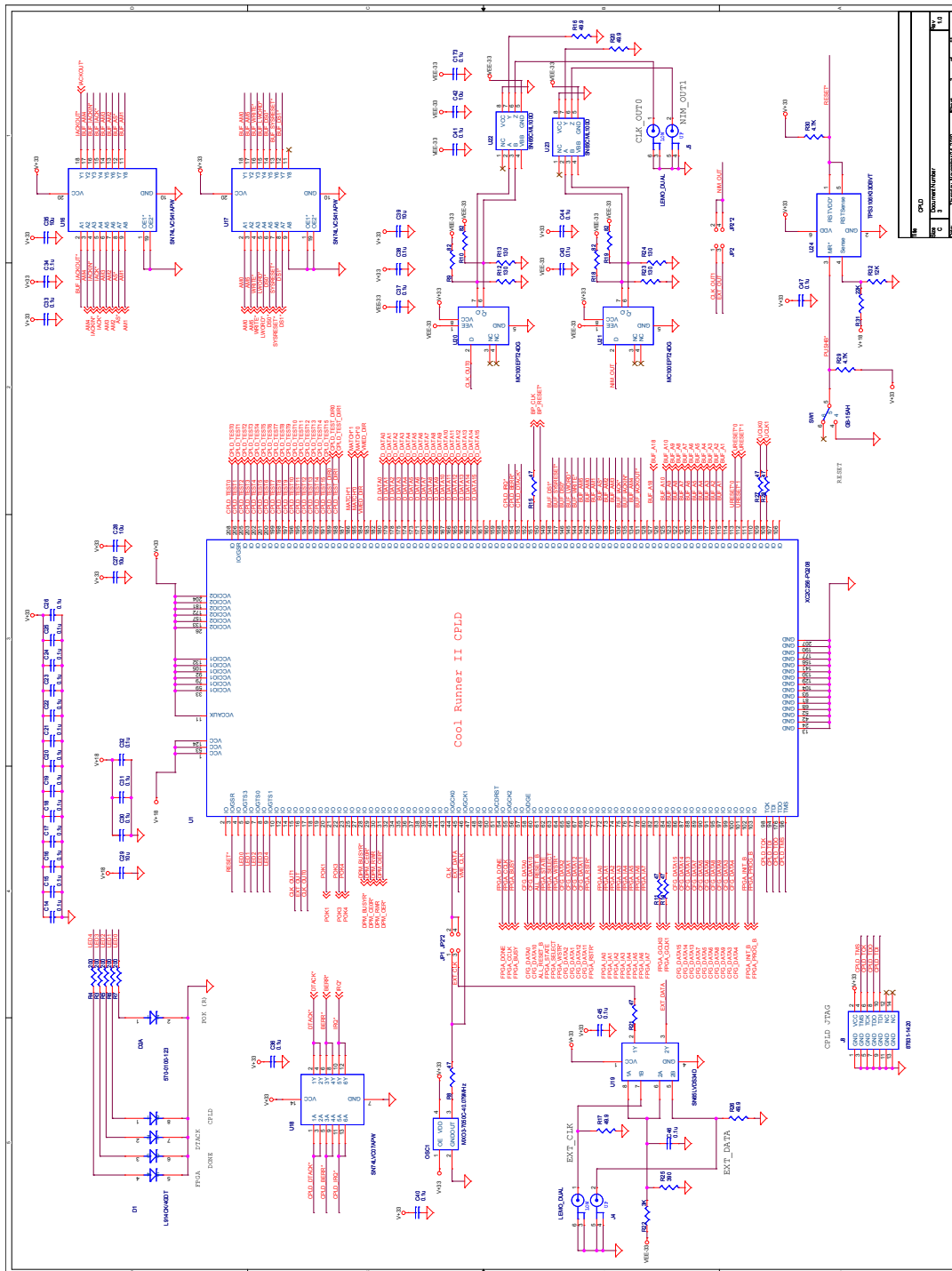


図 D.12: PT6 の回路図 3: CPLD

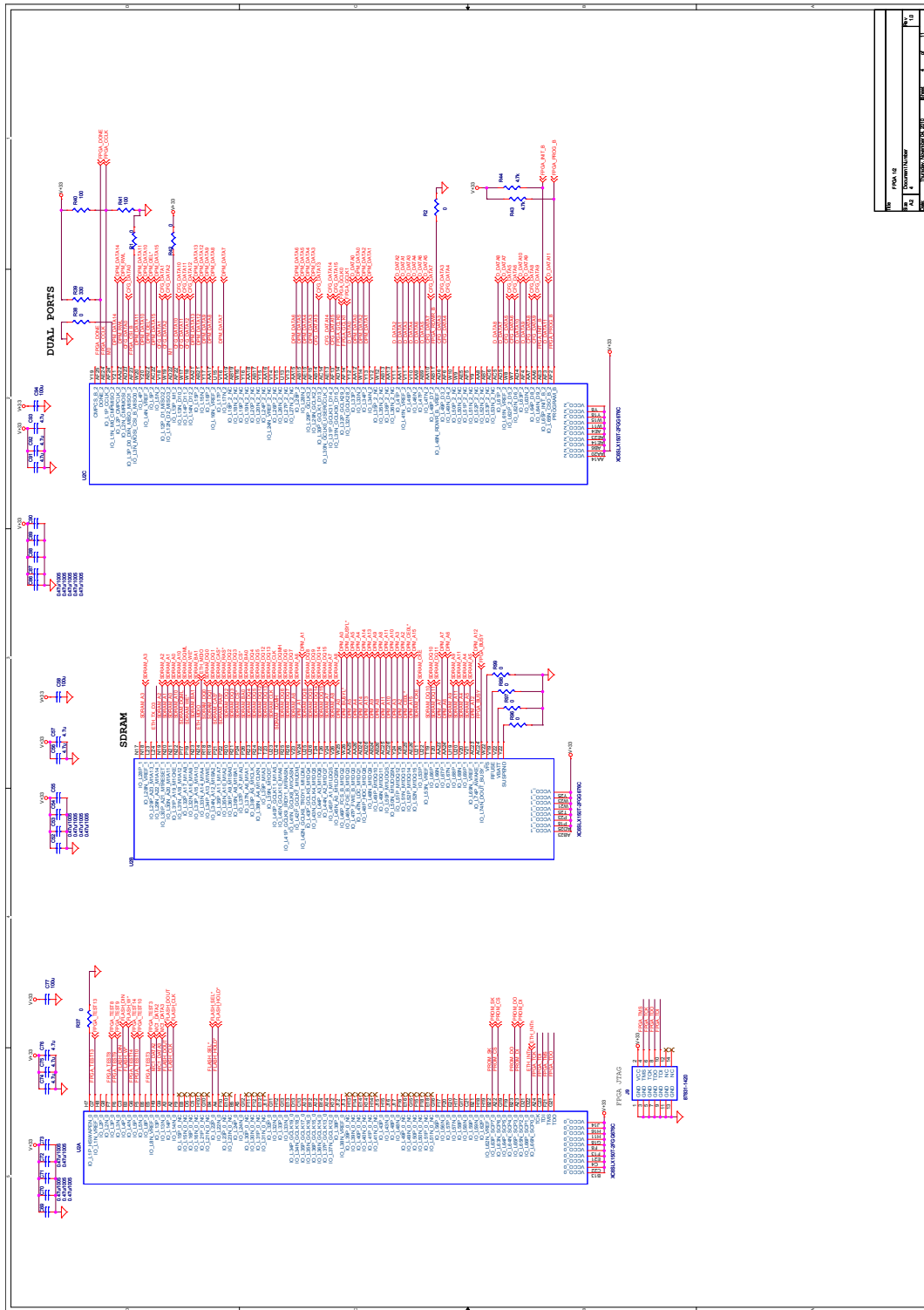


図	PT6 1/2
名	FPGA 1/2
尺	1/2
日	2008.10.10
作	Y. K.
検	Y. K.
認	Y. K.

図 D.13: PT6 の回路図 4: FPGA 1/2

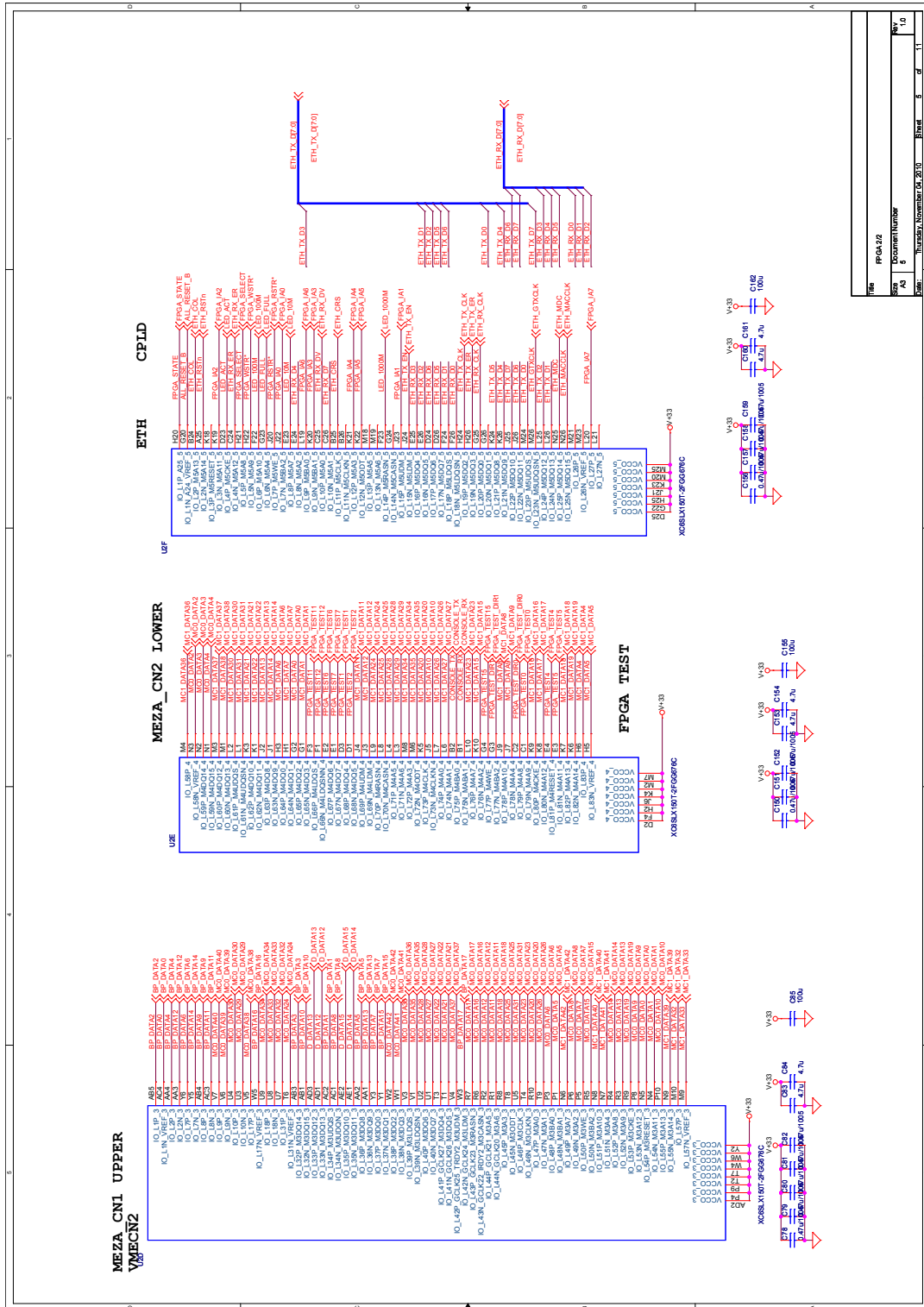
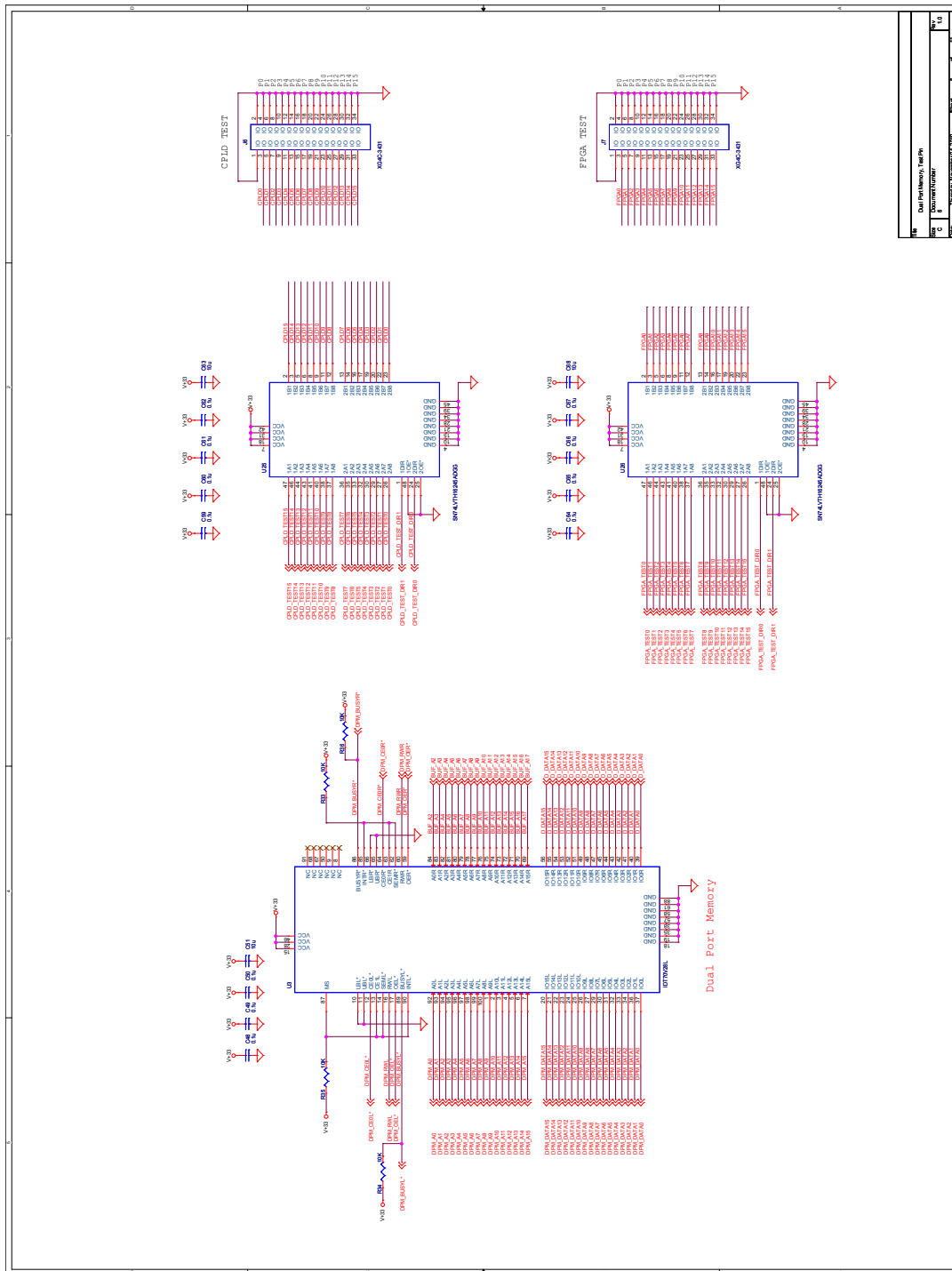


図 D.14: PT6 の回路図 5: FPGA 2/2



Rev	1	Doc/Part/Version	PT6
Doc/Part/Version	1	Doc/Part/Version	PT6
Doc/Part/Version	1	Doc/Part/Version	PT6
Doc/Part/Version	1	Doc/Part/Version	PT6

図 D.15: PT6 の回路図 6: DPM, Test Pin

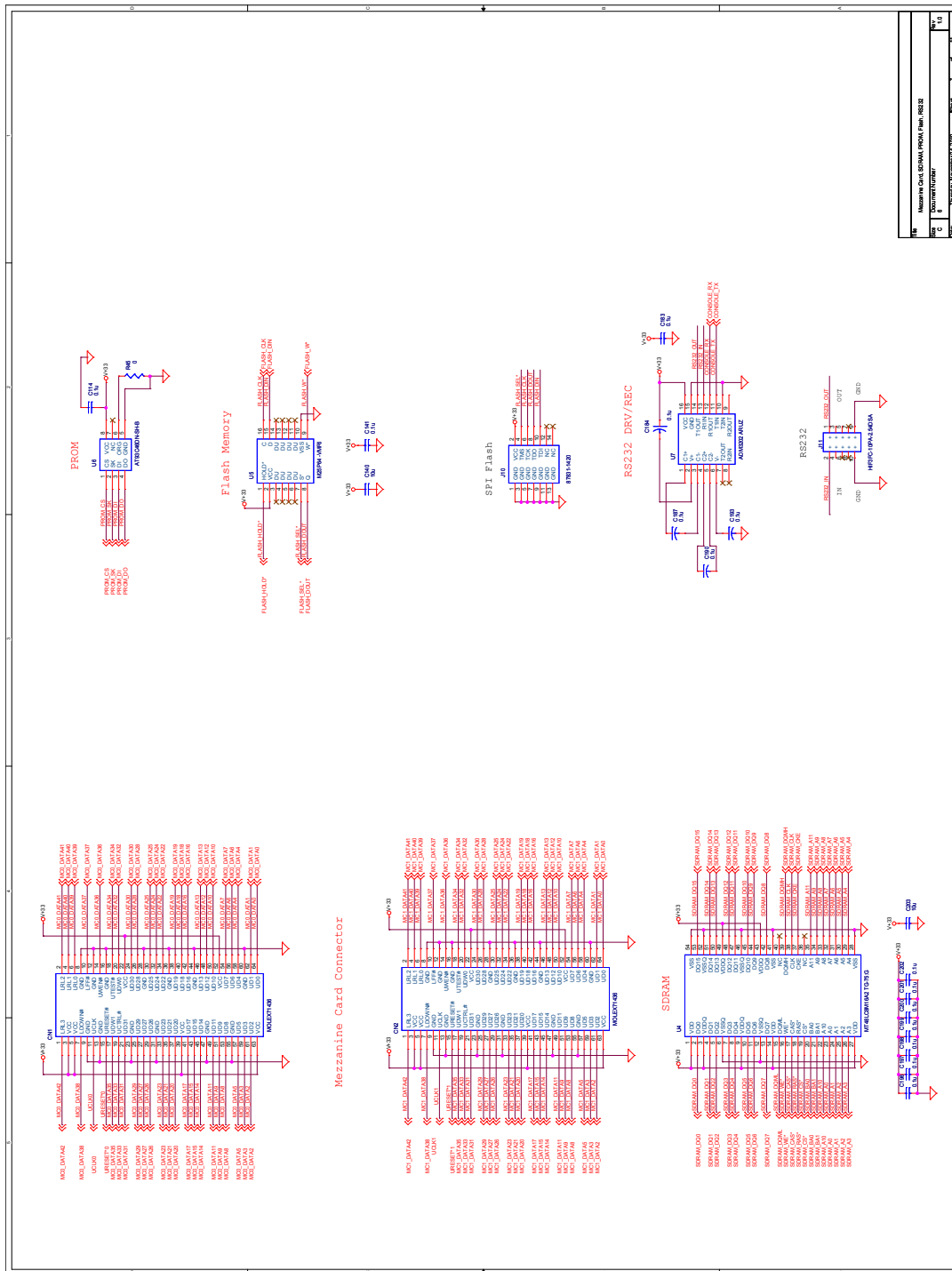
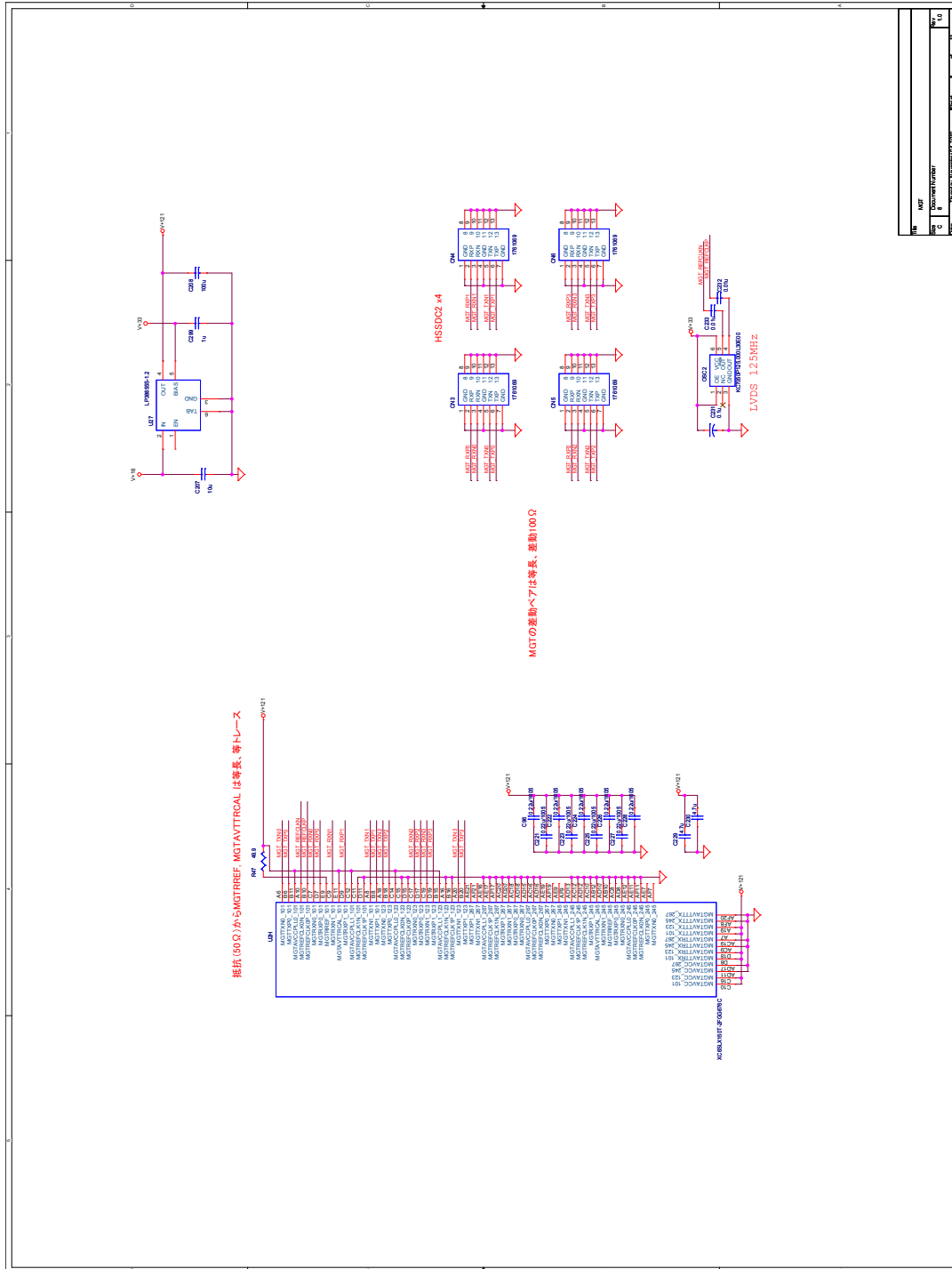
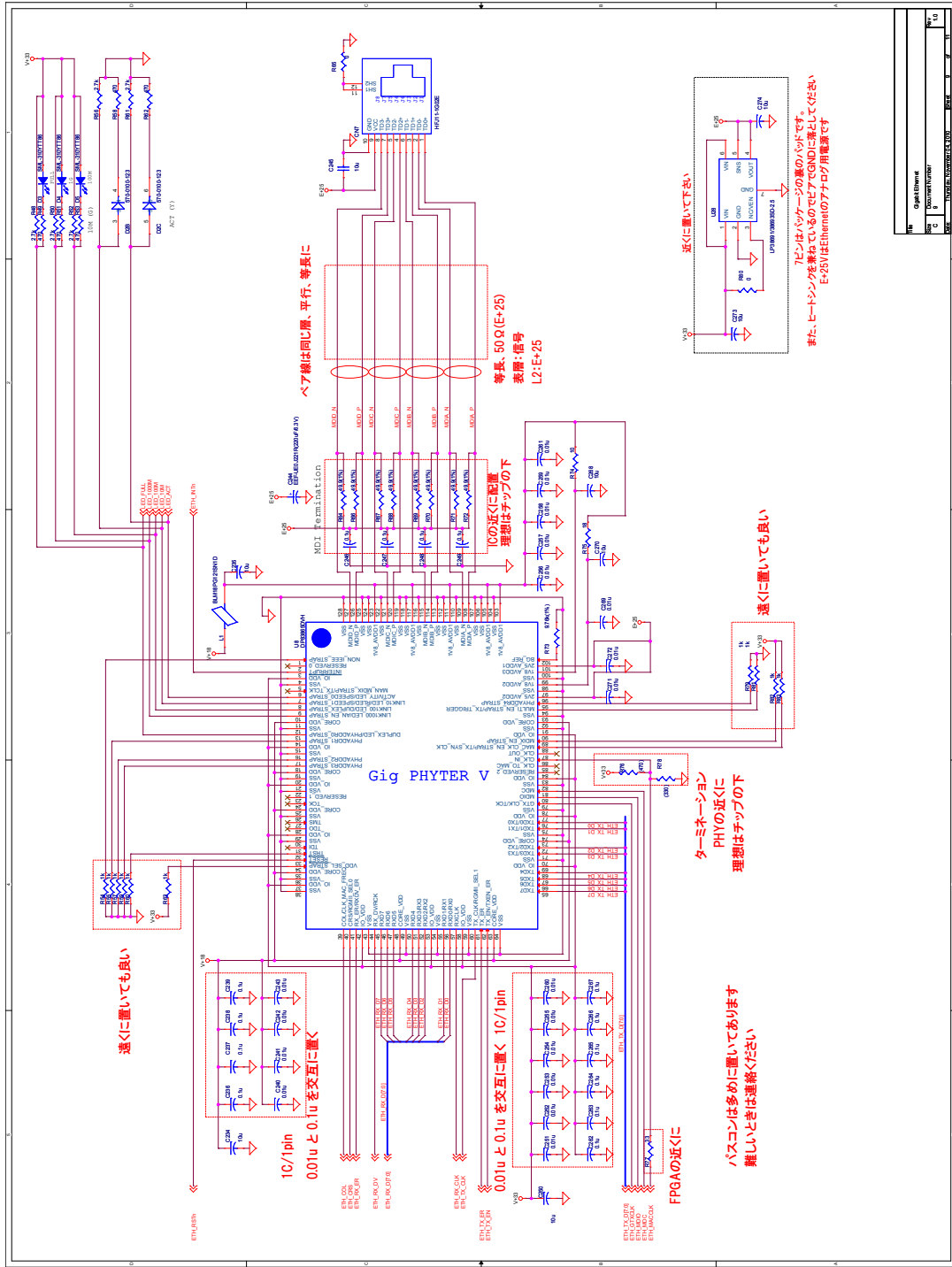


図 D.16: PT6 の回路図 7: Mezz Card, Memories



Rev	Docu ment Number	Rev	Docu ment Number
1.0	1.0	1.0	1.0

図 D.17: PT6 の回路図 8: MGT



Rev	0	Docu	1
Docu	1	Docu	1
Docu	1	Docu	1
Docu	1	Docu	1

図 D.18: PT6 の回路図 9: GbE

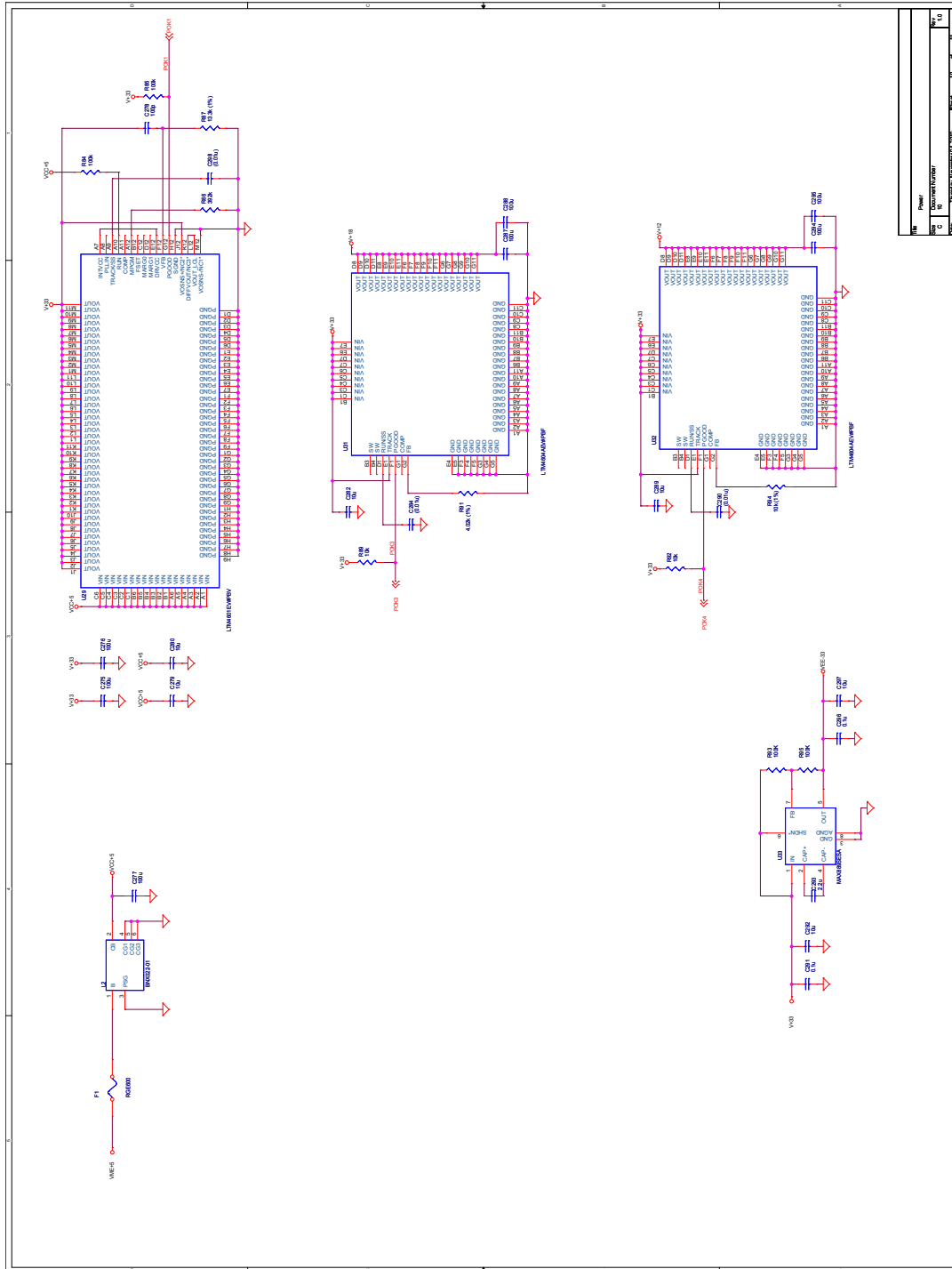


図 D.19: PT6 の回路図 10: Power

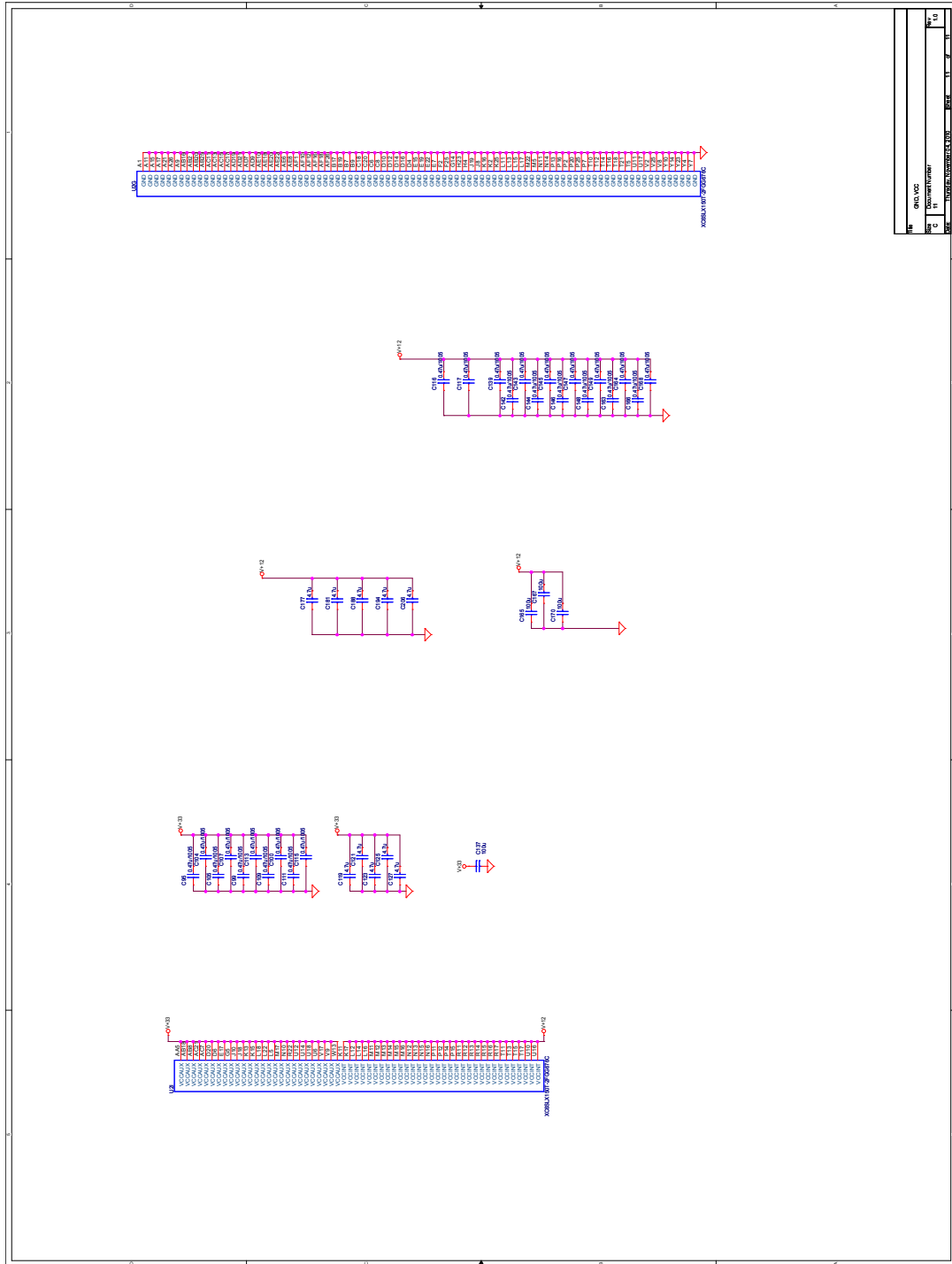


図 D.20: PT6 の回路図 11: GND, VCC

参考文献

- [1] T. Uchida: “Hardware-Based TCP Processor for Gigabit Ethernet”, IEEE Trans. Nucl. Sci. vol. 55, no. 3, (2008).
- [2] R. Ichimiya et al: “Radiation Qualification of Electronics Components used for the ATLAS Level-1 Muon Endcap Trigger System”, IEEE Trans. Nucl. Sci. 52 (2005).
- [3] ATLAS Collaboration: The ATLAS Experiment at the CERN Large Hadron Collider (2008).
- [4] 佐々木修, 池野正弘: “アトラスミュオントリガーシステムのためのエレクトロニクス開発と建設”, 高エネルギーニュース, Vol.26 No.3 (2007).
- [5] 小林富雄: “LHC 実験始動”, 高エネルギーニュース, Vol.28 No.4 (2010).
- [6] 日笠健一: “素粒子物理学の進展と LHC”, 日本物理学会誌 第 62 巻 第 12 号, (2007).
- [7] 浅井祥仁: “ヒッグス粒子と新粒子をとらえる”, 日本物理学会誌 第 62 巻 第 12 号, (2007).
- [8] 駒宮幸男: “ヒッグス粒子と超対称性粒子の実験的な話”, 日本物理学会誌 第 65 巻 第 8 号, (2010).
- [9] 渡部謹二: “簡単な SDRAM コントローラの作り方”, Design Wave Magazine No.134, CQ 出版, (2009).
- [10] 長島順清: “素粒子物理学の基礎 I”, 朝倉書店 (1998).
- [11] K. クラインクネヒト: “粒子線検出器 放射線計測の基礎と応用”, 培風館, (1987).
- [12] 野本裕史: 修士学位論文, “ATLAS 前後方ミュオントリガーシステム読み出し系の開発”, (2005).
- [13] 桑原隆志: 修士学位論文, “ATLAS 前後方ミュオントリガーシステムの構築”, (2007).
- [14] 門坂拓哉: 修士学位論文, “ATLAS 前後方ミュオントリガーシステム Sector Logic 及びオンラインソフトウェアの開発”, (2008).
- [15] 平山翔: 修士学位論文, “ATLAS 実験前後方部レベル 1 ミュオントリガーシステムの構築と検証”, (2009).
- [16] 結束晃平: 修士学位論文, “ATLAS ミュオン検出器における読み出しシステムのコミッショニング及び SuperLHC に向けたアップグレードの研究”, (2009).

- [17] 金賀史彦: 修士学位論文, “ATLAS 検出器前後方ミュオンシステムのソフトウェアコミッショニング”, (2009).
- [18] 越前谷陽佑: 修士学位論文, “ATLAS 前後方ミュオントリガーシステムのコミッショニングとアップグレードに向けた研究開発”, (2010).
- [19] National Semiconductor: DP83865 Gig PHYTER V 10/100/1000 Ethernet Physical Layer.
- [20] IDT: IDT70V28L HIGH-SPEED 3.3V 64K × 16 DUAL-PORT STATIC RAM.
- [21] Agilent: HDMP-1032/1034 Transmitter/Receiver Chip Set Data Sheet.
- [22] XILINX: Spartan-6 FPGA GTP Transceivers Advance Product Specification.
- [23] Actel: Axcelerator Family FPGAs.
- [24] Micron,: MT48LC8M16A2 - 2 Meg x 16 x 4 banks 128Mb: x4, x8, x16 SDRAM Features.
- [25] 三井造船システム技研 (株): HSC2/CCI 基板 ハードウェア仕様書.
- [26] VMEbus International Trade Association/American National Standards Institute Inc. : American National Standard for VME64.
- [27] PCI Special Interest Group: PCI LOCAL BUS SPECIFICATION.
- [28] アトラス日本・写真集: 標準モデル関係の写真
<http://atlas.kek.jp/sub/photos/Physics/PhotoPhysicsSM.html>
- [29] アトラス日本・写真集 : 標準モデルを越えて
<http://atlas.kek.jp/sub/photos/Physics/PhotoPhysicsBeyond.html>
- [30] アトラス実験写真集
<http://atlas.kek.jp/photo.html>
- [31] LEP/TEV EW WG Plots for Summer 2010
<http://lepewwg.web.cern.ch/LEPEWWG/plots/summer2010/>
- [32] LHC Images
http://lhc-machine-outreach.web.cern.ch/lhc-machine-outreach/lhc_in_pictures.htm
- [33] CERN Document Server
<http://cdsweb.cern.ch/>
- [34] First collisions of lead ions on 08.11.2010
<http://aliceinfo.cern.ch/Public/en/Chapter1/fstablebeams.html>
- [35] Ricreations, Inc. Universal Scan
<http://ricreations.com/>
- [36] 榎本三四郎: VME device driver
<http://www.awa.tohoku.ac.jp/sanshiro/kinoko/vmedrv/>

[37] 内田智久: “SiTCP の紹介と使い方”, FPGA セミナー 2010 口頭発表.

[38] 徳宿克夫: “LHC upgrade 計画概要”, 2010 年日本物理学会秋季大会 口頭発表.

謝辞

まず私の二年間の研究生活におきまして、本研究を行う貴重な機会と数々の助言を与えてくださった指導教官の坂本宏教授¹に深く感謝いたします。

本研究、特に具体的なハードウェア開発の際には佐々木修教授²、内田智久助教²、池野正弘技師²、有限会社 ジー・エヌ・ディー 宮沢正和代表に多くの指導を頂きましたことを深く感謝いたします。

また、TGC 日本グループの蔵重久弥教授³、福永力教授⁴、戸本誠准教授⁵、石野雅也准教授²、菅谷頼仁助教⁶、越智敦彦助教³、松下崇助教⁷、杉本拓也助教⁸、織田勸研究員¹、他 TGC 日本グループの皆様には研究、生活両面で大変お世話になりました。それ以外にも徳宿克夫教授²、小林富雄教授¹、駒宮幸男教授¹、川本辰夫准教授¹、浅井祥仁准教授⁹、阿部利徳助教⁹には、私の研究の様々な面でお世話になりました。深く感謝いたします。

私の研究生活において、多くのお世話を焼いてくださった先輩方、久保田隆至氏⁹、結束晃平氏⁹、道前武氏⁹、早川俊氏³、鈴木友氏¹⁰、奥村恭幸氏⁵、高橋悠太氏⁵、長谷川慧氏⁵、奥山豊信氏⁹、東裕也氏⁹、石田明氏⁹、越前谷陽佑氏、伊藤悠貴氏、岸木俊一氏、岡村淳一氏、武市祥史氏、村瀬拓郎氏にも深く感謝しています。

また、同期として共に研究に励んだ二ノ宮陽一氏⁹、Katarina Bendtz 氏¹¹、風間慎吾氏⁹、Khw Kim Siang 氏⁹、佐々木雄一氏⁹、宮崎彬氏⁹、井上竜一氏⁹、吉原圭亮氏⁹、藤井祐樹氏⁹、山口洋平氏⁹、飯山悠太郎氏¹²、徳永香氏³、吹田航一氏³、志知秀治氏⁵、前島亮平氏⁵、若林潤氏⁵、小森雄斗氏⁹、橋本直氏⁹、小林拓実氏⁹、轟孔一氏⁹、高橋将太氏¹³、中野浩至氏¹⁴、齋藤智之氏¹⁴にもこの場を借りてお礼を述べたいと思います。

私の研究生活をサポートしてくださった事務員の安蒜律子氏¹、塩田雅子氏¹、森田智恵子氏¹、鈴木恵美氏¹、片岡直子氏にもとても感謝しています。

私のこの二年間の研究は、上記の方々の支えがあったからこそ成し遂げることができました。心より感謝を申し上げたいと思います。本当にありがとうございました。

¹東京大学 素粒子物理国際研究センター

²高エネルギー加速器研究機構 素粒子原子核研究所

³神戸大学大学院理学研究科 物理学専攻

⁴首都大学東京 理工学研究科 数理情報科学専攻

⁵名古屋大学大学院理学研究科 素粒子宇宙物理学専攻

⁶大阪大学 理学研究科 附属原子核実験施設

⁷神戸大学 自然科学系先端融合研究環

⁸高エネルギー加速器研究機構 加速器研究施設加速器第一研究系

⁹東京大学大学院理学系研究科 物理学専攻

¹⁰総合研究大学院大学 高エネルギー加速器科学研究科

¹¹Department of Physics, Stockholm University

¹²Department of Physics, Carnegie Mellon University

¹³京都大学大学院理学研究科 物理学宇宙物理学専攻

¹⁴東北大学大学院理学研究科 物理学専攻